

理论课内容

- 1. 对于多输入异或门，只有当高电平的输入信号为奇数个时，其输出信号才为高电平；对于多输入同或门，只有当高电平的输入信号为偶数个时，其输出信号才为高电平
- 2. 质蕴涵 (prime implicant, **PI**) 不能再扩大的 1-方格组合。
基本质蕴涵 (essential prime implicant, **EPI**) : 少了它就无法覆盖某些 1 的“关键”质蕴涵

wx\yz	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

3.

Theorem	Dual form	Name
$(x+y')y=xy$	$xy'+y=x+y$	Simplification
$xy+x'z+yz=xy+x'z$	$(x+y)(x'+z)(y+z)=(x+y)(x'+z)$	Consensus

- 4. NAND, NOR commutative 但不 associative。XOR, XNOR commutative 且 associative
- 5. B -> KB -> MB -> GB -> TB -> PB
- 6. 1's Complement (Diminished Radix Complement)(r-1 反码)按位取反
- 7. BCD code 369 → 0011 1001 0110

8. 字符	7 位 ASCII	偶校验	奇校验
A	1000001	0 1000001	1 1000001
T	1010100	1 1010100	0 1010100

9. Canonical (范式): $\Sigma(0, 1, \dots), \Pi(0, 1, \dots)$

10. Standard form(标准式): not unique

11. 十进制 n	二进制 (4 位)	格雷码 (4 位)
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110

十进制 n	二进制 (4 位)	格雷码 (4 位)
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101

$$G(n) = n \oplus (n \gg 1)$$

12. 74154 的输出都是反向的 (more economical)

13. Priority Encoder:

Inputs				Outputs		
D0	D1	D2	D3	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

14. decoder $n \rightarrow 2^n$, encoder $2^n \rightarrow n$

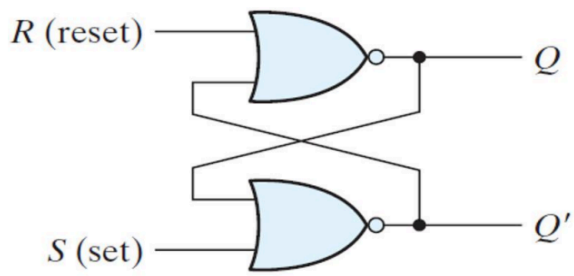
15. MSD Most-significant Digit, LSD Least-...

16. 同步时序电路: defined from the knowledge of its signals at discrete instants of time

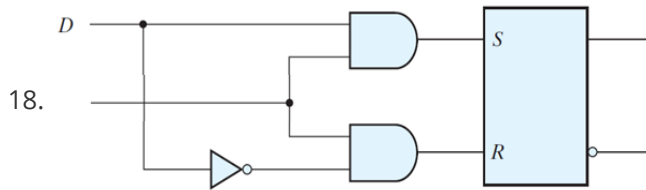
异步: depends upon input signals at any instant of time and the order in which the inputs change.

17.

S	R	Q	Q'	说明
0	0	last Q	last Q'	no change
0	1	0	1	reset state
1	0	1	0	set state
1	1	0	0	forbidden



S'R' NAND forbid ->set->reset->no change



D Latch(Transparent Latch): when CLK=1, D passes through to Q; CLK=0, holds its previous

Verilog 语法

1. 不能在 `always/initial` 这样的过程块里用 `y = ...` 给 wire 赋值。
2. 未声明类型的端口默认就是 wire
- 3.

6'd-3 非法

4'b1111 //无符号数，等于10进制的15

4'sb1111 //有符号数，最高位1表示负数，剩余三位111转化等于10进制的7