Floppy-Disk-Interface FDC 3

Die Leiterkarte FDC 3 ermöglicht den Anschluß von bis zu vier 8" bzw. 5 1/4" Floppy-Disk-Laufwerken mit dem Aufzeichnungsverfahren FM bzw. MFM an den SMS-Systembus.

Grundbaustein dieser Karte ist der Floppy-Disk-Controller U 8272 D. Der Anschluß dieses Schaltkreises an den Systembus erfolgt über die Signale $\overline{\text{IORQ}}$, $\overline{\text{RD}}$ und $\overline{\text{WR}}$, die über D3 und D4 zu TORD und TOWR verknüpft werden; über den Datenbus, der durch D26 zum Schaltkreis gelangt: über das Signal CLEAR, welches negiert an den Schaltkreis zu führen ist; sowie über die Signale AO, $\overline{\text{CS}}$ und $\overline{\text{DACK}}$ (die durch D16 und D24 aus A1 bis A7 gebildet werden). Eine Spezifikation des U 3272 D besagt, daß TORD und/oder TOWR nicht aktiv sein dürfen während RST aktiv ist. Dies wird durch ein Sperren von TORQ durch RST über D3 und D4 erreicht. Die Kartenadresse wird an S1 eingestellt und durch D16 mit A4 bis A7, wenn TORQ aktiv ist, verglichen. Ein positiver Vergleich erlaubt D24 die Decodierung von A1 bis A3 zu CSP, CS und DACK. CSP wird in Verbindung mit TOWR dazu benutzt, den Inhalt des Datenbusses in D25 einzuschreiben. Die Datenbits haben dabei folgende Bedeutung:

| 07 | D6 | 05 | D4 | D3 | D2 | D1 | DO |
|------|-------|--------|-------|-------|-----|----|------|
| frei | MOON3 | MOON 2 | MOON1 | MOONØ | PSE | TC | MINI |

- DØ dient zur Umschaltung der Taktfrequenz von 8 MHz auf 4 MHz bei 51/4"-Laufwerken 1=51/4"-Laufwerk $\emptyset=8$ "-Laufwerk

- D1 bildet das Abbruchsignal TC für den Controller-Schaltkreis

1 = TC

Ø = inaktiv

417-2118:00 BB 12/95

- D2 erlaubt das Abschalten der vom Controller-Schaltkreis beim Aufzeichnungsverfahren MFM ständig durchgeführten Präkompensation der Schreibdaten $2 = \sin \qquad \qquad \mathscr{B} = aus$

- D3 bis D6 dient zum Einschalten der Antriebsmotore der Laufwerke ${\mathcal S}$ bis 3

1 = ein $\varnothing = aus$

CS aktiviert in Verbindung mit AO, TORD und TOWR den Controller-Schaltkreis U 8272 O. Dabei sind folgende Kombinationen möglich:

| A8 | RD | WR | |
|----|----|----|--------------------------|
| Ø | Ø | 1 | Read Status Register |
| 1 | Ø | 1 | Read from Data Register |
| 1 | 1 | Ø | Write into Data Register |

DACK wird erzeugt, um bei einer späteren Erweiterung durch einen DMA-Schaltkreis, in Verbindung mit DRQ (X1), einen direkten Speicherzugriff zu ermöglichen.

Folgende AdreBzuordnung ist fest verdrahtet:

| X2H X3H } | CSP | X ist | über S | 1 frei | wählbar |
|--------------|------|-------|--------|--------|---------|
| X4H X5H } | CS | | | | |
| | | | | | |
| X6H X7H | DACK | | | | |

Zum Anschluß der Floppy-Disk-Laufwerke werden folgende Signale zur Verfügung gestellt:

Drive Select Ø - 3

Motor on \emptyset - 3

Write enable

Head select

Head load

Direction

Step

Low current

Fault reset

Write Data

Folgende Signale werden von den angeschlossenen Laufwerken auf der Karte verarbeitet:

Ready Index Write Protect Two-Side Fault Track Ø Read Data

Die Takterzeugung des Controller-Schaltkreises erfolgt über einen 16 MHz-Oszillator mit D6 und anschließender Teilung auf 8 MHz bzw. 4 MHz durch D15 für 8"- bzw. 5 1/4"-Laufwerke. Es schließt sich eine Teilung durch 8 über D22 an. Durch D17 wird die H-Impulsbreite auf 250 ns festgelegt (Schaltkreisspezifikation). Durch D14 erfolgt beim Aufzeichnungsverfahren FM eine nochmalige Teilung durch zwei. Es ergeben sich somit folgende Frequenzen für den Schreibtakt:

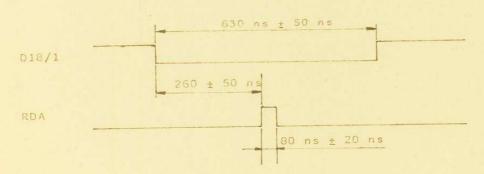
5 1/4" MFM 500 KHz (2 μs) 8" FM 500 KHz (2 μs) 8" MFM 1 MHz (1 μs)

Dieser Schreibtakt WRCLK wird intern im Controller-Schaltkreis mit den zu schreibenden Daten verknüpft. Diese liegen dann als WRDATA am Ausgang des Schaltkreises an. Zur gleichen Zeit liegt an den Ausgängen PSØ und PS1 die Information für die Präkompensation an. Die Schreibdaten werden mit der Taktfrequenz von 8 MHz bzw. 4 MHz in das Register D19 geschoben und liegen somit um die entsprechenden Taktperioden an den Eingängen des Multiplexers D23 an. Die Auswahl der zu schreibenden Daten erfolgt durch die Preshift-Information. Durch das Signal PSE kann die Präkompensation abgeschaltet werden.

Das RDATA-Signal gelangt an den Eingang des Monoflops D18. Es hat die Aufgabe, das Signal zu negieren und auf eine Impulsbreite von 630 ns zu bringen. Der Ausgang ist auf den Eingang eines Phasenkomparators D1 geführt. Dieser vergleicht die Eingangsdaten mit dem durch D13 geteilten VCO-Takt. Die Ausgänge des Phasenkomparators gehen auf zwei symmetrisch aufgebaute Tiefpaßfilter, die aus den Widerständen R31, R32, R34 - R37 sowie C14 und C15 bestehen. Die Filterausgänge liegen an den positiven bzw. negativen Eingängen des Operationsverstärkers D27. Die Verstärkung des OVs wird durch die Widerstände R38 und R39 bestimmt. Sie sind so ausgelegt, daß ein maximaler Regelbereich des VCO erreicht wird. Die Dimensionierung der Konstantstromquelle (VT1, R43, R44, C8) und die Schaltschwelle des Komparators D29 bestimmen die Frequenz des VCO. Sie wird mit R44 auf 2 MHz ± 1 % bei nichtbestücktem Controller-Schaltkreis und ROATA = 1 eingestellt. Mit R27 und VD1 wird der Transistor VT1 auf seinen Arbeitspunkt eingestellt. Über die Kollektor-Emitter-Strecke fließt ein konstanter Strom, der den Kondensator C8 auflädt. Wird die Schwellspannung des Komparators erreicht, erscheint an dessen Ausgang log. 1. Dedurch werden die Gatter D9 umgeschaltet und der Kondensator über R25 gegen Masse entladen. Gleichzeitig wird durch Veränderung des Spannungsteilers (R30, R33) durch Parallelschaltung von R24 zu R30 die Referenzspannung des Komparators herabgesetzt. Unterschreitet die Spannung über C8 den Wert der Referenzspannung, schaltet dessen Ausgang wieder auf log. Ø und der Vorgang kann mit einer Kondensatoraufladung wieder von vorn beginnen. Ändert sich die Spannung an der Basis des Transistors VT1 infolge einer von der Grundfrequenz des VCO (2 MHz) abweichenden Eingangsfrequenz, so wird auch der Ladestrom des Kondensators verändert. Das wiederum ruft eine Änderung der Frequenz des VCO hervor.

Mit dem Anlegen des Eingangssignals RDATA vergleicht der Phasenkomparator Phase und Frequenz des Eingangssignals mit der geteilten VCO-Frequenz und ermittelt eine Fehlerspannung. Der
Tiefpaß wandelt das digitale Fehlersignal in eine Gleichspannungsdifferenz um, die durch den Operationsverstärker D27 verstärkt
und dem Steuereingang des VCO zugeführt wird. Die verstärkte
Fehlerspannung verändert die VCO-Frequenz solange, bis diese
mit der Frequenz des Eingangssignals identisch ist. Die PLL ist
damit eingerastet. Es entstehen somit Taktimpulse, die in
fester Relation zum Eingangssignal stehen. Durch D14 wird aus
diesen Taktimpulsen das Datenfenster DW gebildet. Das Datenfenster hat immer eine bestimmte Polarität, wenn Daten ankommen
können. Bei Taktimpulsen hat das Datenfensfer die entgegengesetzte Polarität.

Um eine genaue Auswertung der Lesedaten im Controller-Schaltkreis zu ermöglichen, ist eine Impulsverkürzerstufe nötig. Die RDATA-Impulse werden an D18 abgegriffen. Die Impulsbreite beträgt dort 630 ns ± 50 ns. Durch ein Verzögerunsglied und eine Verkürzungsstufe werden diese Impulse 80 ns ± 20 ns breit.



Die Signale zur Steuerung der Laufwerke FR/STP, LC/DIR DSØ und DS1 werden durch D21 in Abhängigkeit von RW/SEEK dekodiert und über open-collector-Treiber den Laufwerken zugeführt. Aus DSØ und DS1 wird $\overline{DSØ}$ bis $\overline{DS3}$. Bei einer Schreib-Lese-Operation wird FR und LC und bei einer SEEK-Operation wird STP und DIR durchgeschaltet. Der PROM D21 hat folgenden Inhalt:

2c ØA 2 A 29 84 ØC 82 24 09 68 Ø1 21 48 14 84 92 94 82 84 91 5Ø CØ

Die Signale von den Laufwerken \overline{WP} , $\overline{2-S}$, \overline{FLT} und $\overline{T}\overline{\varnothing}$ werden im PROM D2O in Abhängigkeit von RW/SEEK durchgeschaltet. Bei einer Schreib-Lese-Operation \overline{FLT} und \overline{WP} , bei einer SEEK-Operation $\overline{2-S}$ und $\overline{T}\overline{\varnothing}$.

Der PROM D20 hat folgenden Inhalt:

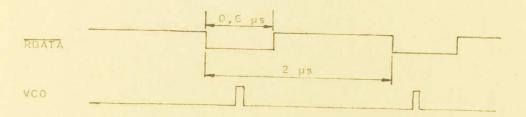
23 23 21 82 20 252 21 Ø1 83 28 252 2/2 Ø1 Ø3 03 01 ØØ Ø2 Ø2 \$2 02 ØØ

Vom Floppy-Disk-Interface sind alle Ausgänge über open-collector-Treiber vom Typ 7406 geführt. Die Eingänge sind Schmitt-Trigger-Gatter mit einem pull-up-Widerstand von 150 Ohm.

Steckerbelegung des Interface

| | A | В | С |
|----|---------|-----|-------|
| 1 | | GND | DIR |
| 2 | | GND | LC |
| 3 | | GND | STP |
| 4 | MOON® | GND | FR |
| 5 | MOONI | GND | HOSED |
| 6 | MON 0 2 | GND | HOL |
| 7 | MOON3 | GND | WE |
| 8 | WRDATA | GND | RDATA |
| 9 | INDEX | GND | READY |
| 10 | DSØ | GND | TØ |
| 11 | DS1 | GND | FLT |
| 12 | DS2 | GND | 2-5 |
| 13 | DS3 | GND | WP |
| | | | |

Bei der Inbetriebnahme ist die Leiterkarte einer gründlichen Sichtkontrolle auf Fehlverbindungen und Unterbrechungen hin zu kontrollieren. Anschließend ist ohne Controller-Schaltkreis die Stromaufnahme zu messen. Sie sollte bei + 5 V etwa, 600 mA betragen. Alle angegebenen Frequenzen sind zu kontrollieren und gegebenenfalls einzustellen. Mit einem Generator ist ein RDATA-Signal mit folgendem Verlauf zu simulieren. Dabei ist RDATA und die VCO-Frequenz mittels eines Oszilloskops zu kontrollieren.



Die PLL ist eingerastet, wenn VCO- und RDATA-Frequenz synchron laufen, d. h. jeder 4. VCO-Taktimpuls muß innerhalb einer RDATA-Information liegen. Durch Verändern der RDATA-Frequenz läßt sich der Zieh- und Haltebereich annähernd bestimmen.

Bei gestecktem Controller-Schaltkreis und angeschlossenem Laufwerk ist die volle Funktionsfähigkeit zu überprüfen und die Stromaufnahme zu messen. Sie beträgt ca. 700 mA bei + 5 V und 15 mA bei - 5 V.

| 1 7 | 2 | 3 | 4 | | 5 | | 8 7 |
|-------------------|-------|------------------|-------------------|----------|---------------------|------------------------|---|
| Lfd. Mr. | Stok. | Sraulz- Issie | Wt bzw. Gr. | | Benennung | | Sachnummer Bemerkungen |
| | | | | Leiter | karte | | E 1625 |
| 01,2 | 2 | | | Integr | . Schalt | kreis | DL 000 D 🗶 💥 |
| 03 | 1 | | | Integr | . Schalt | kreis | DL 002 D × × |
| 04,5 | 2 | | | Integr | . Schalt | kreis | DI: 004 D × × |
| 06 | 1 | | | Integr | . Schalt | kreis | MH 74 S 04 × × |
| 3,9 | 3 | | | Integr | . Schalt | kreis | 406 PC × × |
| 010 | 1 | | | Integr | . Schalt | dreis | D) 108 D |
| 211 | 1 | | | Integr | r. Schalt | kreis | DL 011 D × × |
| 012 | 1 | | | Integr | r. Schalt | kreis | DE 014 D × × |
| 013, | 5 3 | | | Integr | r. Schalt | kreis | DL 074 D × × |
| 016 | 1 | | | Integr | r. Schalt | kreis | DL 085 D × × |
| 017, 18 | 2 | | | Integr | e. Schalt | kreis | D 121 D 4K X |
| 019 | 1 | | | Integ | r. Schalt | treis | DL 175 D × × |
| D20, | 2 | | | Integr | r. Schalt | kreis | MH 74 188 |
| 222 | 1 | | | Integ | r. Schalt | kreis | DL 193 D × |
| 023 | 1 | | | Integr | r. Schalt | kreis | DL 253 D 💉 😾 |
| 024 | 1 | | | Integr | r. Schal | tkreis | DS 8205 D X X |
| 025 | 1 | | | Integr | r. Schalt | tkreis | DS 8282 D 🗸 😾 |
| 026 | 1 | | | Integr | Integr. Schaltkreis | | DS 8286 D × × |
| 027 | | | | Integ | r. Schal | tkreis | B 176 D × × |
| 028 | 1 | | | Integ | r. Schal | tkreis | 75 107 × × = |
| 029 | | | | Integ | r. Schal | tkreis | U 8272 D × × |
| R1-8 | 1 | - | | MSW | | | 1k 5 % 23.207 TGL 36521 |
| 16 | 1 | 7 | - | MSW | | | 150 5 % 23.207 TGL 36521 330 5 % 23.207 |
| R17 18, R19 | 9, 9 | | | MSW | | | -TGL 36521 1 1 |
| R19 | 1 | 1 | | MSW | | | 220 5 % 23.207 Y |
| | | | | | | | |
| | | | | | Dargestellt au | f Name | Benennung Liste Lestebt |
| | | | | | | 5 Wagne | |
| Aus- | | | | Ten M | Si.gepr. | | Stücklisten-Nr. YP |
| gabe | And. | Mitt. | -Nr. | Tag Name | der Wissenso | demie haften d. DDR | 417-2118:00 SL(4) |
| | | | | | 807/76 W/45 | uch VDE | Ersatz für Nr. 58.0 T/C 54.9: |

eso Unterlage ist unser Eigestu Ibbrauch, Vervielfälligung od Hallun on Ortte wird verfalt

8624/M 21-342 Tr. VV Freiberg Ag 307/76 III/15/4 21/6 276

68,0 T/C 54 919

| 1 | 2 | 3 | 4 | 5 | 6 7 | | | | |
|-------------|---|---------|-------------------|----------------------------------|---|-----------------|--|--|--|
| Lfd. Nr. | Stck zahl | Ersetz- | Wt bzw. Gr. | Benennung | Sachaummar Bernerk | ungen | | | |
| 122, | 2 3 | | | MSW | 120 5 % 23.207 TGL 36521 | | | | |
| P23, | 2 | | | SW | TGL 36521 X 100 5 % 23.207 TGL 36521 X | | | | |
| 1 1 2 2 3 3 | | | | | 33 5 % 23.207 | | | | |
| 125 | 1 | | | MSW | FGL 36521 ¥ 68 5 % 23.207 | | | | |
| 126 | 1 | | | raw | TGL 36521 620 5 % 23.207 | - | | | |
| 128 | 1 | | | MSW | TGL 36521 | | | | |
| 129, | 2 | | | MSW 4 | 510 5 % 23.207 IGL 36521 | | | | |
| 133 | 1 | | | MSW | 1680 5 % 23.207 12GL 36521 × | | | | |
| 134, | 1500 | | | | 1.8K 5 % 23.207 | | | | |
| 35 | 2 | | 7 | MSV | TGI 36521 × | | | | |
| 136, | 2 | | | MSM | 12K 5 % 23.207 TGL 36521 39K 5 % 23.207 | | | | |
| 138 | 1 | | | MSW | TGL 36521 | | | | |
| 139 | 1 | | | MISW | 47K 5 % 23.207 EGL 36521 × | | | | |
| 140 | | | | MSV | 620K 5 % 23.207 TGE 36521 | | | | |
| | | | | | 242 5 % 23.207 | | | | |
| 141 | - 1 | | IPA CA | MSW | PGL 36521 × 27K 5 ₺ 23.207 | | | | |
| 142 | 1 | | | MSW | TGL 36521 × 1 | | | | |
| k43 | 1 | | | MSW | 270 5 % 23.207 TGL 36521 × | | | | |
| 145, | 2 | | | MSW / | 910 5 % 23.207 TGL 36521 | | | | |
| RN1 | 1 | | | Widerstandsnetzwerk | 8x910 3894 | | | | |
| 244 | 1 | | San San | Dickschichtregler | 220 513.1010.1 TGL 27423 | | | | |
| 01,2 | 2 | | | Elektrolytkondenseto | | | | | |
| 63,4 | | | | Scheibenkondensator | | | | | |
| 5 | 1 | | | Scheibenkondensator | 4,7n EDVU/63V TGL 24100/02 × | | | | |
| 66 | 1 | | | Scheibenkondensator | 2,2n EDVU/63V TGL 24100/02 × | | | | |
| 07,8 | 2 | | | Scheibenkondensator | | | | | |
| | 1 | | | SERVICE STORY OF THE PROPERTY OF | 100 | Anny district | | | |
| 010- | 1 | | | Scheibenkondensator | 150 EDVU/63V TGL 24100/01 # | No. of the last | | | |
| 23 | 14 | | | Scheibenkondensator | 100n EDVH/63V TGT 24100/01 X | | | | |
| 7D1- | 5 | | - | Siliziumdiode | SAY 17 × | | | | |
| | | | | | | | | | |
| | | - | | Dargestellt auf | | | | | |
| | | | | Tag Name | Benennung | Liste besieht | | | |
| | | | | Gez.14 . 3 . 85 Wargo | FDC 3 E 1625 | Blatt Nr.2 | | | |
| Aus- | AndM | HL - No | 7 | ao Name | Stücklisten-Nr. | VP | | | |
| gabe | | | | der Wissenschaften d. DD | R 417-2118:00 SL(4) | Nr. | | | |
| | | 1 | | Bertin-Buch VDE | Ersatz für | Nr. | | | |
| 8624/M | 1624/M 21-342 Tr. VV Freiberg Ag 307/76 III/15/4 21/6 276 68.0 T/C 54.919 | | | | | | | | |

Diese Unterlage 1st unser Eigentum. Mißbrauch, Verwiststigung oder Mitteilung an Drifte wird verfolgt.

68,0 T/C 54 919

6 5 Stck.-Bemerkungen Sachnummer Benennung KT 326 BM &2W SC 307 TO Siliziumtransistor 40polig 0 51 EZ 16,0 MHz TGL 33584 Schaltkreissockel Schwingquarz 21 13010.014 DIL-Schalter × 10 /UW/1,6A UKW-Drosseln 51,2 102 2320 TGL 29331/03 58-polig EFS Steckerleiste ES1 39-polig 402 3720 [1 EFS Buchsenleiste Dargestellt auf Liste besteht aus 3 Biatt Tag Gez. 14 • 3 • 8 Name Benennung FDC 32 E 1625 Gepr. Blatt Nr. St.gepr. Stücklisten-Nr. Aus-gabe Tag Name And.-Mitt.-Nr. Akademie der Wissenschaften, d. DDR Berlin-Buch VDE 417-2118:00 SL (4) Ersatz für

Diese Unterloge in unser Eigentum. Misbraush, Vervisifättigung oder Mittellung an Drike wird varfolgi.

9524 IM 24 242 To VIV Freihern An 207 ITS HU1514 2416 276

68.0 T/C 54.919

