

**1. Qual a principal diferença entre um circuito integrado de aplicação específica (ASIC) e um dispositivo lógico programável (PLD)?**

- a) Um ASIC é programável pelo usuário final, enquanto um PLD não é.
- b) Um PLD é projetado para uma única aplicação específica, enquanto um ASIC é mais versátil.
- ☒ c) Um ASIC é projetado para uma única aplicação específica, enquanto um PLD é mais versátil.
- d) Um ASIC é implementado em um único chip, enquanto um PLD requer múltiplos chips.
- e) Não há diferença significativa entre ASICs e PLDs.

**2. Qual dos seguintes NÃO é um tipo de memória programável que influenciou o desenvolvimento dos PLDs?**

- a) ROM (Read-Only Memory)
- b) PROM (Programmable Read-Only Memory)
- c) EPROM (Erasable Programmable Read-Only Memory)
- ☒ d) DRAM (Dynamic Random Access Memory)
- e) EEPROM (Electrically Erasable Programmable Read-Only Memory)

**3. Qual a principal vantagem da PROM em relação à ROM no contexto da evolução dos PLDs?**

- a) A PROM é mais rápida que a ROM.
- b) A PROM é mais densa que a ROM.
- ☒ c) A PROM permite a programação pelo usuário, enquanto a ROM tem conteúdo fixo definido na fabricação.

**4. Por que as PROMs se mostraram ineficientes para a implementação de circuitos lógicos complexos?**

- a) Elas eram muito lentas.
- b) Elas eram muito caras.
- ☒ c) Sua arquitetura, baseada em um decodificador de endereços completo, era inadequada para a maioria das funções lógicas.
- d) Elas não permitiam a implementação de flip-flops.
- e) Elas eram difíceis de programar.

**5. Qual a principal diferença entre um PLA (Programmable Logic Array) e um PAL (Programmable Array Logic)?**

- a) O PLA possui apenas a matriz AND programável, enquanto o PAL possui ambas as matrizes AND e OR programáveis.
- ☒ b) O PLA possui ambas as matrizes AND e OR programáveis, enquanto o PAL possui apenas a matriz AND programável.
- c) O PLA é baseado em tecnologia bipolar, enquanto o PAL é baseado em tecnologia CMOS.
- d) O PLA é volátil, enquanto o PAL é não volátil.
- e) Não há diferença significativa entre PLA e PAL.

**6. Qual a principal vantagem das GALs (Generic Array Logic) em relação às PALs?**

- a) As GALs são menores.
- b) As GALs são mais baratas.
- ☒ c) As GALs possuem macrocélulas de saída configuráveis para lógica combinacional ou sequencial, enquanto as PALs são limitadas à lógica combinacional.
- d) As GALs são mais rápidas.
- e) As GALs consomem menos energia.

**7. Qual a característica que define um dispositivo lógico programável como "apagável" (EPLD)?**

- ☒ a) A capacidade de ter sua programação apagada e ser reprogramado múltiplas vezes.
- b) A capacidade de operar em baixa tensão.
- c) A capacidade de implementar funções lógicas complexas.
- d) A capacidade de ser fabricado em encapsulamento SMD.
- e) A capacidade de operar em alta velocidade.

**8. Qual a principal diferença entre SPLDs (Simple Programmable Logic Devices) e HCPLDs (High Capacity Programmable Logic Devices)?**

- a) SPLDs são programáveis, enquanto HCPLDs não são.
- b) SPLDs são baseados em tecnologia CMOS, enquanto HCPLDs são baseados em tecnologia bipolar.
- c) SPLDs são mais caros que HCPLDs.
- ☒ d) SPLDs possuem menor capacidade lógica (número de portas) que HCPLDs.
- e) SPLDs são mais complexos de projetar que HCPLDs.

**9. Quais são os dois principais tipos de HCPLDs?**

- a) PLAs e PALs.
- ☒ b) CPLDs e FPGAs.
- c) GALs e EPLDs.
- d) PROMs e EPROMs.
- e) ROMs e RAMs.

**10. Qual a principal diferença na estrutura de interconexão entre CPLDs e FPGAs?**

- ☒ a) CPLDs usam interconexão fixa, enquanto FPGAs usam interconexão programável.
- b) CPLDs usam interconexão contínua, enquanto FPGAs usam interconexão segmentada.
- c) CPLDs usam interconexão paralela, enquanto FPGAs usam interconexão serial.
- d) CPLDs usam barramentos externos, enquanto FPGAs usam barramentos internos.
- e) Não há diferença significativa na estrutura de interconexão entre CPLDs e FPGAs.

**11. Qual a principal vantagem de um CPLD em relação a um FPGA em termos de desempenho?**

- a) CPLDs são inerentemente mais rápidos que FPGAs.
- b) CPLDs possuem maior densidade lógica que FPGAs.
- c) CPLDs consomem menos energia que FPGAs.
- ☒ d) CPLDs possuem tempos de propagação fixos e previsíveis, enquanto FPGAs possuem tempos de propagação variáveis.
- e) CPLDs são mais fáceis de programar que FPGAs.

**12. Qual a principal vantagem de um FPGA em relação a um CPLD em termos de flexibilidade?**

- ☒ a) FPGAs possuem maior granularidade e recursos de roteamento mais flexíveis, permitindo a implementação de circuitos mais complexos.
- b) FPGAs são menores que CPLDs.
- c) FPGAs são mais baratos que CPLDs.
- d) FPGAs consomem menos energia que CPLDs.
- e) FPGAs são mais fáceis de encontrar no mercado que CPLDs.

**13. Qual dos seguintes NÃO é um critério importante na escolha do PLD ideal para uma aplicação?**

- a) Número de portas lógicas.
- b) Número de pinos de I/O.
- c) Custo por chip.
- ☒ d) Cor do encapsulamento.
- e) Consumo de energia.

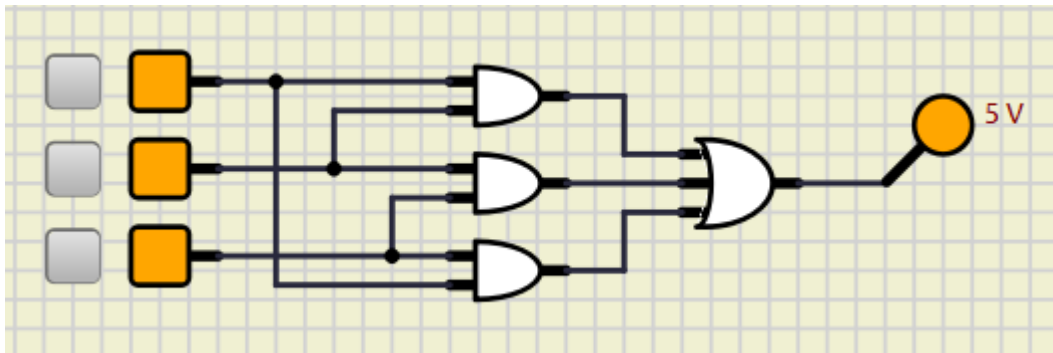
**14. O que significa a sigla "EDA" no contexto do projeto de circuitos digitais?**

- a) Electronic Design Algorithm.
- ☒ b) Electronic Design Automation.
- c) Embedded Design Architecture.
- d) Electrical Design Analysis.
- e) Engineering Design Application.

**15. Qual dos seguintes dispositivos NÃO é um tipo de SPLD?**

- a) PLA
- b) PAL
- c) GAL
- ☒ d) FPGA
- e) EPLD

**16. Modifique o diagrama do PLD mostrado na Figura 1, para que ele possa manipular três entradas de dados. Usando esse PLD de três entradas, mostre como implementar o circuito que obedece a tabela verdade apresentada na Tabela 1. (Observe que não é necessário simplificar a expressão de saída para fazer tal implementação).**



(Ao que compreendi, a saída P se resume a  $(AB) + (AC) + (BC)$ )

**17. Com base no diagrama apresentado na figura 2, qual seria a saída O1 se os fusíveis 1 e 2 fossem “queimados”?**

A saída O1 se comportará como uma porta XNOR, ou seja,  $O1 = !(A \oplus B)$ , seguindo a tabela:

| A | B | OUT |
|---|---|-----|
| 0 | 0 | 1   |
| 0 | 1 | 0   |
| 1 | 0 | 0   |
| 1 | 1 | 1   |