

**FUNDAÇÃO UNIVERSIDADE FEDERAL DO AMAZONAS
FACULDADE DE TECNOLOGIA
ENGENHARIA DA COMPUTAÇÃO**

INTRODUÇÃO AOS SISTEMAS EMBARCADOS

RELATÓRIO DO TRABALHO 5

**Manaus – AM
2018**

FELIPE DE MENEZES SANTOS

RELATÓRIO DO TRABALHO V

Trabalho proposto pelo prof. Dr. Raimundo Barreto
na disciplina de Introdução aos Sistemas
Embarcados.

PROFESSOR: RAIMUNDO DA SILVA BARRETO

**Manaus – AM
2018**

DESCRIÇÃO DO SISTEMA

O sistema para a resolução do problema proposto consiste em três blocos, onde há um divisor de clock da frequência de 50MHz para 1Hz, uma máquina de estados, onde há a relação das entradas com as saídas do sistema além do decodificador decimal do display de 7 segmentos, responsável pela exibição do tempo em segundos de cada estado na tela.

O sistema funciona da seguinte forma: O estado inicial do sistema possui o sinal verde dos veículos e o vermelho dos pedestres ligados e todo o restante apagado, pressionando-se o botão de start aguarda-se 3 segundos até o sinal verde para os veículos começar a piscar durante 3 segundos, então o sinal amarelo é acionado por 3 segundos, apaga e o vermelho é acionado por 3 segundos. Só então o sinal vermelho e o verde do pedestre é apagado e acionado, respectivamente. Após 3 segundos o sistema volta para o estado original. Apertando-se o botão de reset o sistema volta para o estado inicial a qualquer momento.























Node Name	Direction	Location
 clk_placa	Input	PIN_L1
 displaya[6]	Output	PIN_J2
 displaya[5]	Output	PIN_J1
 displaya[4]	Output	PIN_H2
 displaya[3]	Output	PIN_H1
 displaya[2]	Output	PIN_F2
 displaya[1]	Output	PIN_F1
 displaya[0]	Output	PIN_E2
 displayb[6]	Output	PIN_E1
 displayb[5]	Output	PIN_H6
 displayb[4]	Output	PIN_H5
 displayb[3]	Output	PIN_H4
 displayb[2]	Output	PIN_G3
 displayb[1]	Output	PIN_D2
 displayb[0]	Output	PIN_D1
 rst	Input	PIN_R22
 sinalAmareloV_p	Output	PIN_R17
 sinalVerdeP_p	Output	PIN_U18
 sinalVerdeV_p	Output	PIN_U22
 sinalVermelhoP_p	Output	PIN_Y18
 sinalVermelhoV_p	Output	PIN_R18
 start	Input	PIN_R21

Figura 1 - Pinagem escolhida na FPGA para as entradas e saídas do projeto

DIAGRAMA CAIXA-PRETA



DIAGRAMA DE BLOCOS

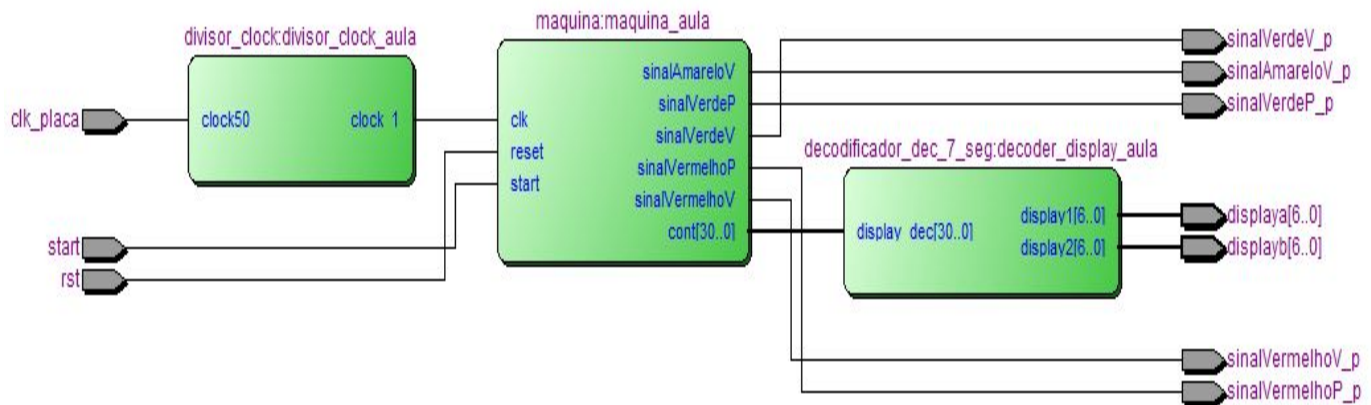


DIAGRAMA MÁQUINA DE ESTADOS

