



Universidade Federal de Roraima  
Departamento de Ciência da Computação  
Arquitetura e Organização de Computadores

**LABORÁTORIO DE VHDL – CODIFICAÇÃO E SIMULAÇÕES**

PROFESSOR: Herbert Oliveira Rocha

**ATENÇÃO:** Descrever as soluções com o máximo de detalhes possível, inclusive a forma como os testes foram feitos. Todos os artefatos (relatório, código fonte de programas, e outros) gerados para este trabalho devem ser adicionados em um repositório no site [github.com](https://github.com). Adicionalmente, descreva o ambiente (ex. IDE) utilizado no trabalho.

**PRAZO DE ENTREGA: 05/12/2017**

Implemente os componentes abaixo usando a **linguagem VHDL**, para cada componente apresente a: (i) Descrição (os pinos e a lógica) do componente e sua funcionalidade; (ii) Imagem da RTL viewer; (iii) A waveform com testes do componente; e (iv) Descrição dos testes, apresentando os pinos de entrada e saída.

[COMPONENTE 01]. Registrador Flip-Flop do tipo D e do tipo JK.

[COMPONENTE 02]. Multiplexador de quatro opções de entrada.

[COMPONENTE 03]. Porta lógica XOR usando port map com os componentes: AND, NOT, e OR.

[COMPONENTE 04]. Somador que recebe um valor inteiro e soma com o valor 4.

[COMPONENTE 05]. Memória ROM de 8 bits.

[COMPONENTE 06]. Memória RAM de 8 bits.

[COMPONENTE 07]. Banco de Registradores de 8 bits.

[COMPONENTE 08]. Somador de 8 bits.

[COMPONENTE 09]. Unidade de controle uniclo do MIPS de 8 bits.

[COMPONENTE 10]. ULA de 8 bits, utilizando port map, com as seguintes operações: AND, OR, NOT, NOR, NAND, XOR, SHIFT de 2 bits à esquerda, SHIFT de bits à direita, soma e subtração.

[COMPONENTE 11]. Extensor de sinal de 4 bits para 8 bits.

[COMPONENTE 12]. Implemente a maquina de estados ao lado.

[COMPONENTE 13]. Contador Síncrono.

