

AKO TEORIA - CZERWIEC 2011

Zadanie 1A (2pkt)

Podać zawartość rejestru EIP po wykonaniu poniższej sekwencji rozkazów:

```
mov  eax, 789
xchg eax, [esp]
ret
```

EIP = 789

Zadanie 1B (1pkt)

Podać sekwencję rozkazów (zawierającą rozkaz RET), której wykonanie spowoduje załadowanie do wskaźnika instrukcji EIP liczby 456.

```
mov eax, 456
push eax
ret
```

Zadanie 1C (2pkt)

Podany niżej rozkaz JMP typu pośredniego kopiuje zawartość wierzchołka stosu do rejestru EIP:

```
jmp  dword PTR [esp]
```

Wyjaśnić czym różni się podany rozkaz od rozkazu RET.

RET zdejmuję ślad, czyli wykonuje *pop eip*, a powyższy rozkaz nie zdejmuje wartości ze stosu.

	00430F76H
	00430F75H
	00430F74H

Zadanie 2A (2pkt)

W komórkach pamięci operacyjnej o adresach 0x00430F74 i 0x00430F75 została zapisana liczba 515 w postaci 16-bitowej liczby binarnej. Podać zawartość tych komórek w postaci binarnej przy założeniu, że w komputerze stosowana jest konwencja mniejsze wyżej (big endian). W komputerze stosowana jest pamięć o organizacji bajtowej.

515: 00000010 00000011

0x00430F75: 00000011

0x00430F74: 00000010

	00430F76H
	00430F75H
	00430F74H

Zadanie 2B (2pkt)

W komórkach pamięci operacyjnej o adresach 0x00430F74 i 0x00430F75 została zapisana liczba 510 w postaci 16-bitowej liczby binarnej. Podać zawartość tych komórek w postaci binarnej przy założeniu, że w komputerze stosowana jest konwencja mniejsze wyżej (big endian). W komputerze stosowana jest pamięć o organizacji bajtowej.

510: 0000 0001 1111 1110

0x00430F75: 1111 1110

0x00430F74: 0000 0001

	00430F76H
	00430F75H
	00430F74H

Zadanie 2C (2pkt)

W komórkach pamięci operacyjnej o adresach 0x00430F74 i 0x00430F75 została zapisana liczba 1025 w postaci 16-bitowej liczby binarnej. Podać zawartość tych komórek w postaci binarnej przy założeniu, że w komputerze stosowana jest

konwencja mniejsze wyżej (big endian). W komputerze stosowana jest pamięć o organizacji bajtowej.

1025: 0000 0100 0000 0001

0x00430F75: 0000 0100

0x00430F74: 0000 0001

Zadanie 3A (1pkt)

Wyjaśnić znaczenie terminu *ramka stosu*.

Ramka stosu – obejmuje wartości przesłane przez stos, ślad powrotu z podprogramu, zmienne lokalne dynamiczne; jest obszarem rezerwowanym na stosie w chwili wywołania podprogramu – stanowi tzw. rekord aktywacji. Wskaźnikiem ramki stosu jest rejestr EBP.

Zadanie 3B (1pkt)

W jaki sposób w kodzie asemblerowym rezerwuje się obszar danych statycznych i dynamicznych.

Zmienne dynamiczne rezerwuje się na początku programu. Standardowo robi się to przez *mov ebp, esp* i przesunięcie wierzchołka stosu o potrzebną ilość bajtów (podzielną przez 4). Odwołujemy się poprzez *[ebp-x]*.

Dane statyczne rezerwuje się w sekcji *.data* według schematu: *nazwa rozmiar wartość*. Dodatkowo używamy *dup* jeśli mamy większą ilość zmiennych. Np.: *piec 5 dup (?)*

Zadanie 3C (1pkt)

Wyjaśnić znaczenie *interfejsu ABI*

ABI – odpowiednik API na poziomie asemblera. Określa sposób wymiany informacji pomiędzy programem a podprogramami i bibliotekami; określa sposób przekazywania argumentów do podprogramu (stos czy rejestry), kolejność ładowania parametrów (standardy: Pascal, C, StdCall), sposób przekazywania wyniku (rejestry, stos), czyszczenie pamięci.

Zadanie 4A (1pkt)

W jaki sposób sygnalizowany jest nadmiar w trakcie wykonywania rozkazu DIV lub IDIV?

Nadmiar przy dzieleniu generuje wyjątek procesora, co (najczęściej) powoduje natychmiastowe zakończenie programu.

Zadanie 4B (2pkt)

W jaki sposób procesor wyznacza wartości wpisywane do znaczników CF i OF w trakcie wykonywania dodawania.

Liczy bez znaku i ze znakiem (U2) dodaje się tak samo. CF zapala się, gdy występuje przekroczenie zakresu (bez znaku), a OF = 1, gdy występuje przeniesienie z drugiego bitu (od lewej) na bit znaku.

Zadanie 4C (2pkt)

Czas wykonywania operacji dzielenia liczb całkowitych przez 2^k można znacznie skrócić, jeśli do tego celu zostanie wykorzystany rozkaz.....

shr rejestr, k

Zadanie 5A (1pkt)

Na czym polega różnica między rozkazami FLD i FILD?

FLD ładuje liczbę rzeczywistą (z rejestru lub lokacji pamięci) na szczyt stosu koprocesora, a FILD odczytuje liczbę w kodzie U2, konwertuje ją na zmiennoprzecinkową i wtedy także wrzuca ją na stos.

Zadanie 5B (2pkt)

Wyjaśnić czym różni się zaokrąglanie w kierunku zera od zaokrąglania do liczby najbliższej stosowane w koprocessorze arytmetycznym

Zaokrąglanie w kierunku zera – obcinanie dodatkowych bitów. RC = 11

Zaokrąglanie do liczby najbliższej – zaokrąglanie w sposób matematyczny. RC = 00

Zadanie 5C (1pkt)

W jakich okolicznościach koprocessor arytmetyczny generuje wyjątek *niedozwolona operacja*?

Wyjątek niedozwolona operacja powstaje, gdy niemożliwe jest żadne inne działanie np. pierwiastek z liczby ujemnej, próba użycia pustego rejestru stosu.

Można kontynuować obliczanie przez zamaskowanie IM w rejestrze sterującym koprocessora. Wynikiem będzie nieliczba – NAN (pole wykładnika same 1, mantysa różna od zera 0).

Zadanie 6A (3pkt)

Omówić sposób odwzorowywania zawartości pamięci ekranu w trybie graficznym 13H na postać obrazu wyświetlonego na ekranie.

13H – prosty tryb graficzny używany w rzeczywistym trybie pracy procesora, w środowisku DOS. Rozdzielczość to 320x200 pikseli, czyli 64000b. Każdy piksel to 1 bajt w pamięci, który określa jego kolor. Adresy w pamięci (od A000h) zawierają informację o danym pikselu.

Piksele wypełniane są poczynszu od lewego górnego rogu, od lewej do prawej, po czym następuje przejście do następnego wiersza.

Zadanie 6B (3pkt)

Omówić sposób odwzorowania zawartości pamięci ekranu (w trybie tekstowym) na postać tekstu wyświetlanego na ekranie.

Tryb tekstowy – prosty tryb graficzny, działający w trybie rzeczywistym pracy procesora w środowisku DOS.

Każdy piksel to 2 bajty w pamięci. Rozdzielczość ekranu to 80x25.

Pierwszy bajt (bajt parzysty) – nr znaku w kodzie ASCII

Drugi bajt – sposób wyświetlania znaku (kolor czcionki i tła, migotanie).

Zadanie 6C (3pkt)

Podać zasady przesyłania danych z klawiatury do komputera na poziomie przesłań sygnałów elektrycznych.

Sterownik klawiatury w komputerach PC jest przykładem urządzenia wejścia-wyjścia sterowanego przez specjalizowane procesory. Po naciśnięciu (zwolnieniu) klawisza mikrokontroler (czyli mikroprocesor) klawiatury formuje ośmiobitowy kod naciśnięcia (zwolnienia) klawisza, który zostaje przesłany do układów płyty głównej komputera.

W kablu łączącym klawiaturę z komputerem istotne znaczenie mają 4 linie: dane, zegar, masa, +5V (dostarcza zasilanie z komputera do układów klawiatury). Komunikacja z klawiaturą realizowana według reguł dwukierunkowego synchronicznego protokołu szeregowego. Przesyłanie informacji traktowane są impulsami zegarowymi (częstotliwość ustawiana jest od 10 do 20 kHz przy maksymalnie możliwej 30 kHz).

Linie danych i zegara połączone są w układzie otwartego kolektora, więc są w stanie pasywnym, gdy dane nie są przesyłane; znajdują się w logicznej 1, ale przy zwarcu ich do masy stają się 0.

Komputer może zablokować przesyłanie danych z klawiatury poprzez ustawienie linii w zegarze w stanie logicznym 0.

Ramka danych – 11 bitów; informacje bajtowe, które przesyłane są w postaci jednostek informacji.

Zadanie 7A (2pkt)

Spośród niżej wymienionych cech, wybrać dokładnie dwie główne cechy, które są istotne przy wyborze odpowiedniego komputera typu system wbudowany:

- **cena**
- przepustowość
- stosunek cena/wydajność
- wydajność grafiki
- dostępność
- skalowalność
- **wydajność dla konkretnych aplikacji**
- zużycie energii

Zadanie 7B (2pkt)

Spośród niżej wymienionych cech, wybrać dokładnie dwie główne cechy, które są istotne przy wyborze odpowiedniego komputera klasy serwer:

- cena
- **przepustowość**
- stosunek cena/wydajność
- wydajność grafiki
- dostępność
- **skalowalność**
- wydajność dla konkretnych aplikacji
- zużycie energii

Zadanie 7C (2pkt)

Spośród niżej wymienionych cech, wybrać dokładnie dwie główne cechy, które są istotne przy wyborze odpowiedniego komputera osobistego:

- cena
- przepustowość
- **stosunek cena/wydajność**
- **wydajność grafiki**
- dostępność
- skalowalność
- wydajność dla konkretnych aplikacji
- zużycie energii

Zadanie 8A (3pkt)

N-etapowy potok rozkazów może potencjalnie zwiększyć przepustowość n-krotnie. Dlaczego rzadko tak jest w praktyce?

Programy rzadko przystosowane są do takiego przetwarzania.

Każda pętla warunkowa powoduje nieoczekiwaną zmianę kolejności wykonywania rozkazów, przez co potok musi być wyczyszczony i ładowany od początku (straty wydajności można zmniejszyć np. poprzez *tablice historii znaków*). Często wynik jednej operacji jest argumentem drugiej, przez co występują przestoje w wykonywaniu programu.

Zadanie 8B (2pkt)

Do jakiej grupy z klasyfikacji Flynna zalicza się komputery wektorowe? Odpowiedź uzasadnij podając odpowiedni przykład

SIMD – simple instruction, multiple data.

Komputery wektorowe wykonują obliczenia na wektorach liczb.

np. grupy rozkazów SSE i MMX – wykonują one obliczenia na kilku liczbach jednocześnie zawartych w jednym rejestrze (na tzw. wartościach upakowanych)

Zadanie 8C (3pkt)

Załóżmy, że dysponujemy dwoma implementacjami tego samego zbioru ISA. Maszyna A ma cykl zegarowy równy 50ns i dla pewnego programu CPI=4.0, zaś maszyna B ma cykl zegarowy równy 70ns i dla tego samego programu CPI=2.5. Która maszyna jest szybsza i dlaczego?

CPI – cykle na instrukcje.

A: $50 \cdot 4 = 200[\text{ns}]$,

**B: $10 \cdot 2,5 = 175[\text{ns}]$,
więc maszyna B jest szybsza.**

Zadanie 9A (2pkt)

W tradycyjnym modelu hierarchii układów pamięci pamięć podręczna L2 jest pamięcią *off-chip*. Ten stan rzeczy w nowoczesnych architekturach uległ zmianie i obecnie L2 jest pamięcią *on-chip*. Wyjaśnij przyczynę tego zjawiska. Na czym polega zatem różnica między pamięcią L1 i L2?

Kiedyś: L1 on-chip (w procesorze), L2 off-chip (na płycie głównej)

Teraz: L1 on-chip oddzielna dla każdego rdzenia, L2 on-chip dla całego procesora, L3 off-chip.

Pamięć on-chip (z którą procesor może kontaktować się w każdym cyklu w przeciwieństwie do RAM) umieszczona na płycie z procesorem przyspiesza komunikację.

Zadanie 9B (3pkt)

Podaj dwa sposoby implementacji sieci połączeń w systemach wieloprocesorowych z pamięcią współdzieloną. Przedstaw jedną zaletę i jedną wadę każdej z organizacji.

(Pamięć dzielona – zbiór stacji roboczych połączonych za pomocą sieci lokalnej i mających jedną, stronicowaną, wirtualną przestrzeń adresową.)

wieloprocesory szynowe – konstrukcje z pojedynczą magistralą próbujące w różny sposób załagodzić negatywne aspekty jednoczesnego dostępu wielu procesorów do współdzielonej

+ proste rozwiązanie, działające dobrze w małych systemach

- w przypadku 3 i więcej jednostek centralnych może ona ulec przeładowaniu

wieloprocesory przełączone – z rozbudowanymi szynami, które dają przepustowość

+ skalowalność do systemów z setkami procesorów

- pojedynczy dostęp do pamięci może wymagać wysyłki pokaźnej liczby pakietów

Zadanie 9C (2pkt)

Podaj definicję czasu dostępu do pamięci.

**Czas dostępu do pamięci – 1) czas od chwili podania adresu lokacji pamięci do uzyskania zawartości tej lokacji;
2) czas potrzebny na wykonanie zapisu w pamięci.**

Zadanie 10A (2pkt)

Porównaj procesory RISC i CISC pod kątem minimalizacji odwołań do pamięci operacyjnej.

Procesory RISC mają nowocześniejszą konstrukcję niż CISC, dzięki czemu można zmniejszyć częstość odwołań do pamięci, zawierają więcej b. szybkich rejestrów ogólnego przeznaczenia. Zredukowano liczbę rozkazów, a na działania w pamięci pozwalają tylko *load* i *store*; zabrania używania lokacji pamięci, zamiast tego trzeba używać rejestrów; jak najmniej połączeń z pamięcią operacyjną.

Zadanie 10B (2pkt)

Czy czas trwania cyklu zegarowego wpływa na przepustowość pamięci SDRAM? Odpowiedź uzasadnij.

Tak, bo SDRAM jest pamięć synchroniczną, a więc działa synchronicznie z cyklem zegarowym.

Zadanie 10C (2pkt)

Podaj i objaśnij podstawową różnicę w działaniu pamięci SDRAM a DRAM.

Pamięć DRAM pracuje asynchronicznie, czyli *zamraża* prace procesora na pewien czas w celu odświeżenia zawartości komórek pamięci.

Pamięć SDRAM działa synchronicznie, czyli do odświeżania wykorzystuje te cykle zegara, w których procesor nie korzysta z pamięci.

Zadanie 11A (3pkt)

W jakim celu wprowadza się w mikroarchitekturach zmianę nazw rejestru/ów (*register renaming*)?

Przemianowanie rejestrów – technika w inżynierii komputerowej używana w celu uniknięcia niepotrzebnego szeregowego wykorzystania instrukcji narzuconego przez wykorzystywanie tych samych rejestrów przez następujące instrukcje po sobie.

Zadanie 11B (2pkt)

Na czym polega różnica w przetwarzaniu *gridowym* i *klastrowym*?

Klaster – wiele niedrogich PC połączonych w jeden system; szybkie połączenie; komputery tych samych klas i w jednej sieci; dużo komunikacji

Grid – sieć rozproszonych geometrycznie komputerów, połączonych za pomocą internetu; rzadko komunikują się

Zadanie 11C (2pkt)

Omówić główne zadania jednostki sterującej w procesorze biorąc pod uwagę informacje dostarczane na jej wejście i informacje generowane na wyjściu.

Jednostka sterująca procesora – steruje pracą jednostek obliczeniowych. Na wejściu otrzymuje kod rozkazów, które musi zdekodować, zlokalizować argumenty w pamięci itd. Na wyjściu przekazuje ciąg mikrooperacji zrozumiałych dla jednostek obliczeniowych. JSP może być mikroprogramowalne i układowe.

Zadanie 12A (3pkt)

Wymienić hipotetyczny ciąg mikrooperacji dla instrukcji POP.

pop rejestr \Leftrightarrow **mov rejestr, [esp]**
 add esp, 4

Zadanie 12B (3pkt)

Wymienić hipotetyczny ciąg mikrooperacji dla instrukcji PUSH.

push rejestr \Leftrightarrow **sub esp, 4**
 mov dword PTR [esp], rejestr

Zadanie 12B (3pkt)

Wymienić hipotetyczny ciąg mikrooperacji dla instrukcji LOOP.

dec ecx
jmp nazwa_etykiety