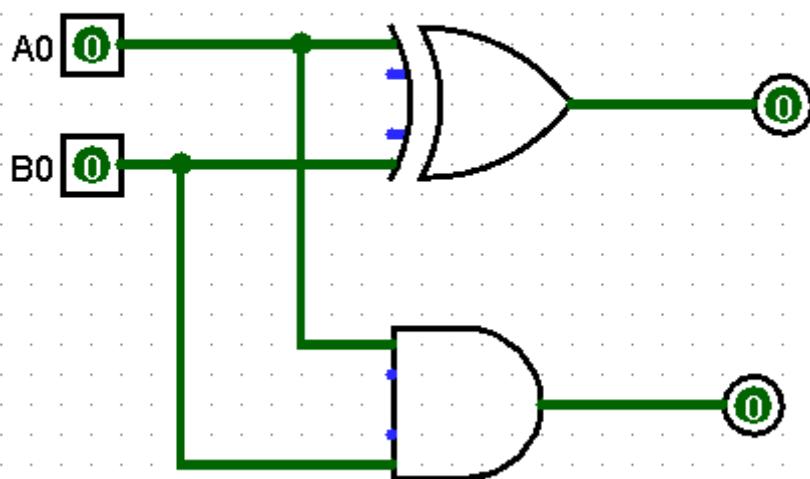


TRABALHO PRÁTICO AC II

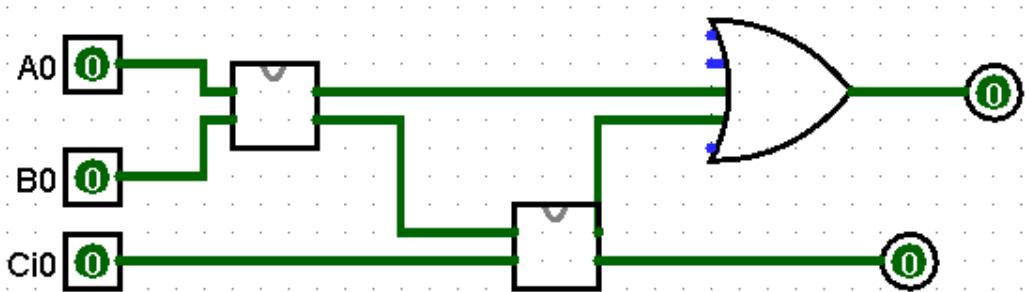
Felipe Costa Unsonst

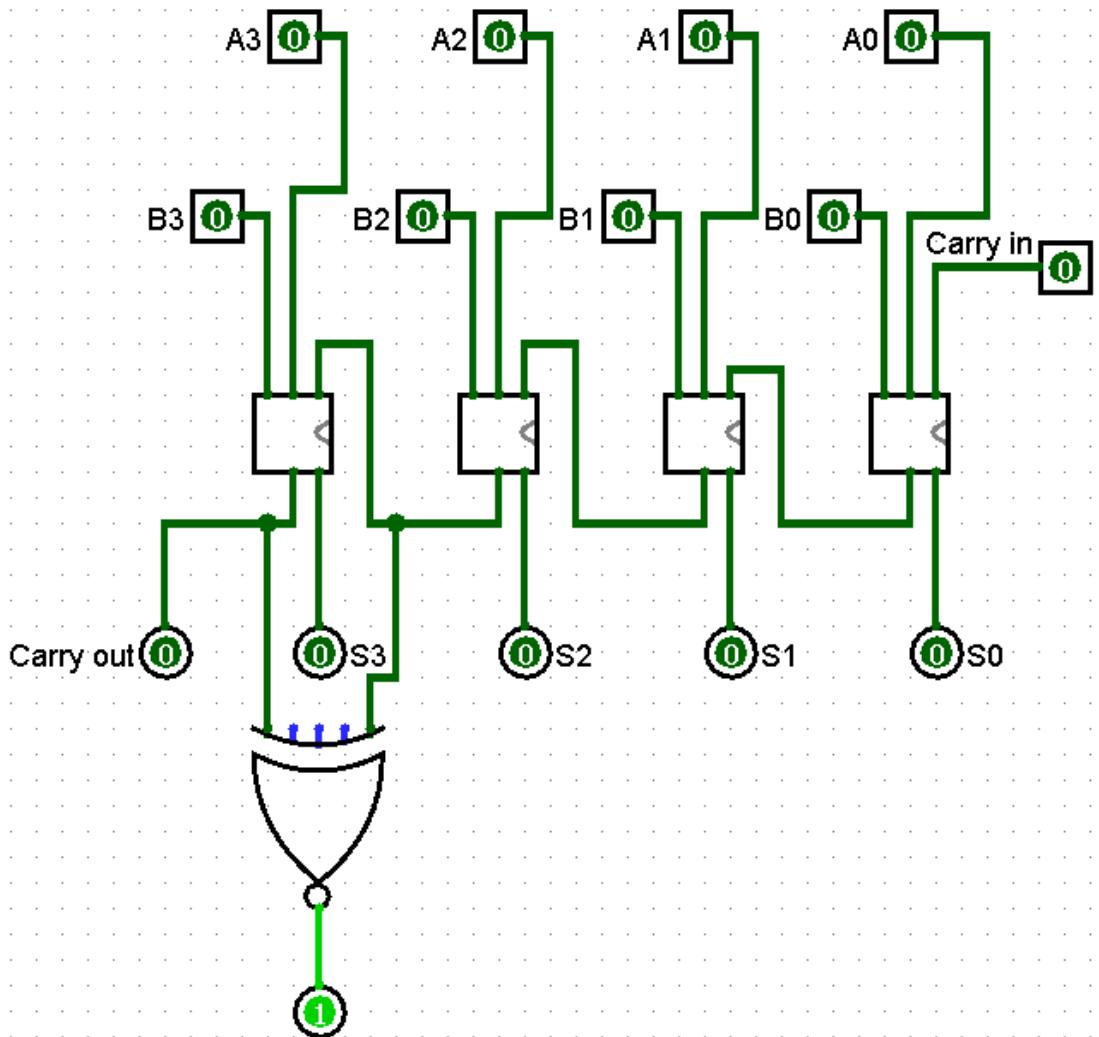
Circuitos:

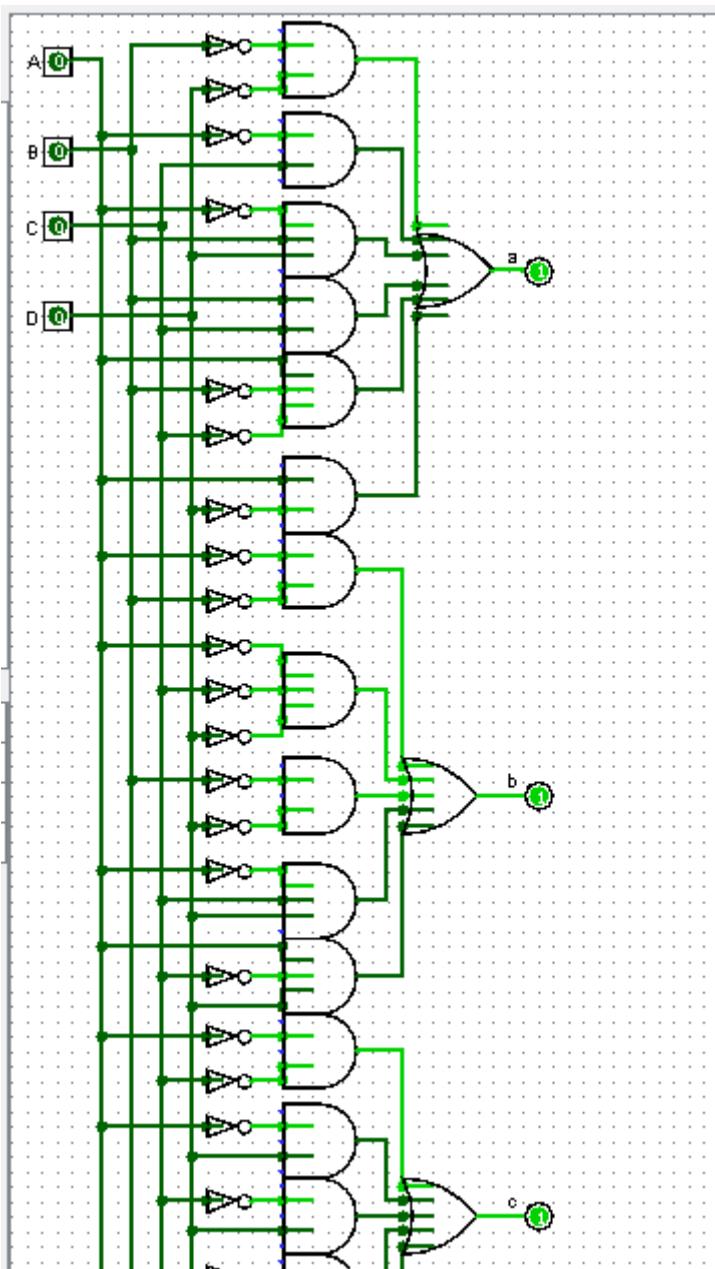
1/2 somador

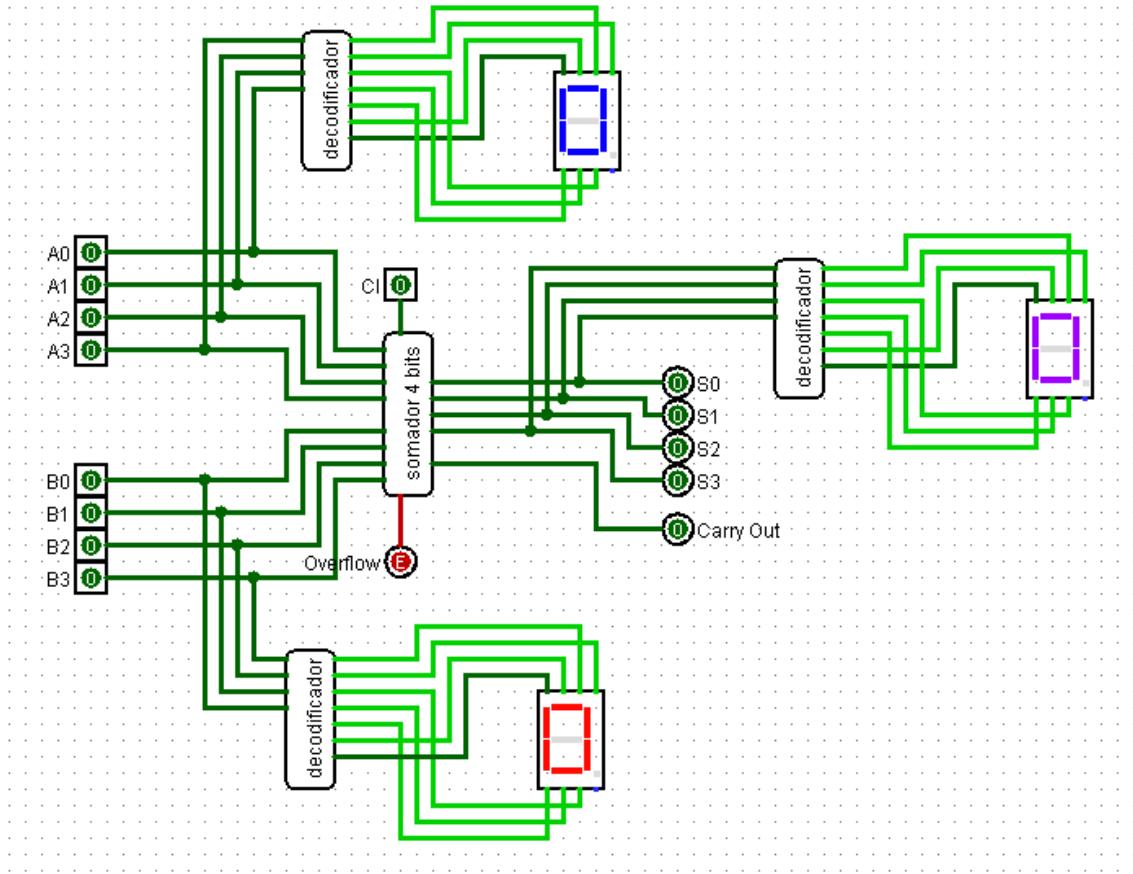


Somador Completo









Respostas das perguntas:

Qual o problema de tempo associado a esse tipo de somador (pense no carry), considerando atraso médio de 10 ns por porta lógica?

O maior problema é a propagação do carry. Assim, cada somador completo só consegue finalizar a operação depois de receber o carry do estágio anterior. Isso gera um efeito em cadeia, em que o tempo total de processamento cresce proporcionalmente ao número de bits, já que o carry precisa atravessar todos os estágios sequenciais.

Qual o tempo necessário para a computação de uma soma e do vai um em um somador de 4 bits.

Considerando um atraso médio de 10 ns por porta lógica, o tempo é de 90 ns. O primeiro somador completo gasta cerca de 30 ns, já os próximos estágios ficam dependentes apenas do atraso de propagação do carry, o que adiciona cerca de 20 ns por estágio.

O que seria necessário para um somador de 32 bits ?

É preciso interligar 32 somadores completos de 1 bit, formando uma cadeia sequencial.

Considerando esses tempos acima, calcule a freqüência de operação de um somador de 32 bits.

$$T_{med} = 30 \text{ ns} + 20 \text{ ns} * (32-1) = T_{med} = 30 \text{ ns} + 620 \text{ ns} \Rightarrow T_{med} = 650 \text{ ns}$$

Você consegue propor alguma forma de tornar essa soma mais veloz?

Evitar que cada estágio dependa diretamente do carry do anterior deixaria mais veloz. Um exemplo disso é o CLA (Carry Lookahead Adder) que calcula antecipadamente os sinais de carry a partir das entradas iniciais, permitindo que todos os estágios tenham seus carries determinados em paralelo.