

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
Departamento de Engenharia Elétrica e de Computação

Relatório 3

SEL0621 - Projeto de Circuitos Integrados Digitais

Professor:

Prof. Dr. João Navarro Soares Júnior
navarro(at)sc.usp.br

Alunos:

Felipi Adenildo Soares Sousa
NUSP: 10438790
Marcos Antonio Nobre Coutinho
NUSP: 10716397

São Carlos - SP
13 de novembro de 2025

Sumário

Introdução	1
Resolução das Questões	2
Questão 2	2
Questão 3	3
Questão 4	4
Questão 5	5
Questão 6	7
Questão 7	8
Questão 8	12
Questão 9	14
Questão 10	18
Questão 11	22
Questão 12	23
Questão 14	24
Questão 15	27
Questão 16	28
Questão 17	32
Questão 18	34
Questão 19	37
Questão 20	40
Questão 21	41

Listas de Tabelas

1	Informações obtidas no manual da célula DF3 [1], considerando o <i>slope</i> mínimo.	5
2	Informações obtidas no manual da célula NAND22 [1], considerando o <i>slope</i> mínimo.	5
3	Atrasos de propagação estimados para as células DF3 e NAND22.	6
4	Comparativo da frequência máxima de operação obtida teoricamente e experimentalmente para o circuito extraído a partir do esquemático ou do <i>layout</i> , com opção C+CC ou R+C+CC.	22
5	Informações obtidas no manual da célula DF1, considerando o <i>slope</i> mínimo.	24
6	Informações obtidas no manual da célula NAND23, considerando o <i>slope</i> mínimo.	25
7	Informações obtidas no manual da célula NOR23, considerando o <i>slope</i> mínimo.	25
8	Atrasos de propagação estimados para os componentes do circuito divisor 4/5.	25
9	Comparativo da frequência máxima e consumo para o Divisor 4/5.	40

Listings

1	Comandos utilizados na simulação.	8
2	Comandos utilizados na simulação do circuito divisor 4/5	28

Lista de Figuras

1	Esquemático do circuito da célula DL1.	2
2	Exemplo de esquemático	4
3	Esquemático do circuito da figura 2.	4
4	Razão entre o período do sinal de saída Q e o período do sinal de <i>clock</i> , em função da frequência do sinal de <i>clock</i>	9
5	Sinais de <i>clock</i> e na saída Q para a frequência máxima, $f = 1,47 \text{ GHz}$	10
6	Sinais de <i>clock</i> e na saída Q para a frequência $f = 1,49 \text{ GHz}$, superior à frequência máxima permitida.	11
7	<i>Layout</i> correspondente ao circuito da Figura 3.	13
8	Razão entre o período do sinal de saída Q e o período do sinal de <i>clock</i> , em função da frequência do sinal de <i>clock</i>	15
9	Sinais de <i>clock</i> e na saída Q para a frequência máxima, $f = 1,09 \text{ GHz}$	16
10	Sinais de <i>clock</i> e na saída Q para a frequência $f = 1,11 \text{ GHz}$, superior à frequência máxima permitida.	17
11	Razão entre o período do sinal de saída Q e o período do sinal de <i>clock</i> , em função da frequência do sinal de <i>clock</i>	19
12	Sinais de <i>clock</i> e na saída Q para a frequência máxima, $f = 1,06 \text{ GHz}$	20
13	Sinais de <i>clock</i> e na saída Q para a frequência $f = 1,08 \text{ GHz}$, superior à frequência máxima permitida.	21
14	<i>Prescaler 32/33</i>	24
15	Esquemático do circuito divisor 4/5.	27
16	Razão entre o período do sinal de saída QN e o período do sinal de <i>clock</i> , em função da frequência do sinal de <i>clock</i>	29
17	Sinais de <i>clock</i> e na saída QN para a frequência máxima, $f = 1,11 \text{ GHz}$	30
18	Consumo do circuito em função da frequência do sinal de <i>clock</i>	31
19	<i>Layout</i> correspondente ao circuito divisor 4/5.	33
20	Sinais de <i>clock</i> e na saída QN para a frequência máxima, $f = 0,88 \text{ GHz}$	35
21	Razão entre o período do sinal de saída QN e consumo do circuito em função da frequência do sinal de <i>clock</i>	36
22	Sinais de <i>clock</i> e na saída QN para a frequência máxima, $f = 0,84 \text{ GHz}$	38
23	Razão entre o período do sinal de saída QN e consumo do circuito em função da frequência do sinal de <i>clock</i>	39

Introdução

Este relatório apresenta a resolução de uma série de exercícios práticos da disciplina de SEL0621 - Projeto de Circuitos Integrados Digitais I. O objetivo principal é aplicar os conceitos de projeto e simulação de circuitos integrados analógicos utilizando as ferramentas de EDA (Electronic Design Automation) da Mentor Graphics: Design Architect para a elaboração dos esquemáticos, ICStation para o desenvolvimento do layout, e EZWave para a análise e visualização das formas de onda resultantes das simulações.

Nesta prática, utilizamos as células da biblioteca AMS 0,35 μ m para elaborar um circuito divisor por 2 e um circuito divisor por 4/5. Observamos as vantagens decorrentes da padronização entre as células desta biblioteca, a qual torna mais simples a união de componentes.

Foram analisadas as frequências máximas de *clock* dos circuitos, bem como o consumo do circuito divisor 4/5. Em particular, foi observado o efeito das capacitâncias e resistências parasitas sobre a velocidade máxima do circuito. Para isso, realizamos simulações do circuito extraído a partir do *netlist* ou do *layout* (C+CC e R+C+CC).

Resolução das Questões

Questão 2

Enunciado: Procure o layout da célula DL1 e o abra no IcStation. Levante e desenhe o circuito esquemático desta célula (não precisa determinar as dimensões dos transistores). Observe com cuidado o layout feito.

Resposta:

O desenho do esquemático do circuito DL1 é apresentado na figura 1.

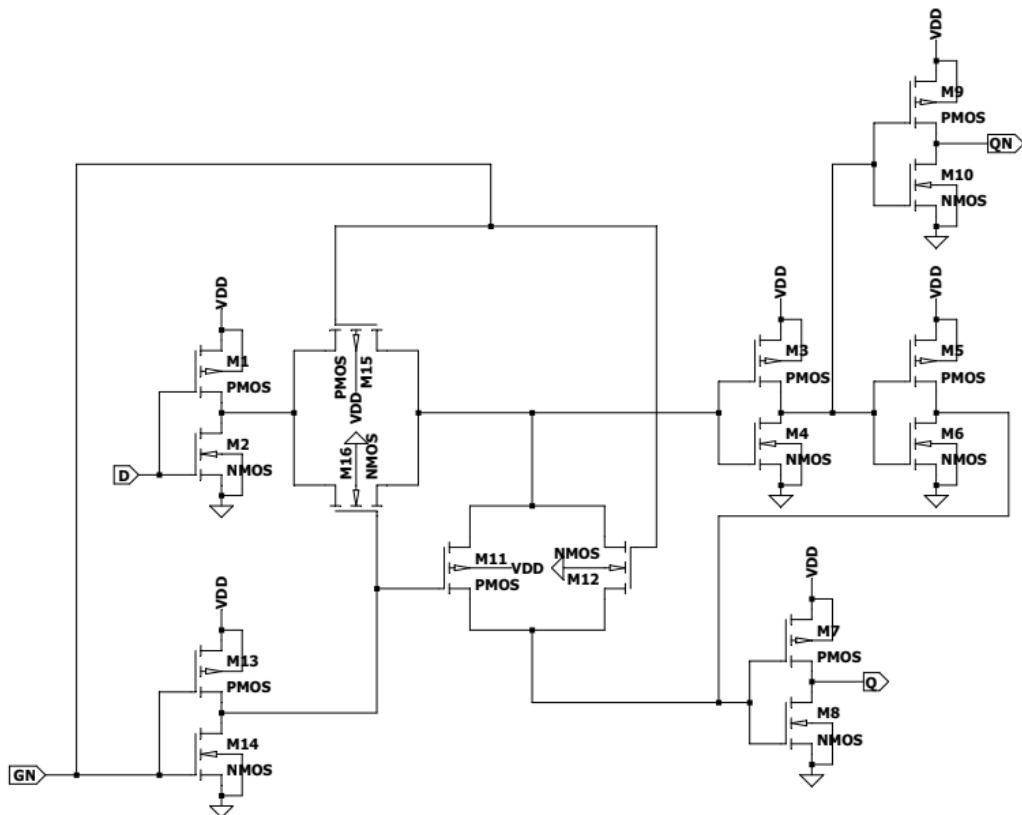


Figura 1: Esquemático do circuito da célula DL1.

Questão 3

Enunciado: Observe que na célula DL1 as linhas dos sinais de VDD e VSS correm nas extremidades superior e inferior. Qual é a dimensão vertical destas linhas e qual a distância entre elas. Abra outra célula da biblioteca e verifique as dimensões das linhas de VDD e VSS e a distância entre elas. São iguais em todas as células? Seria/é interessante que fossem/sejam iguais, por quê?

Resposta:

Ao se observar as linhas dos sinais de VDD e VSS na célula DL1 nota-se que ambas possuem dimensão vertical igual a $1,8 \mu\text{m}$, sendo a distância entre elas igual a $9,4 \mu\text{m}$. Esse padrão se repete nas demais células da biblioteca.

A padronização das dimensões é interessante pois torna mais fácil a união dos componentes da biblioteca, visto que basta encostar uma célula à outra para que o VDD e o VSS das células seja conectado.

Questão 4

Enunciado: Considere o circuito da Figura 2. Desenhe seu esquemático utilizando as células DF3, NAND22. Como sinal de entrada deve colocar o clock e D; como sinal de saída, Q. Gere o símbolo para a célula e faça todas as verificações necessárias. Certifique-se que não haja erros ou warnings.

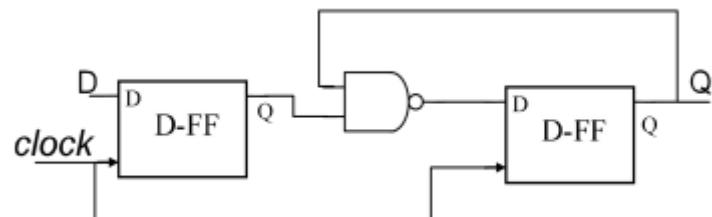


Figura 2: Exemplo de esquemático

Resposta:

O esquemático do circuito da Figura 2, elaborado utilizando as células DF3 e NAND22, é apresentado na Figura 3. O símbolo correspondente foi gerado e não foram observados erros ou *warnings*.

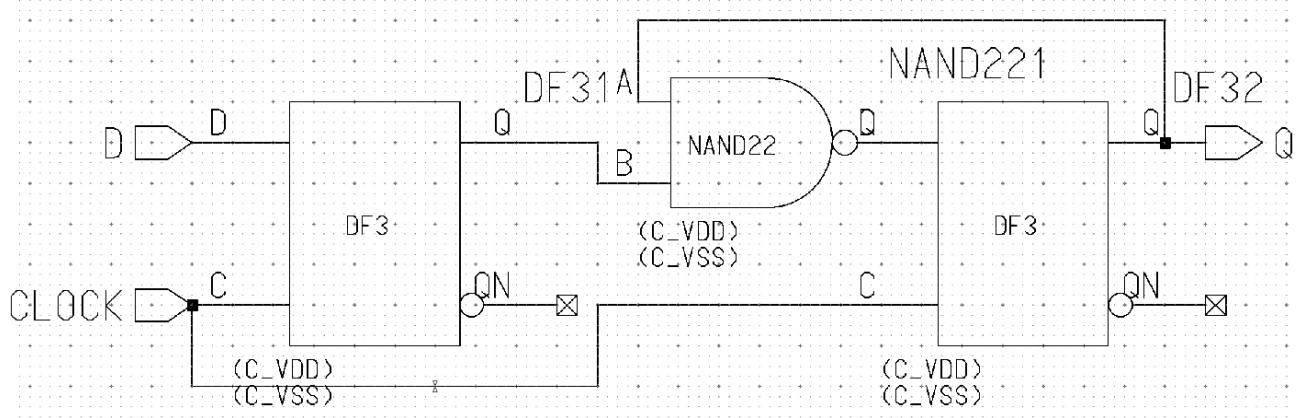


Figura 3: Esquemático do circuito da figura 2.

Questão 5

Enunciado: A partir das informações dos blocos que compõe este circuito estime o valor máximo da frequência do *clock* que o circuito pode suportar (considere a entrada D = “1”, utilize o pior caso entre subida e descida das portas e considere que os sinais são rápidos). Apresente os cálculos.

Resposta:

Para determinar a frequência máxima de *clock* que o circuito pode suportar é necessário considerar o caminho crítico do circuito. Visto que consideramos a entrada D=“1”, a saída do primeiro DF3 é constante, logo o caminho crítico consiste na porta NAND e no segundo DF3.

Deste modo, o tempo de propagação do caminho crítico depende do atraso de propagação das células DF3 (T_{DF3}) e NAND22 (T_{NAND22}), e dos tempos de *setup* (T_{setup}) e de *hold* do *flip-flop* DF3. O tempo de *setup* é o período mínimo de tempo antes da borda de subida do sinal de *clock* em que o sinal de entrada deve estar estável. Já o tempo de *hold* é o período mínimo de tempo após da borda de subida do sinal de *clock* em que o sinal de entrada deve permanecer estável. Contudo, como a entrada do segundo DF3 só se altera após propagação pelo próprio DF3 e pela porta NAND, podemos desconsiderar o tempo de *hold*.

Portanto, o tempo de propagação do caminho crítico é dado pela relação:

$$T = T_{setup} + T_{DF3} + T_{NAND22} \quad (1)$$

Primeiramente, obtemos os dados relativos às células DF3 e NAND22, os quais são reproduzidos nas Tabelas 1 e 2, respectivamente.

Tabela 1: Informações obtidas no manual da célula DF3 [1], considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,003	0,53
	0,96	2,08
Descida	0,003	0,61
	0,96	1,66

Tabela 2: Informações obtidas no manual da célula NAND22 [1], considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,002	0,05
	0,64	1,62
Descida	0,002	0,03
	0,64	0,83

Ademais, a partir do manual [1], sabemos ainda que o tempo de *setup* é zero e a maior capacidade de entrada da porta NAND22 é 0,013 pF e da porta DF3 é 0,005 pF. Note que, no circuito, a saída da célula DF3 está conectada à entrada da célula NAND22, e vice-versa.

Assumindo que o atraso de propagação é proporcional à capacidade de carga e considerando a máxima capacidade de entrada das portas, obtemos os atrasos de propagação listados na Tabela 3.

Tabela 3: Atrasos de propagação estimados para as células DF3 e NAND22.

Célula	Atraso de subida (ns)	Atraso de descida (ns)
DF3	0,546	0,621
NAND22	0,057	0,034

A partir da Tabela 3, verifica-se que o pior atraso de propagação ocorre na descida no *flip-flop* DF3 mais à direita e correspondente subida na porta NAND22. Deste modo, o período mínimo de *clock* é dado por:

$$T = 0 + 0,621 + 0,057 = 0,678 \text{ ns} \quad (2)$$

Portanto a máxima frequência de *clock* que o circuito pode suportar é:

$$F = \frac{1}{T} \approx 1,47 \text{ GHz} \quad (3)$$

Questão 6

Enunciado: O que significam tempos de *holding* e de *set-up* em flip-flops. Qual seria o valor máximo do *clock*, do exercício acima, caso o tempo de *set-up* fosse de 0,1 ns.

Resposta:

O **tempo de setup** é o período mínimo de tempo **antes** da borda ativa do sinal de *clock* em que o sinal de entrada deve estar estável para ser capturado corretamente.

Já o **tempo de hold** é o período mínimo de tempo **após** a borda ativa do sinal de *clock* em que o sinal de entrada deve permanecer estável para garantir a captura.

Se o tempo de *setup* fosse 0,1 ns, teríamos o seguinte período mínimo de *clock* (usando os atrasos da Q5):

$$T = 0,1 + 0,621 + 0,057 = 0,778 \text{ ns} \quad (4)$$

Portanto a máxima frequência de *clock* que o circuito poderia suportar seria:

$$F = \frac{1}{T} = \frac{1}{0,778 \text{ ns}} \approx 1,29 \text{ GHz} \quad (5)$$

Questão 7

Enunciado: Gere, a partir do esquemático, um arquivo netlist para o ELDO. Simule o circuito com os parâmetros típicos e determine a máxima velocidade (clock) do circuito. Considere:

- a entrada D = “1”;
- $V_{DD} = 3\text{ V}$;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) = $0,1 \times \text{Período}$.

Apresente as linhas de comando e sinais utilizados.

Resposta:

```

1 *Parametros
2 .param F = 0.1G
3 .param T = '1/F'
4
5 Xcir CLOCK D Q CIRCUIT
6
7 *Alimentacao
8 Vdd VDD 0 3V
9 Vss VSS 0 OV
10 .connect D VDD
11
12 VCLK CLOCK 0 pulse(0 3 0 '0.1*T' '0.1*T' '0.4*T' T)
13
14 .tran 'T/100' '15*T' '5*T' 'T/1000' sweep F incr 0.001G 1.4G 1.5G
15 .probe tran V(CLOCK) V(Q)
16
17 .meas tran TQ trig V(Q) val=1.5 rise=5 targ V(Q) val=1.5 rise=6
18 .meas tran RATIO param='TQ/T'
19
20 .include 'q7.netlist'
21 .include 'Model35_eldo'
22 .end

```

Listing 1: Comandos utilizados na simulação.

A fim de determinar a máxima velocidade do circuito, calculamos a razão entre o período do sinal de saída Q e o período do sinal de *clock* (T_Q/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 4. A razão esperada para o circuito é $T_Q/T = 2$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 1,47\text{ GHz}$.

Na Figura 5, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 1,47\text{ GHz}$. Já na Figura 6, exibimos os mesmos sinais para a frequência $1,49\text{ GHz}$, superior à frequência máxima. Neste último caso, observamos distorções no sinal de saída.

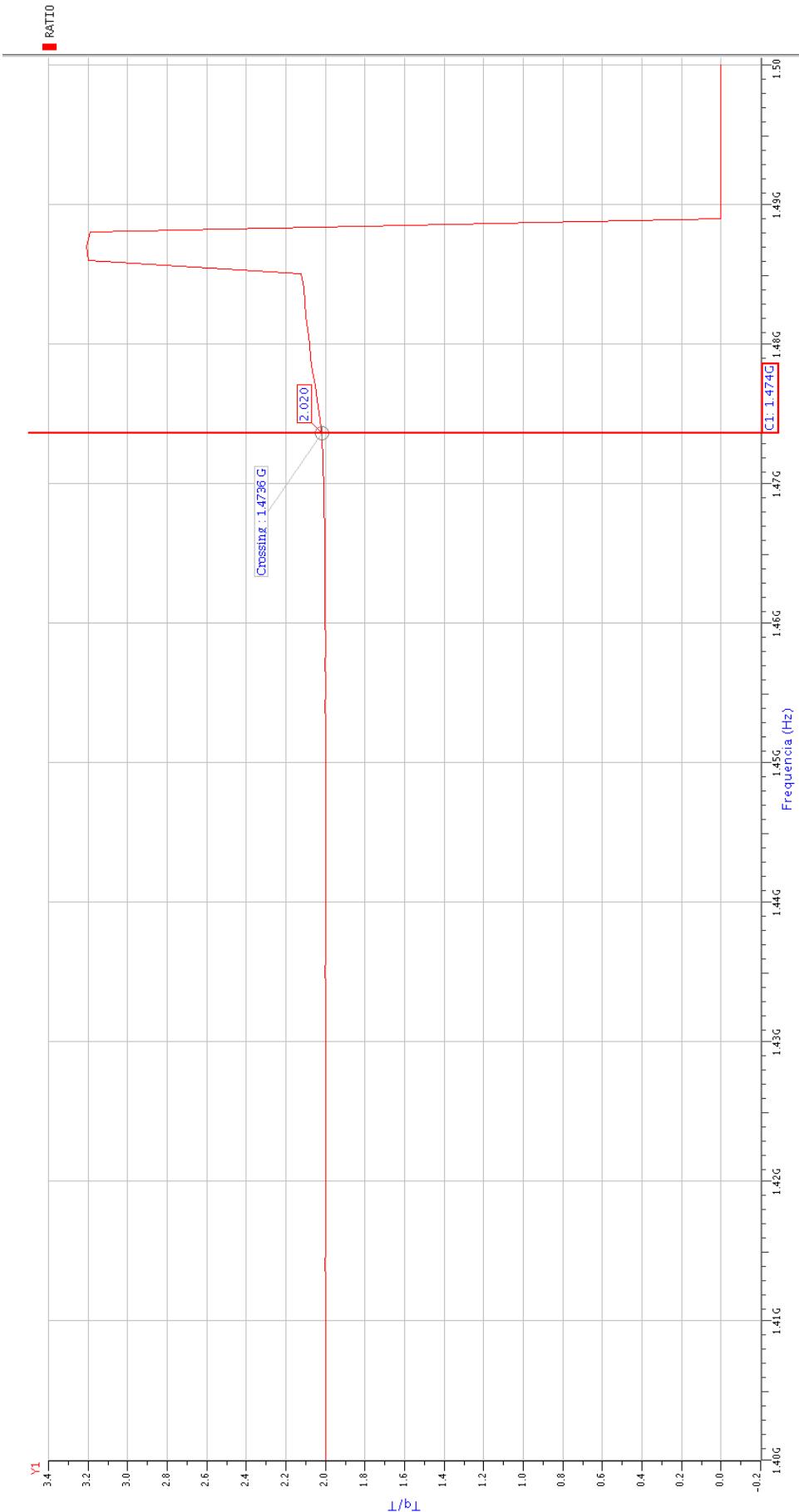


Figura 4: Razão entre o período do sinal de saída Q e o período do sinal de clock, em função da frequência do sinal de clock.

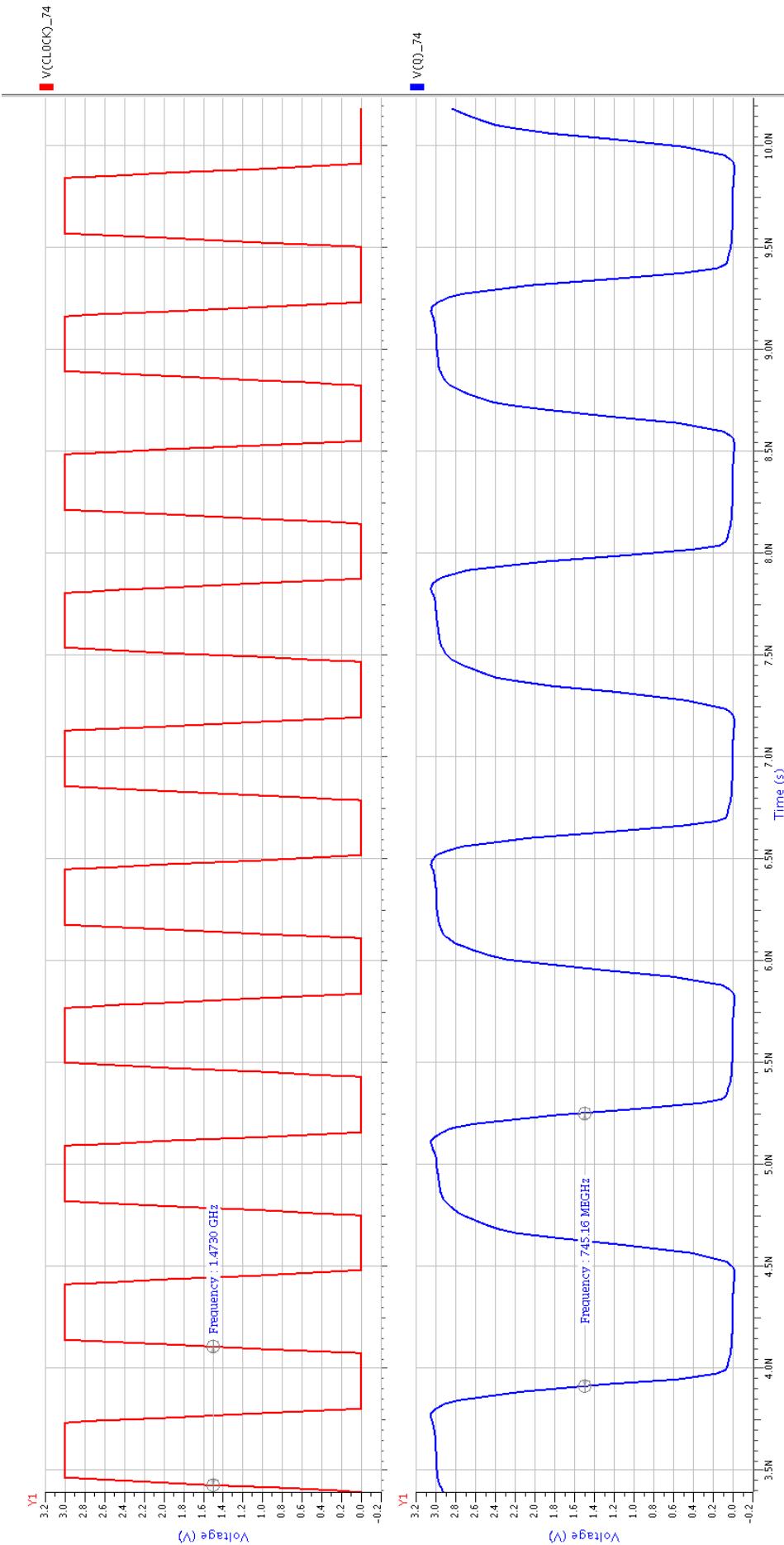


Figura 5: Sinais de *clock* e na saída Q para a frequência máxima, $f = 1,47 \text{ GHz}$.

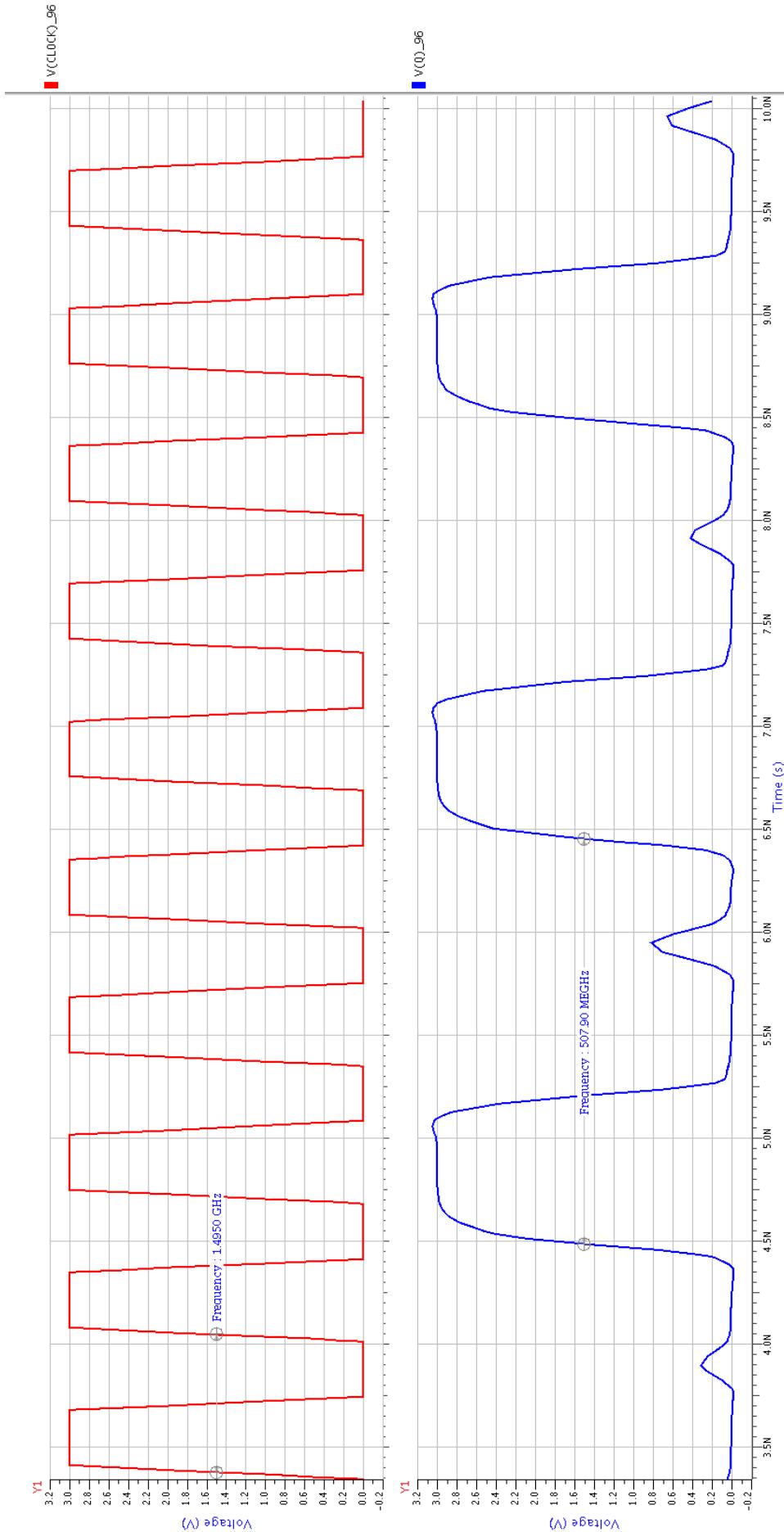


Figura 6: Sinais de *clock* e na saída Q para a frequência $f = 1,49\text{ GHz}$, superior à frequência máxima permitida.

Questão 8

Enunciado: Gere agora o *layout* para o circuito (use para isso o *designviewpoint* não o *schematic*). Faça a verificação com o DRC (CALIBRE), passe o LVS e elimine todos os erros. Apresente a figura do layout no relatório.

Resposta:

O *layout* do circuito é apresentado nas Figuras 7.

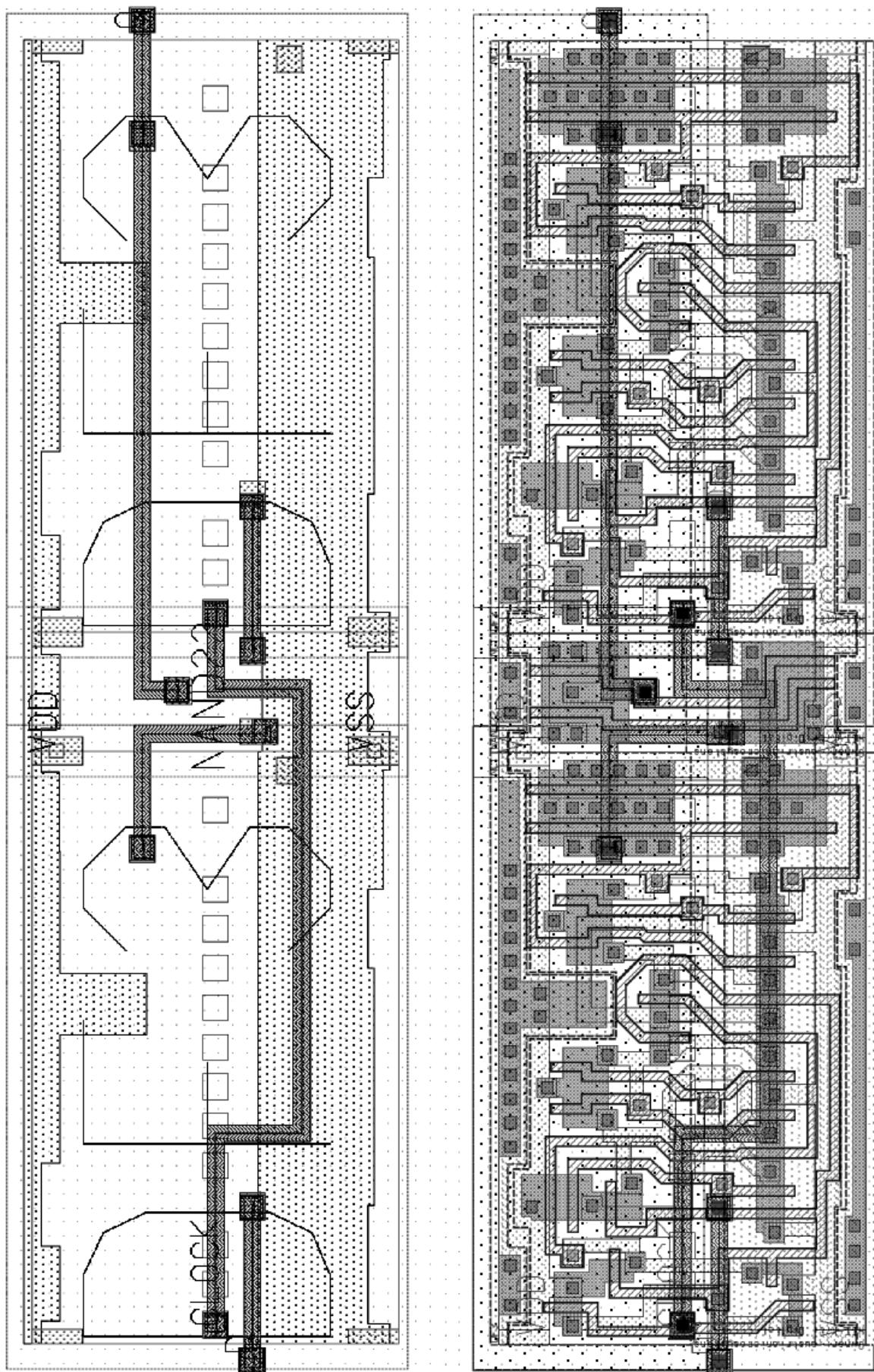


Figura 7: Layout correspondente ao circuito da Figura 3.

Questão 9

Enunciado: Faça a extração do circuito via o Calibre com a opção C+CC (deve ser usada uma configuração que garanta que o nome dos nós venha do *schematic*). Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 7.

Resposta:

Realizamos a extração do circuito a partir do *layout*, com a opção C+CC, e utilizamos as mesmas condições do exercício 7 para determinar a máxima velocidade do circuito.

Novamente, calculamos a razão entre o período do sinal de saída Q e o período do sinal de *clock* (T_Q/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 8. A razão esperada para o circuito é $T_Q/T = 2$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 1,09$ GHz.

Na Figura 9, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 1,09$ GHz. Já na Figura 10, exibimos os mesmos sinais para a frequência 1,11 GHz, superior à frequência máxima. Neste último caso, observamos distorções no sinal de saída.

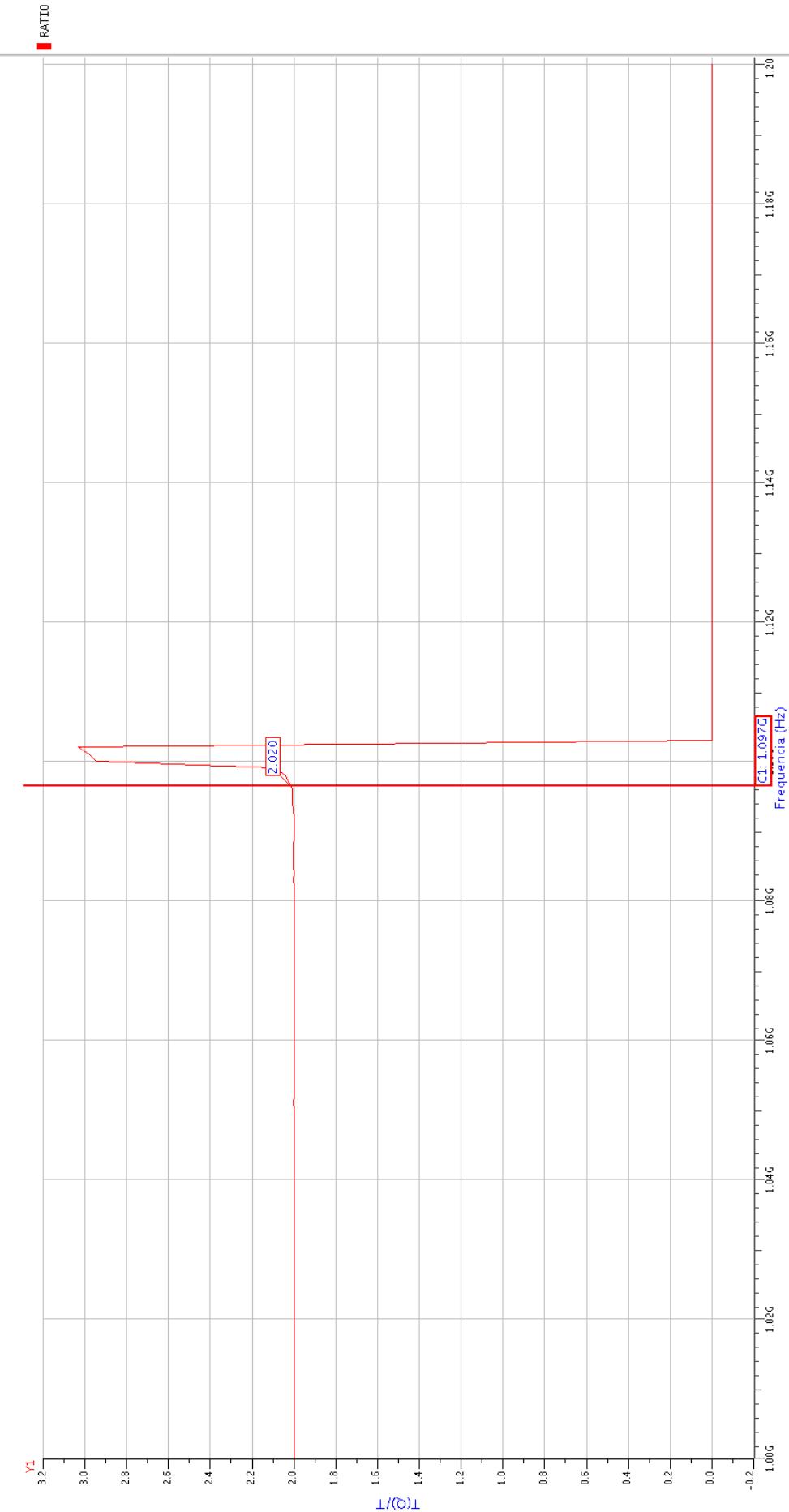


Figura 8: Razão entre o período do sinal de saída Q e o período do sinal de clock, em função da frequência do sinal de clock.

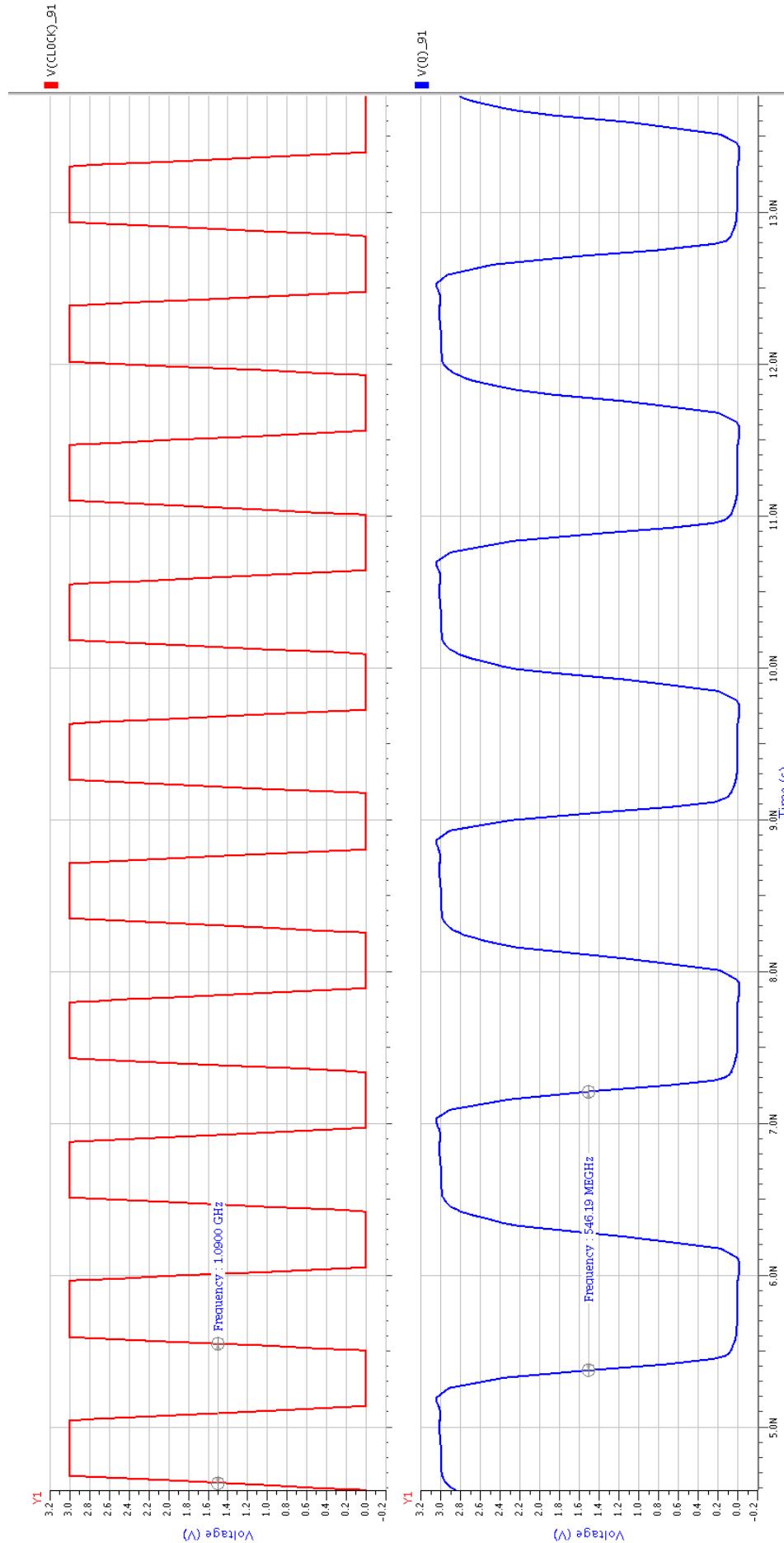


Figura 9: Sinais de *clock* e na saída Q para a frequência máxima, $f = 1,09 \text{ GHz}$.

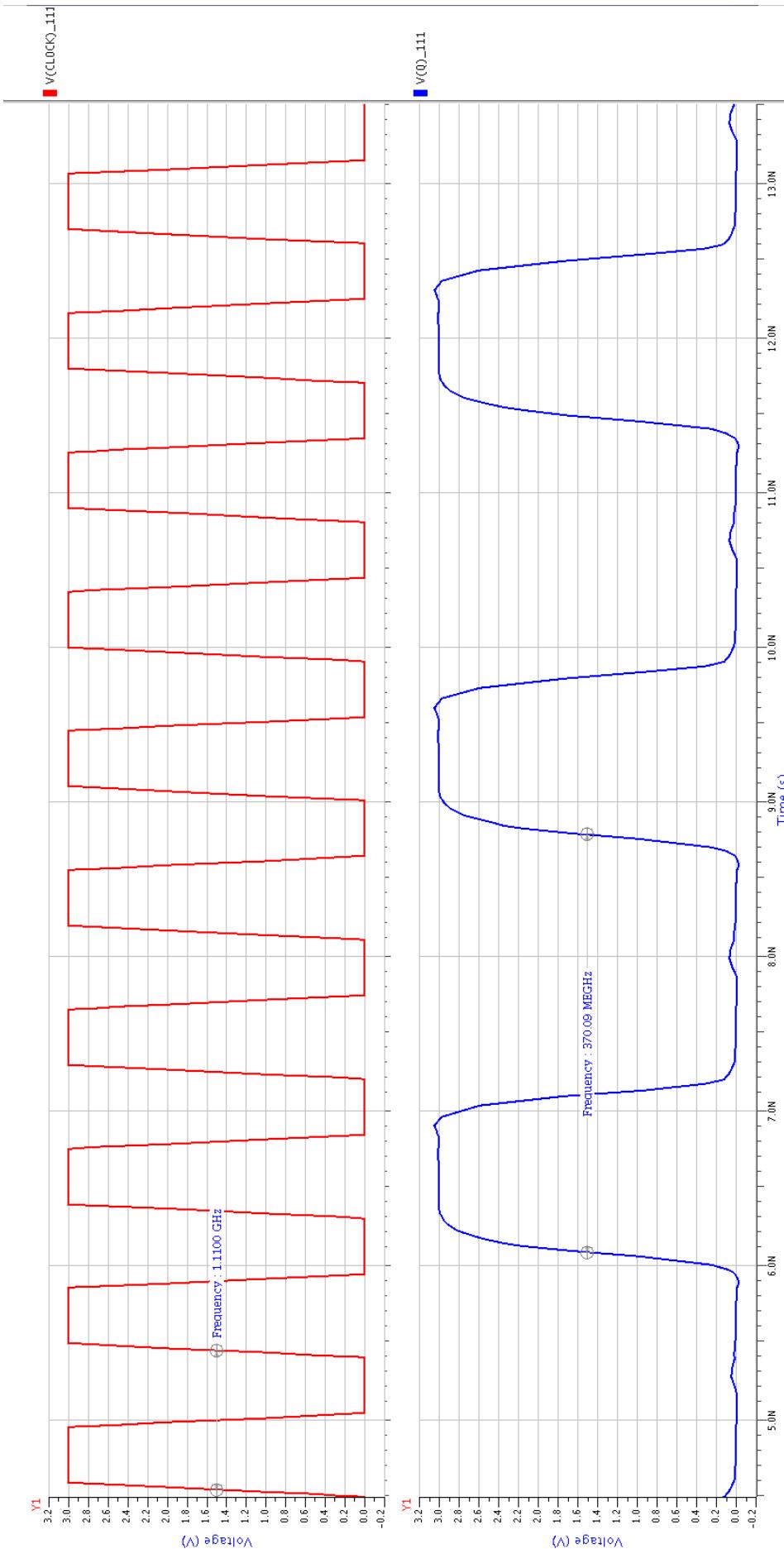


Figura 10: Sinais de *clock* e na saída Q para a frequência $f = 1,11 \text{ GHz}$, superior à frequência máxima permitida.

Questão 10

Enunciado: Extraia agora com a opção R+C+CC. Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 7.

Resposta:

Realizamos a extração do circuito a partir do *layout*, com a opção R+C+CC, e utilizamos as mesmas condições do exercício 7 para determinar a máxima velocidade do circuito.

Novamente, calculamos a razão entre o período do sinal de saída Q e o período do sinal de *clock* (T_Q/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 11. A razão esperada para o circuito é $T_Q/T = 2$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 1,06$ GHz.

Na Figura 12, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 1,06$ GHz. Já na Figura 13, exibimos os mesmos sinais para a frequência 1,08 GHz, superior à frequência máxima. Neste último caso, observamos distorções no sinal de saída.

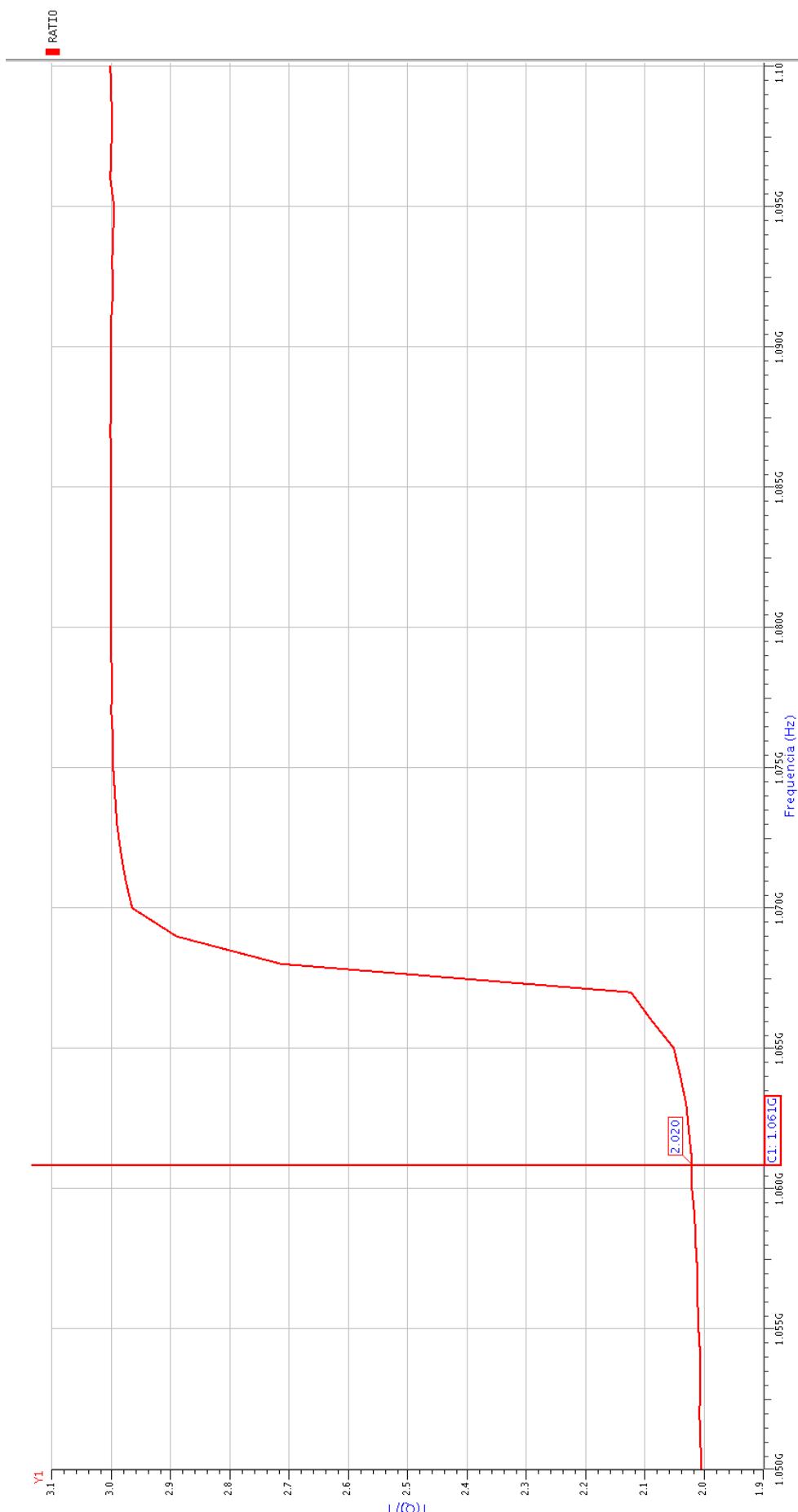


Figura 11: Razão entre o período do sinal de saída Q e o período do sinal de clock, em função da frequência do sinal de clock.

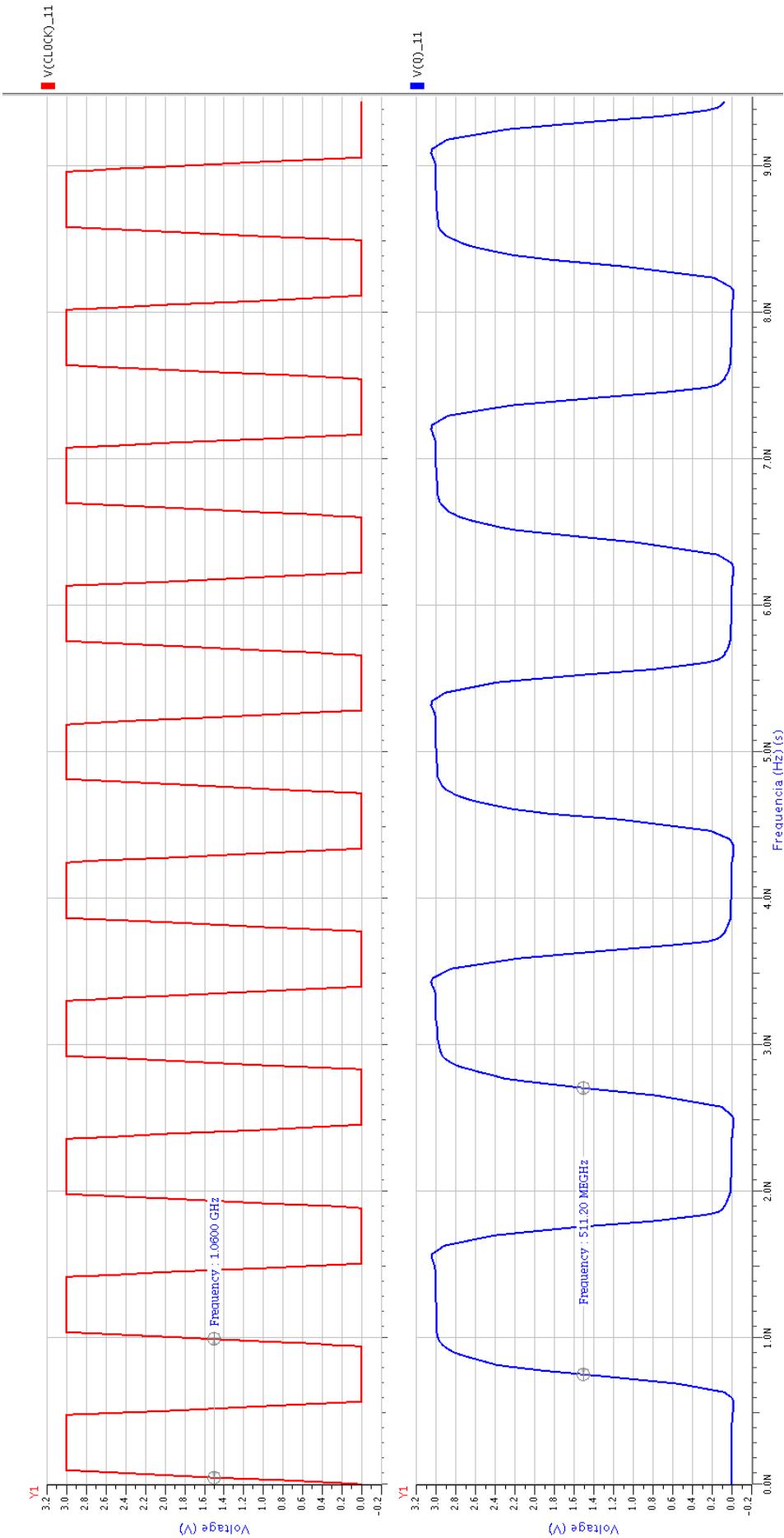


Figura 12: Sinais de *clock* e na saída Q para a frequência máxima, $f = 1,06 \text{ GHz}$.

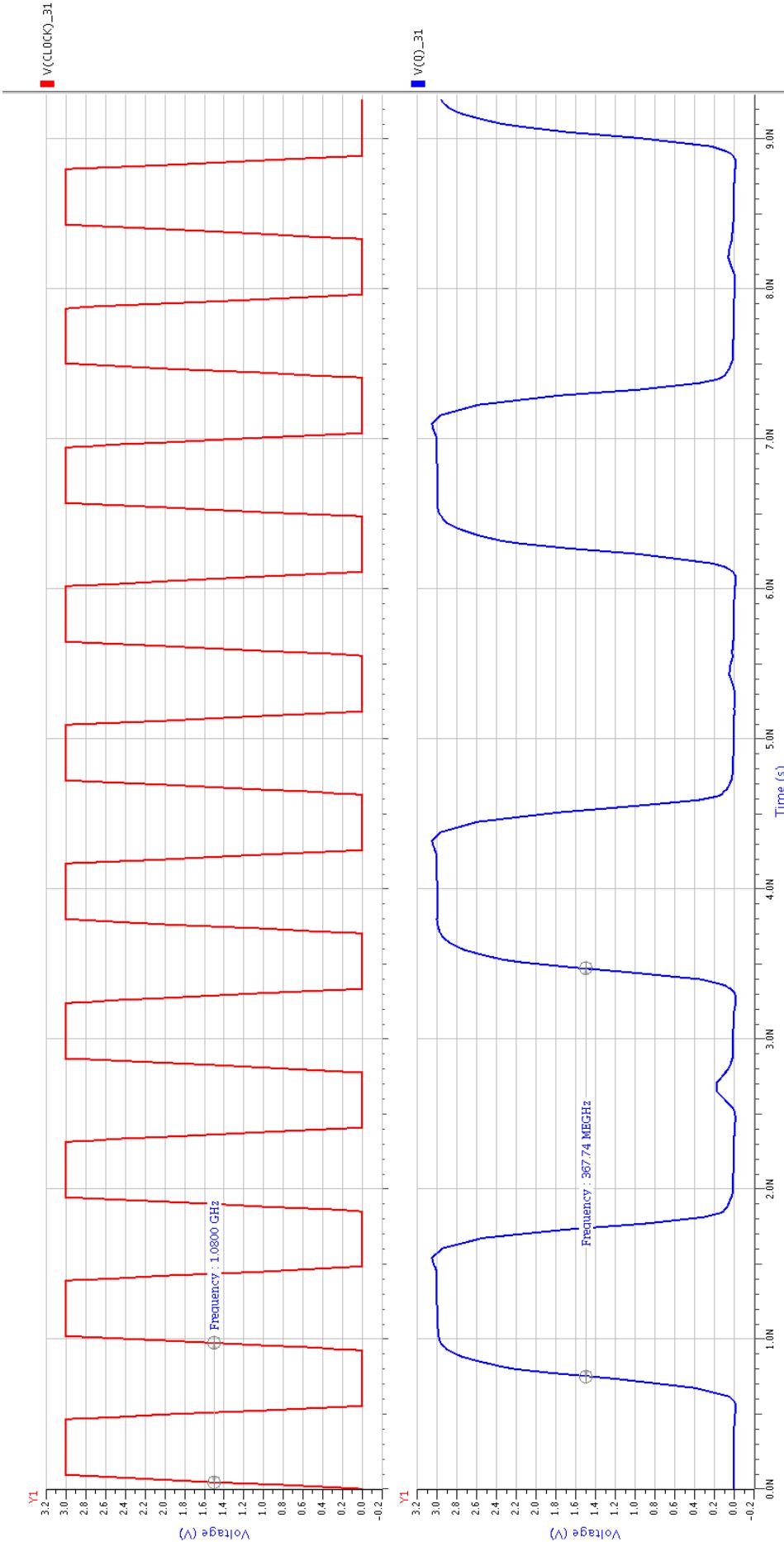


Figura 13: Sinais de *clock* e na saída Q para a frequência $f = 1,08 \text{ GHz}$, superior à frequência máxima permitida.

Questão 11

Enunciado: Monte uma tabela com os resultados obtidos nos exercícios 5, 7, 9 e 10. Compare e comente os resultados.

Resposta:

A Tabela 4 apresenta os resultados obtidos para a velocidade máxima de operação do circuito ao se fazer o cálculo teórico, ao simular o circuito extraído a partir do esquemático e ao simular o circuito extraído a partir do *layout*, com as opções C+CC e R+C+CC.

Tabela 4: Comparativo da frequência máxima de operação obtida teoricamente e experimentalmente para o circuito extraído a partir do esquemático ou do *layout*, com opção C+CC ou R+C+CC.

Circuito	Frequência máxima (GHz)
Valor teórico	1,47
Extração do esquemático	1,47
Extração do <i>layout</i> (C+CC)	1,09
Extração do <i>layout</i> (R+C+CC)	1,06

Nota-se que o valor teórico é compatível com o obtido para a simulação do circuito extraído a partir do esquemático. Observamos também que, para o circuito extraído a partir do *layout* incluindo capacitâncias parasitas (opção C+CC), há uma redução expressiva da velocidade máxima de operação, o que é esperado, visto que tais capacitâncias aumentam o atraso de propagação. Ao incluir, adicionalmente, as resistências parasitas (opção R+C+CC), observamos nova redução da velocidade máxima de operação, embora não tão significativa quanto a causada pelas capacitâncias parasitas.

Questão 12

Enunciado: Determine a área total do circuito que desenhou.

Resposta:

Para determinar a área do circuito, utilizamos as coordenadas do ponto inferior esquerdo (IE) e superior direito (SD) do *bounding box* do *layout*.

$$P_{IE} = (-1,850 \mu\text{m}; 2,800 \mu\text{m})$$

$$P_{SD} = (46,631 \mu\text{m}; 17,000 \mu\text{m})$$

Dessa forma, a largura e altura do circuito são, respectivamente:

$$\Delta_X = 48,481 \mu\text{m}$$

$$\Delta_Y = 14,2 \mu\text{m}$$

A área do circuito é:

$$A = \Delta_X \cdot \Delta_Y = 688,43 \mu\text{m}^2$$

Questão 14

Enunciado: Considere agora o circuito da Figura 14. O circuito é um *Prescaler* 32/33, bloco comum na implementação de sintetizadores de frequência para RF (detalhes sobre o funcionamento de sintetizadores no fim da apostila). A parte de cima do circuito, hachurada, é um divisor 4/5 síncrono, cujo o valor de divisão depende do sinal MC (*modulus counter*); a parte de baixo é um contador assíncrono modulo 8. O circuito completo divide o sinal de *clock* por 32 quando SM = “0” ou por 33 quando SM = “1”.

A partir dos dados dos blocos que compõe o divisor 4/5 estime o máximo *clock* que o circuito pode suportar (considere que são usados na implementação os blocos DF1, NAND23 e NOR23 e utilize o pior caso entre subida e descida das portas). Apresente os cálculos.

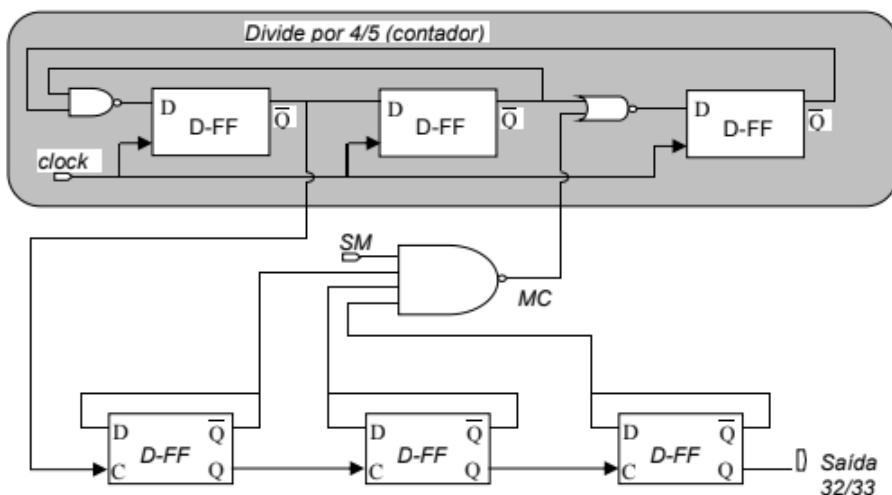


Figura 14: *Prescaler* 32/33.

Resposta:

Para determinar a frequência máxima de *clock* que o circuito pode suportar é necessário determinar o pior atraso de propagação no caminho crítico. Para isso, primeiramente, obtemos os dados relativos às células DF1, NAND23 e NOR23, os quais são reproduzidos nas Tabelas 5, 6 e 7, respectivamente.

Tabela 5: Informações obtidas no manual da célula DF1, considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação \bar{Q} (ns)
Subida	0,001	0,66
	0,32	2,29
Descida	0,001	0,58
	0,32	1,63

Tabela 6: Informações obtidas no manual da célula NAND23, considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,003	0,04
	0,96	1,67
Descida	0,003	0,03
	0,96	0,83

Tabela 7: Informações obtidas no manual da célula NOR23, considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,003	0,07
	0,96	1,60
Descida	0,003	0,06
	0,96	1,06

Ademais, a partir do manual, sabemos ainda que o tempo de *setup* do *flip-flop* DF1 é zero e que a maior capacidade de entrada da porta NAND23 é 0,020 pF, da porta NOR23 é 0,021 pF e do *flip-flop* DF1 é 0,005 pF.

Existem dois candidatos ao caminho crítico: o terceiro DF1 e a porta NAND23, ou o segundo DF1 e a porta NOR23.

Assumimos que o atraso de propagação é proporcional à capacidade de carga. Ademais, observamos que: a saída do segundo DF1 está conectada às entradas das portas NAND23 e NOR23; a saída da porta NOR23 está conectada à entrada do terceiro DF1; a saída da porta NAND23 está conectada à entrada do primeiro DF1; a saída do terceiro DF1 está conectada à entrada da porta NAND23. Deste modo, obtemos os atrasos de propagação listados na Tabela 8.

Tabela 8: Atrasos de propagação estimados para os componentes do circuito divisor 4/5.

	Atraso de subida (ns)	Atraso de descida (ns)
Segundo DF1	0,864	0,712
Terceiro DF1	0,757	0,643
NAND23	0,043	0,032
NOR23	0,073	0,062

A partir da Tabela 8, utilizando o pior caso entre subida e descida das portas, verifica-se que o maior atraso de propagação ocorre no caminho composto pelo segundo DF1 e a porta NOR23. Portanto, o tempo de propagação do caminho crítico é dado pela relação:

$$T = T_{\text{setup}} + T_{\text{DF1}} + T_{\text{NOR23}} = 0 + 0,864 + 0,073 = 0,937 \text{ ns} \quad (6)$$

Há ainda o tempo de *hold* do *flip-flop* DF1, todavia, este pode ser desconsiderado pois a entrada do segundo DF1 só se altera após propagação pelo próprio DF1 e demais componentes do circuito.

Finalmente, a máxima frequência de *clock* que o circuito pode suportar é:

$$F = \frac{1}{T} = 1,07 \text{ GHz} \quad (7)$$

Questão 15

Enunciado: Desenhe o esquemático do divisor 4/5 utilizando as células DF1, NAND23 e NOR23. Como sinal de entrada deve ter o *clock* e MC; como sinal de saída o sinal $\neg Q$ do D-FF mais a esquerda. Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo. Certifique-se que não haja erros ou mesmo *warnings*.

Resposta:

O esquemático do circuito divisor 4/5, elaborado utilizando as células DF1, NAND23 e NOR23, é apresentado na Figura 15. O símbolo correspondente foi gerado e não foram observados erros ou *warnings*.

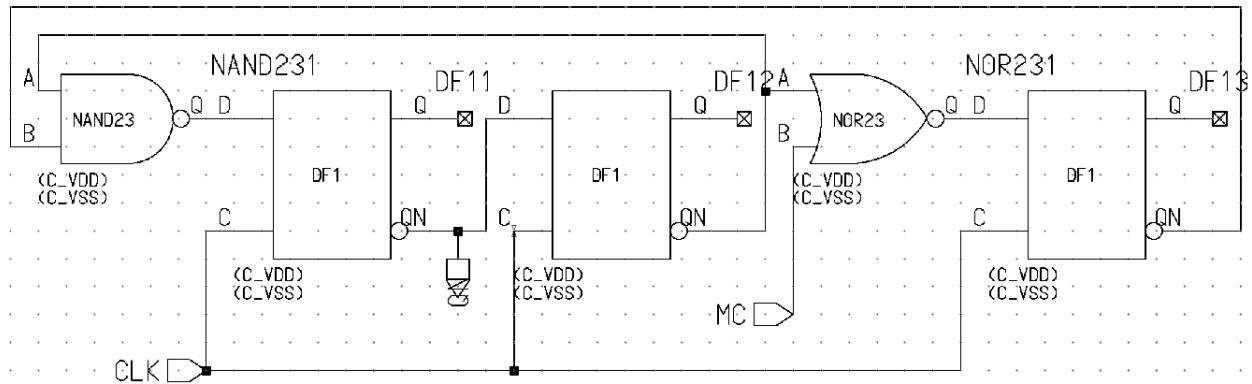


Figura 15: Esquemático do circuito divisor 4/5.

Questão 16

Enunciado: Gere, a partir do esquemático, um arquivo *netlist* para o ELDO. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito (consumo em mW/GHz). Considere:

- MC = “0”, para o circuito fazer a divisão por 5;
- $V_{DD} = 3V$;
- o sinal de clock com (tempo de subida) = (tempo de descida) = $0,1 \times \text{Periodo}$.

Apresente as linhas de comando e sinais utilizados.

Resposta:

```

1 *Parametros
2 .param F = 0.1G
3 .param T = '1/F'
4
5 Xcir CLK MC QN DIVIDER
6
7 *Alimentacao
8 Vdd VDD 0 3V
9 Vss VSS 0 OV
10 Vmc MC 0 OV
11
12 VCLK CLK 0 pulse(0 3 0 '0.1*T' '0.1*T' '0.4*T' T)
13
14 .tran 'T/100' '30*T' '5*T' 'T/1000' sweep F incr 0.001G 1.05G 1.15G
15 .probe tran V(CLK) V(QN)
16
17 .meas tran TQN trig V(QN) val=1.5 rise=2 targ V(QN) val=1.5 rise=3
18 .meas tran RATIO param='TQN/T'
19
20 .meas tran POW AVG POWER
21
22 .include Model35_eld0
23 .include 'divider.cir',
24 .end

```

Listing 2: Comandos utilizados na simulação do circuito divisor 4/5

A fim de determinar a máxima velocidade do circuito, calculamos a razão entre o período do sinal de saída QN e o período do sinal de *clock* (T_{QN}/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 16. A razão esperada para o circuito é $T_{QN}/T = 5$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 1,11 \text{ GHz}$.

Na Figura 17, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 1,11 \text{ GHz}$.

O gráfico do consumo do circuito em função da frequência do sinal de *clock* é apresentado na Figura 18. Para a máxima velocidade do circuito, o consumo é de $1,40 \text{ mW}$, que corresponde à $1,25 \text{ mW/GHz}$.

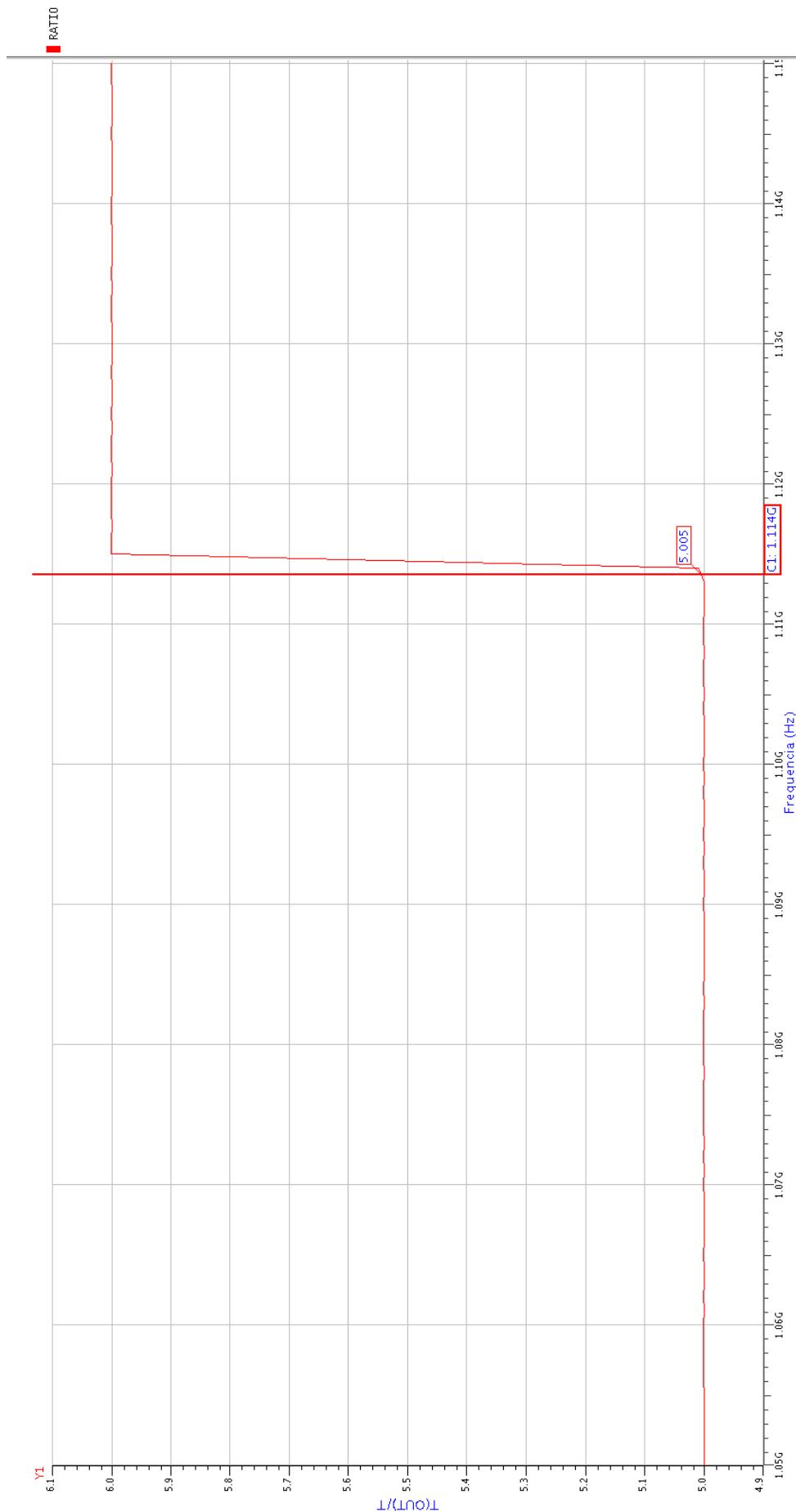


Figura 16: Razão entre o período do sinal de saída QN e o período do sinal de clock, em função da frequência do sinal de clock.

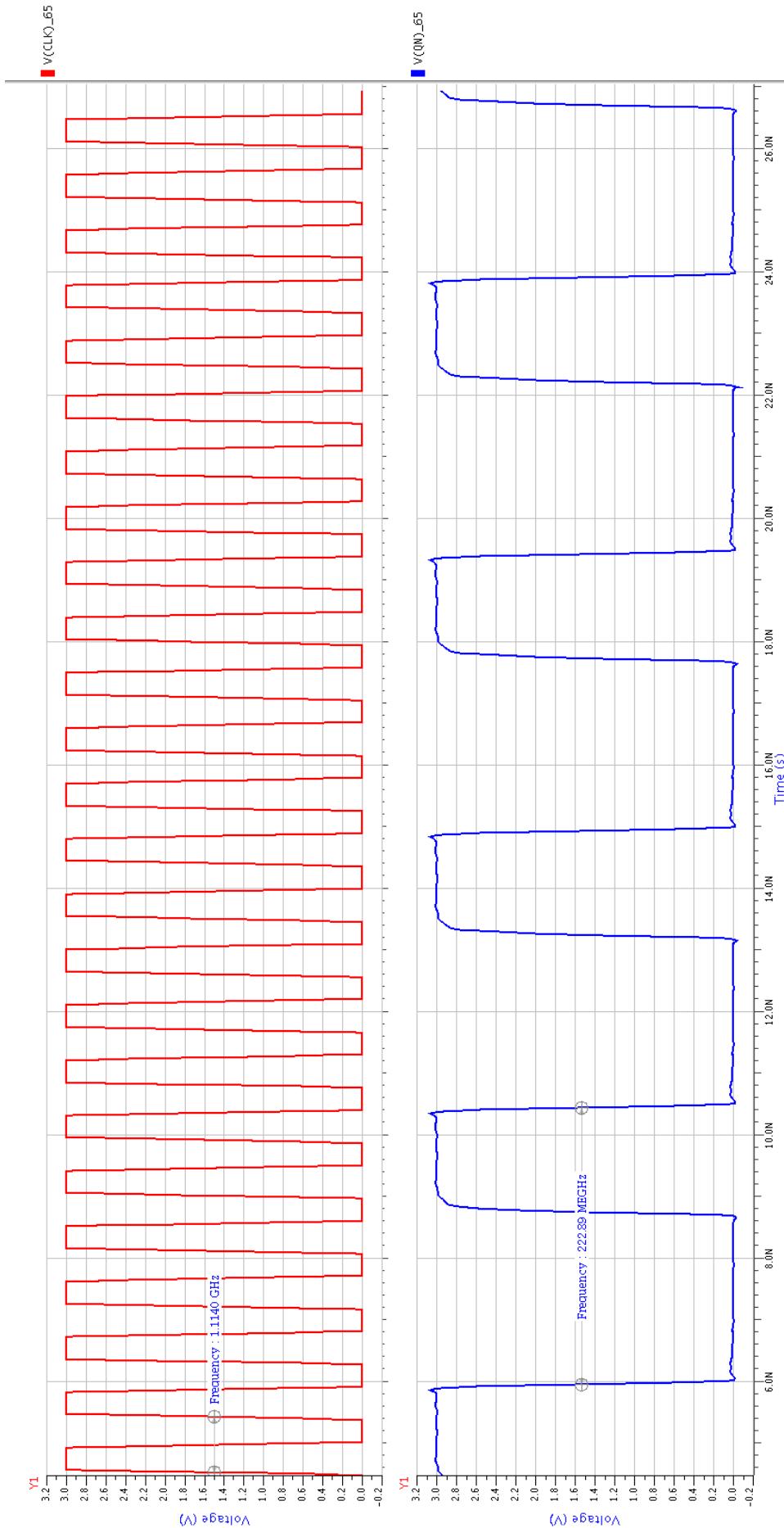


Figura 17: Sinais de *clock* e na saída QN para a frequência máxima, $f = 1, 11 \text{ GHz}$.

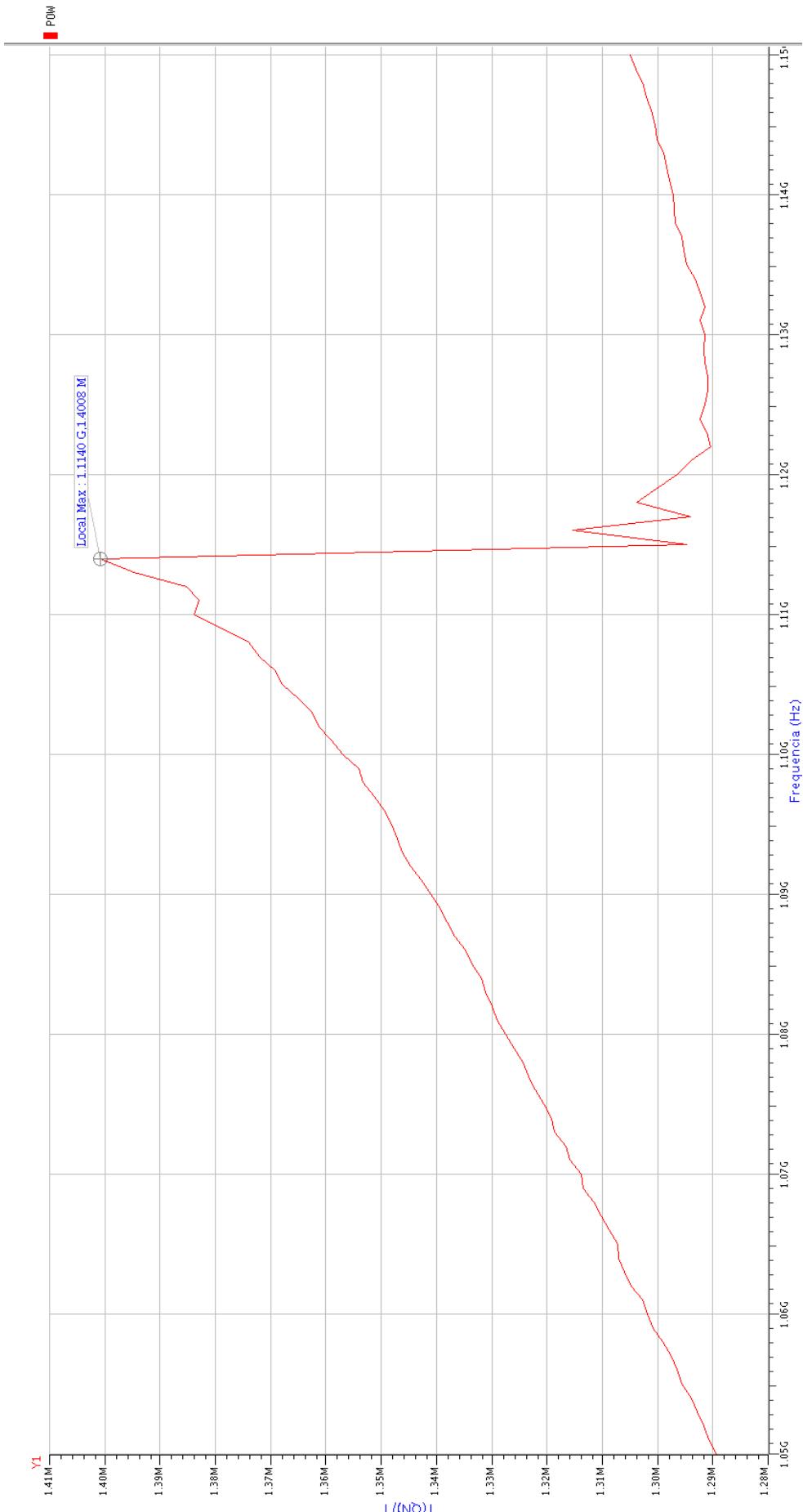


Figura 18: Consumo do circuito em função da frequência do sinal de *clock*.

Questão 17

Enunciado: Gere agora o *layout* do circuito. Faça a verificação com o DRC (CALIBRE), passe o LVS e elimine todos os erros. Apresente a figura do layout no relatório.

Resposta:

O *layout* do circuito é apresentado nas Figura 19.

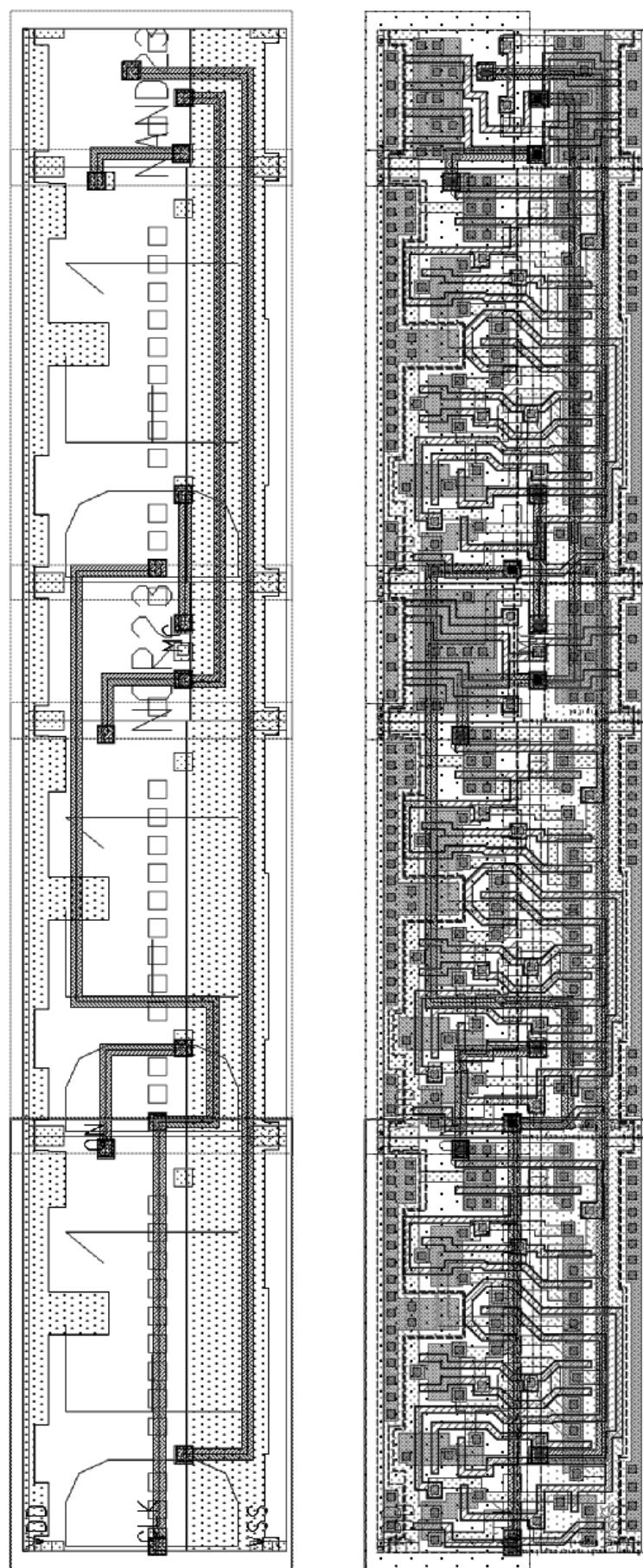


Figura 19: *Layout* correspondente ao circuito divisor 4/5.

Questão 18

Enunciado: Faça a extração do circuito via o Calibre com a opção C+CC. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 16.

Resposta:

Realizamos a extração do circuito a partir do *layout*, com a opção C+CC, e utilizamos as mesmas condições do exercício 16 para determinar a máxima velocidade do circuito.

Novamente, calculamos a razão entre o período do sinal de saída QN e o período do sinal de *clock* (T_{QN}/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 21. A razão esperada para o circuito é $T_{QN}/T = 5$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 0,88$ GHz.

Na Figura 20, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 0,88$ GHz.

O gráfico do consumo do circuito em função da frequência do sinal de *clock* é apresentado na Figura 21. Para a máxima velocidade do circuito, o consumo é de 1,669 mW, que corresponde à 1,90 mW/GHz.

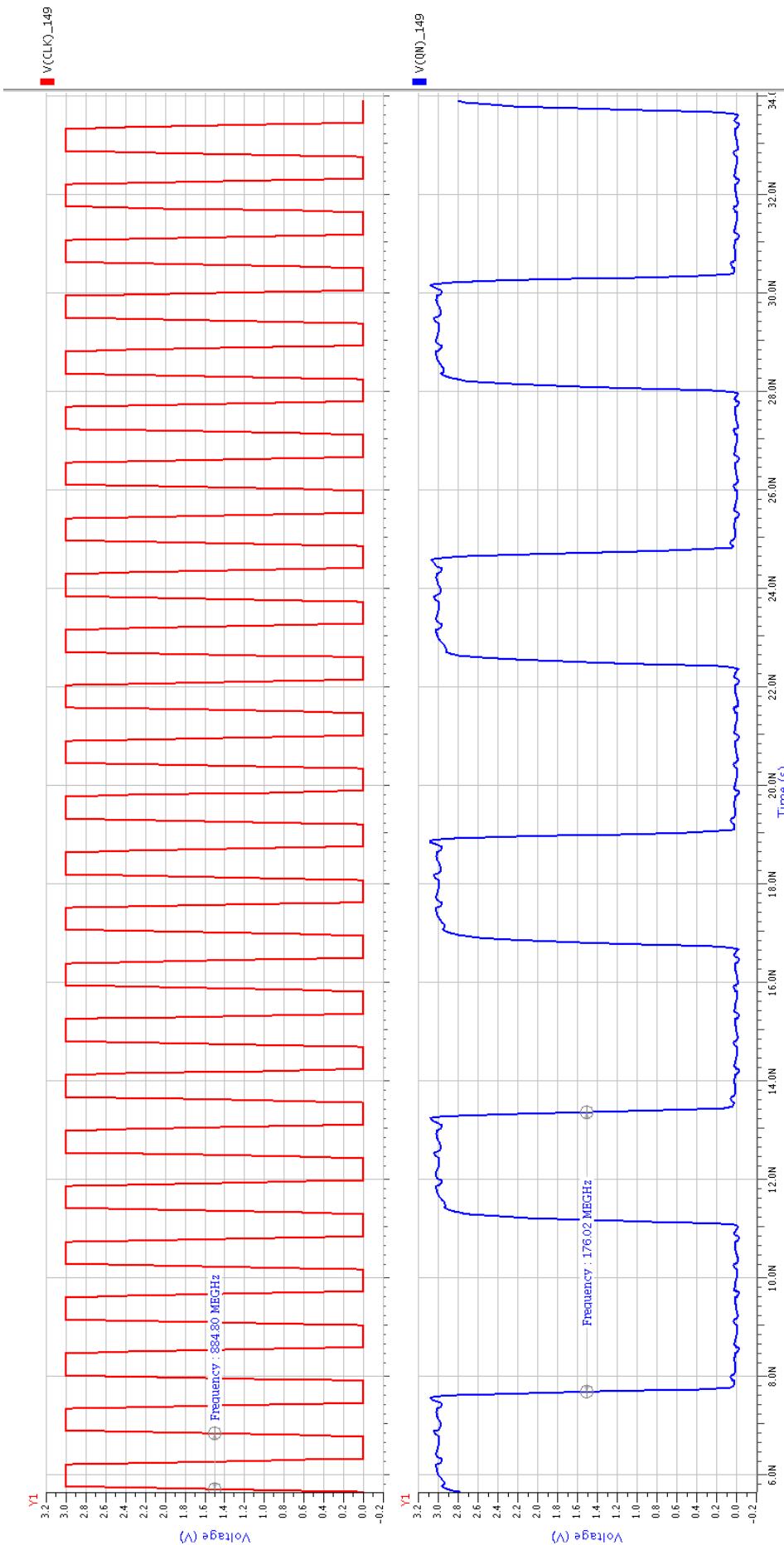


Figura 20: Sinais de *clock* e na saída QN para a frequência máxima, $f = 0,88 \text{ GHz}$.

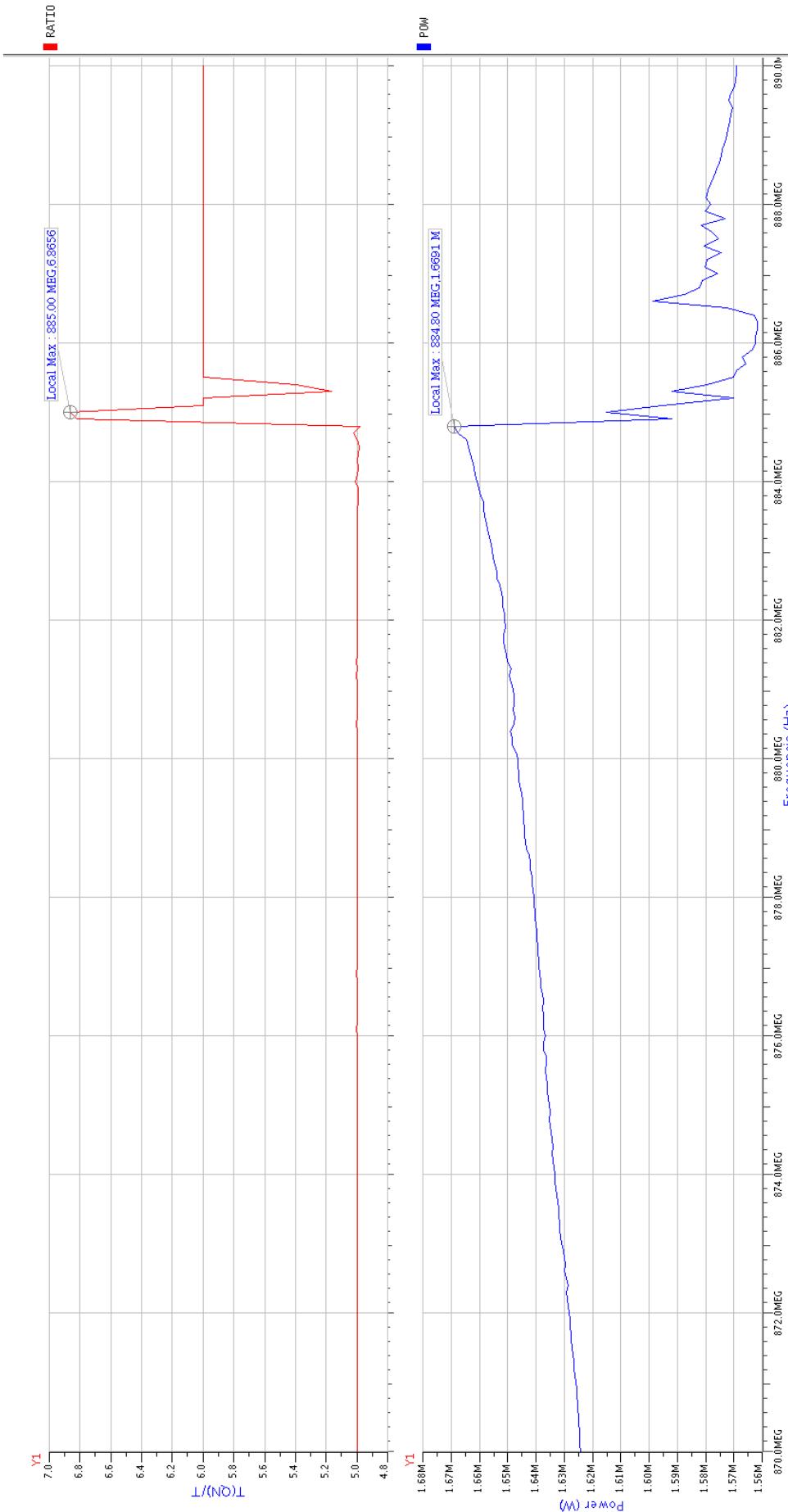


Figura 21: Razão entre o período do sinal de saída QN e consumo do circuito em função da frequência do sinal de *clock*.

Questão 19

Enunciado: Extraia agora com a opção R+C+CC. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 16.

Resposta:

Realizamos a extração do circuito a partir do *layout*, com a opção R+C+CC, e utilizamos as mesmas condições do exercício 16 para determinar a máxima velocidade do circuito.

Novamente, calculamos a razão entre o período do sinal de saída QN e o período do sinal de *clock* (T_{QN}/T), em função da frequência do sinal de *clock* (f). O gráfico resultante é apresentado na Figura 23. A razão esperada para o circuito é $T_{QN}/T = 5$; para uma tolerância de até 1%, obtemos que a máxima velocidade é $f = 0,84$ GHz.

Na Figura 22, exibimos o sinal de *clock* e o sinal de saída Q para a frequência máxima, i.e., $f = 0,84$ GHz.

O gráfico do consumo do circuito em função da frequência do sinal de *clock* é apresentado na Figura 23. Para a máxima velocidade do circuito, o consumo é de 1,539 mW, que corresponde à 1,83 mW/GHz.

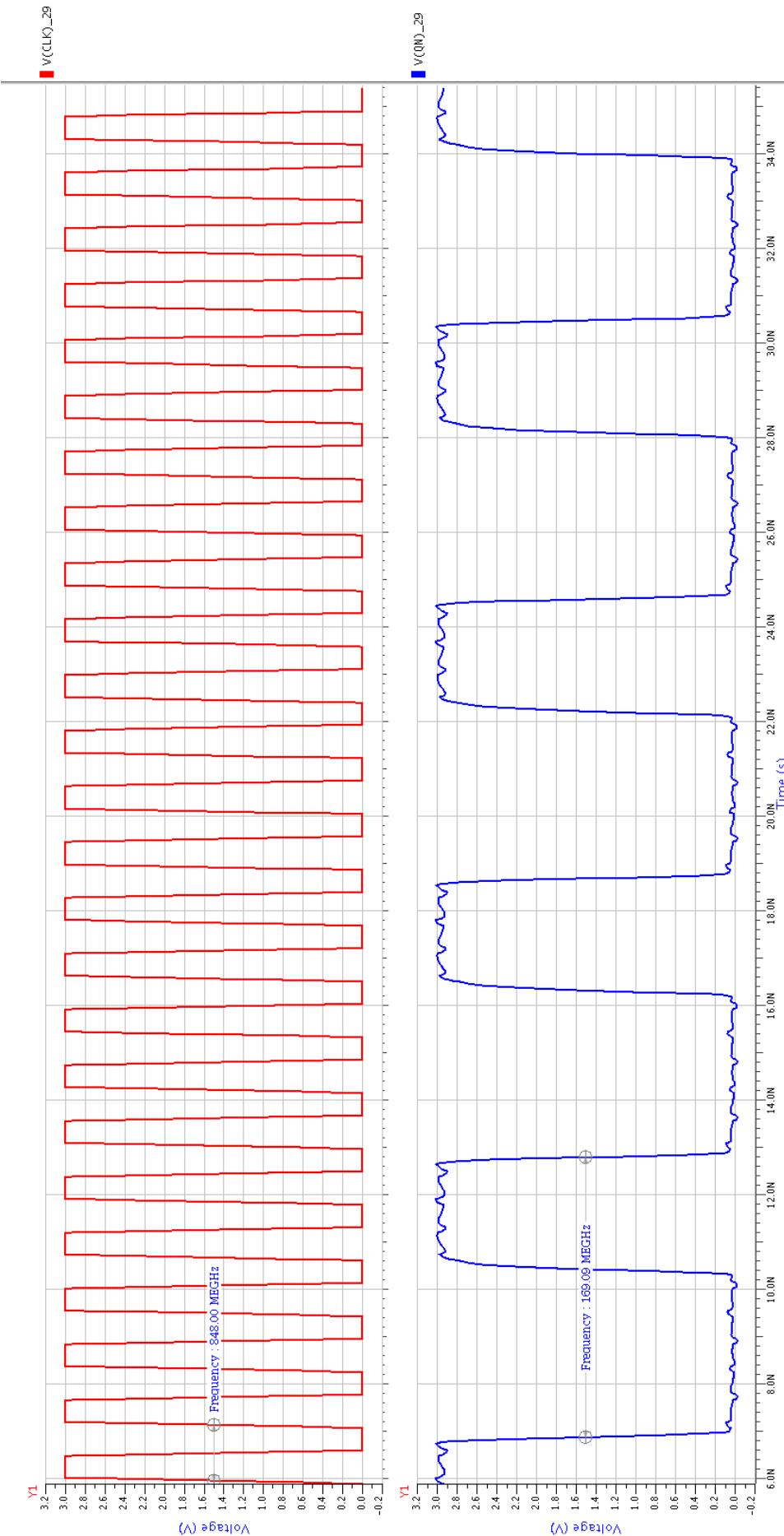


Figura 22: Sinais de *clock* e na saída QN para a frequência máxima, $f = 0,84 \text{ GHz}$.

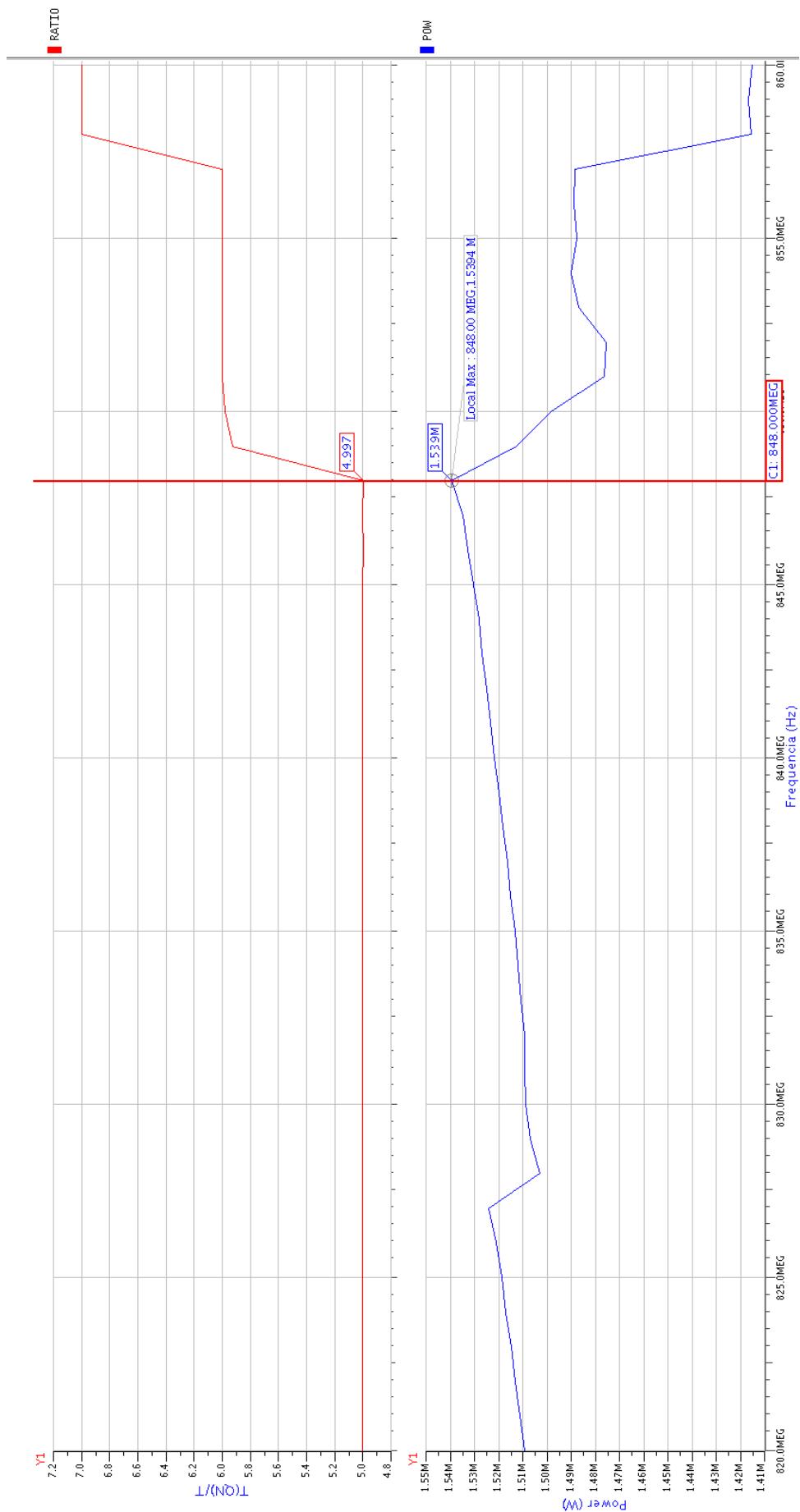


Figura 23: Razão entre o período do sinal de saída QN e consumo do circuito em função da frequência do sinal de *clock*.

Questão 20

Enunciado: Monte uma tabela com os resultados obtidos nos exercícios 14, 16, 18 e 19. Compare e comente os resultados.

Resposta:

A Tabela 9 apresenta os resultados consolidados para a frequência máxima de operação e o consumo de potência do circuito Divisor 4/5.

Tabela 9: Comparativo da frequência máxima e consumo para o Divisor 4/5.

Circuito (Método)	Freq (GHz)	Consumo(mW)	Consumo(mW/GHz)
Valor teórico (Q14)	1,07	—	—
Extração Esquemático (Q16)	1,11	1,400	1,25
Extração Layout (C+CC) (Q18)	0,88	1,669	1,90
Extração Layout (R+C+CC) (Q19)	0,84	1,539	1,83

Os resultados seguem o padrão esperado e as conclusões da Questão 11. O valor teórico (1,07 GHz) e o da simulação do esquemático (1,11 GHz) são muito próximos, validando a estimativa inicial.

A extração do *layout* (C+CC) introduz as capacitâncias parasitas, causando a maior queda de performance (de 1,11 para 0,88 GHz). A adição das resistências parasitas (R+C+CC) reduz marginalmente a frequência (para 0,84 GHz), mostrando que a capacidade é o fator dominante.

Em relação ao consumo, nota-se que as extrações de *layout* (com mais elementos parasitas para carregar e descarregar) consomem mais potência, resultando em uma eficiência (mW/GHz) pior em comparação com o esquemático ideal.

Questão 21

Enunciado: Determine a área total do circuito que desenhou.

Resposta:

Para determinar a área do circuito Divisor 4/5 (layout da Questão 17), utilizamos as coordenadas do ponto inferior esquerdo (IE) e superior direito (SD) do *bounding box* do *layout*.

$$P_{IE} = (-1.700\mu\text{m}; 2,800\mu\text{m})$$

$$P_{SD} = (77.100\mu\text{m}; 17.000\mu\text{m})$$

Dessa forma, a largura e altura do circuito são, respectivamente:

$$\Delta_X = 78,8\mu\text{m}$$

$$\Delta_Y = 14,2\mu\text{m}$$

A área do circuito é:

$$A = \Delta_X \cdot \Delta_Y = 1118,96\mu\text{m}^2$$

Referências

- [1] Austria Micro Systems. *Standard Cell Datasheets*. 2005.