

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
Departamento de Engenharia Elétrica e de Computação

Relatório 4

SEL0621 - Projeto de Circuitos Integrados Digitais

Professor:

Prof. Dr. João Navarro Soares Júnior
navarro(at)sc.usp.br

Alunos:

Felipi Adenildo Soares Sousa
NUSP: 10438790
Bárbara Fernandes Madera
NUSP: 11915032

São Carlos - SP
13 de novembro de 2025

Sumário

Introdução	1
Resolução das Questões	2
Questão 1	2
Questão 2	4
Questão 3	4
Questão 4	4
Questão 5	4
Questão 6	5
Questão 7	7
Questão 8	8
Questão 9	8
Questão 10	11
Questão 11	14
Questão 12	20
Questão 13	25
Questão 14	30
Questão 15	32
Conclusão	32

Lista de Tabelas

1	Frequências máximas obtidas para extração a partir do esquemático.	15
2	Frequências máximas obtidas para extração a partir do <i>layout</i> , com opção C+CC.	20
3	Frequências máximas obtidas para extração a partir do <i>layout</i> , com opção C+CC.	25
4	Informações obtidas no manual da célula DF1 [1], considerando o <i>slope</i> mínimo.	30
5	Informações obtidas no manual da célula NAND23 [1], considerando o <i>slope</i> mínimo.	30
6	Informações obtidas no manual da célula NOR23 [1], considerando o <i>slope</i> mínimo.	30
7	Atrasos de propagação estimados para os componentes do circuito divisor 4/5.	31
8	Frequências máximas obtidas para o circuito da figura 1.	32

Listings

1	Comandos utilizados na simulação (Modelo Típico).	14
2	Comandos utilizados na simulação (Modelo Worstspeed).	14

Lista de Figuras

1	Circuito <i>prescaler</i> 32/33 (Figura 1 do roteiro).	2
2	Esquemático do circuito <i>prescaler</i> 32/33.	3
3	Símbolo do circuito <i>prescaler</i> 32/33.	4
4	<i>Layout</i> do circuito <i>prescaler</i> (visão normal e com <i>peek</i>).	6
5	Circuito utilizando o <i>prescaler</i> .	7
6	Esquemático do circuito da Figura 5.	7
7	<i>Layout</i> do circuito utilizando o <i>prescaler</i> e NAND23, sem o <i>peek</i> .	9
8	<i>Layout</i> do circuito utilizando o <i>prescaler</i> e NAND23, com o <i>peek</i> .	10
9	Circuito utilizando Prescalers, NAND23 e transistor.	11
10	<i>Layout</i> do circuito utilizando <i>prescalers</i> e NAND23, com a adição de transistor, sem o <i>peek</i> .	12
11	<i>Layout</i> do circuito utilizando <i>prescalers</i> e NAND23, com a adição de transistor em modo <i>peek</i> .	13
12	Simulação do circuito para SM=0 e modelo típico.	16
13	Simulação do circuito para SM=1 e modelo típico.	17
14	Simulação do circuito para SM=0 e modelo <i>worstspeed</i> .	18
15	Simulação do circuito para SM=1 e modelo <i>worstspeed</i> .	19
16	Simulação do circuito para SM=0 e modelo típico (extração C+CC).	21
17	Simulação do circuito para SM=1 e modelo típico (extração C+CC).	22
18	Simulação do circuito para SM=0 e modelo <i>worstspeed</i> (extração C+CC).	23
19	Simulação do circuito para SM=1 e modelo <i>worstspeed</i> (extração C+CC).	24
20	Simulação do circuito para SM=0 e modelo típico (extração R+C+CC).	26
21	Simulação do circuito para SM=1 e modelo típico (extração R+C+CC).	27
22	Simulação do circuito para SM=0 e modelo <i>worstspeed</i> (extração R+C+CC).	28
23	Simulação do circuito para SM=1 e modelo <i>worstspeed</i> (extração R+C+CC).	29

Introdução

Este relatório apresenta a resolução de uma série de exercícios práticos da disciplina de SEL0621 - Projeto de Circuitos Integrados Digitais I. O objetivo principal é aplicar os conceitos de projeto e simulação de circuitos integrados digitais utilizando as ferramentas de EDA (Electronic Design Automation) da Mentor Graphics: Design Architect para a elaboração dos esquemáticos, ICStation para o desenvolvimento do layout, e EZWave para a análise e visualização das formas de onda resultantes das simulações.

Nesta prática, utilizamos as células da biblioteca AMS 0,35 μ m para elaborar um circuito divisor *prescaler* 32/33. Para a geração do *layout*, foram exploradas as ferramentas de posicionamento automático (*Auto Place*) e de roteamento automático (*Auto Route*) das células-padrão.

Foram analisadas as frequências máximas de *clock* do circuito *prescaler*. Em particular, foi observado o efeito das capacitâncias e resistências parasitas sobre a velocidade máxima do circuito. Para isso, realizamos simulaLogs do circuito extraído a partir do *netlist* (esquemático) ou do *layout* (com as opções C+CC e R+C+CC).

Resolução das Questões

Questão 1

Enunciado: Considere o circuito da Figura 1 (circuito *prescaler*). Desenhe o circuito completo do esquemático da Figura 1 utilizando as células DF1, NAND23, NOR23 e NAND40. Como sinais de entrada ele deve ter o *clock* e *SM*; como sinal de saída, *Saída32_33* (divide o *clock* por 32 ou 33).

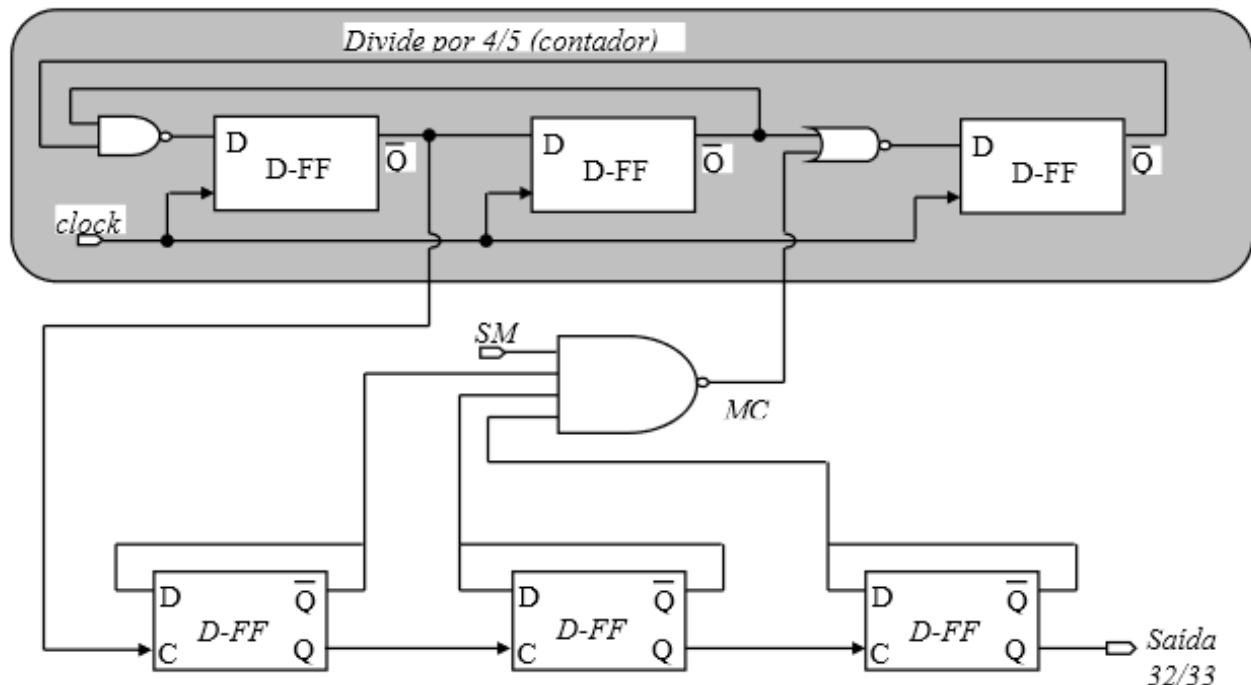


Figura 1: Circuito *prescaler* 32/33 (Figura 1 do roteiro).

Resposta:

O esquemático do circuito da Figura 1, implementado com as células especificadas, é apresentado na Figura 2.

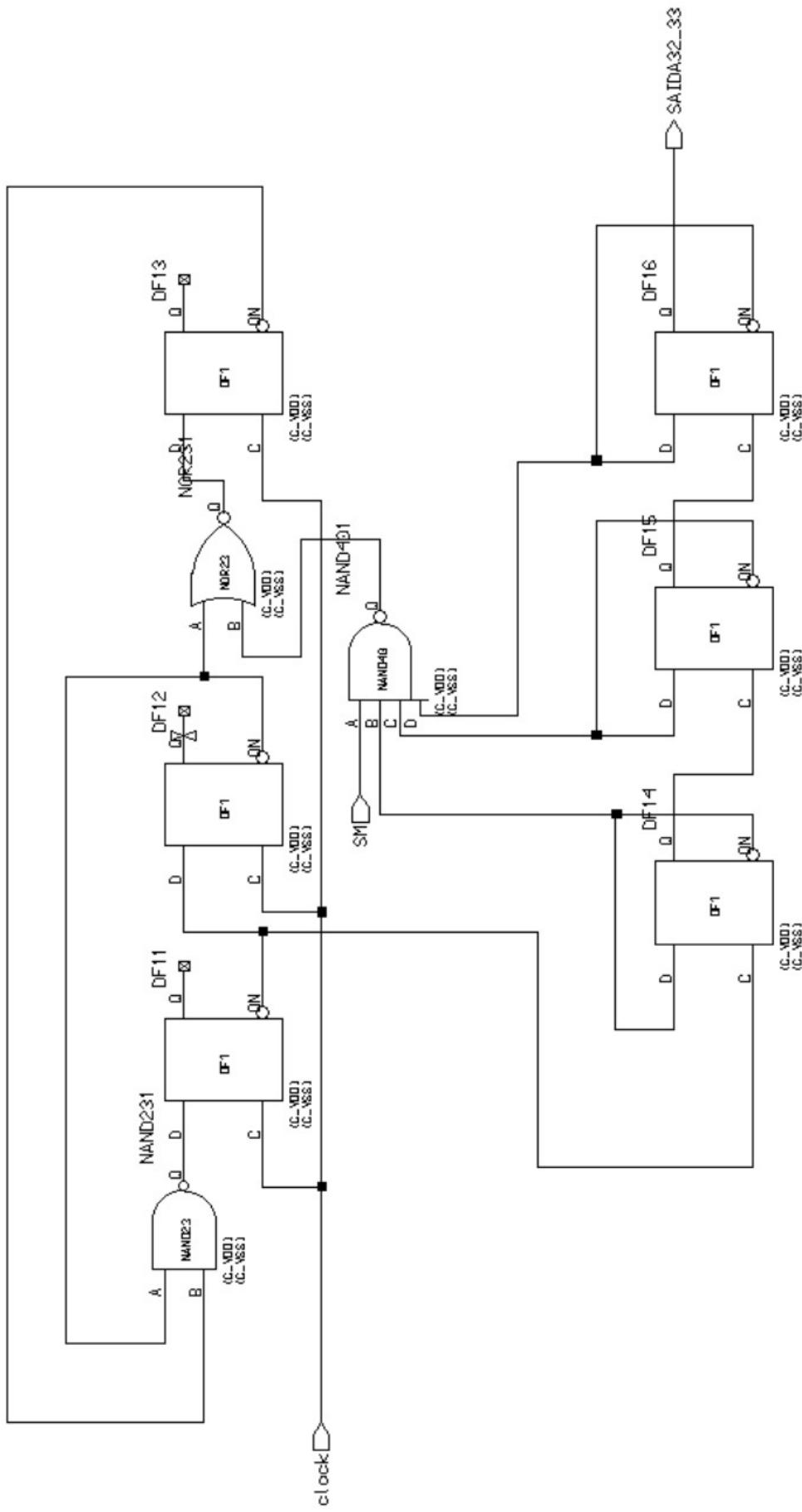


Figura 2: Esquemático do circuito prescaler 32/33.

Questão 2

Enunciado: Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo. Certifique-se de que não haja erros ou mesmo *warnings*.

Resposta:

O símbolo gerado para a célula é apresentado na Figura 3.



Figura 3: Símbolo do circuito *prescaler 32/33*.

Questão 3

Enunciado: Gere o *layout* do circuito a partir do SDL (utilize o *designviewpoint* e não o *schematic*).

Questão 4

Enunciado: Verifique se as ligações foram bem feitas (principalmente dos sinais de VDD e VSS). Refaça aquelas que não estiverem boas. Coloque os *ports* no *layout*, conecte-os e coloque os *labels*.

Questão 5

Enunciado: Passe o DRC no circuito não deixando nenhum erro.

Questão 6

Enunciado: Faça o LVS entre o *layout* e o esquemático. Só devem ocorrer *warnings*. Inclua no relatório o *layout* feito e corrigido.

Resposta:

O *layout* do circuito *prescaler* após todas as verificações é apresentado na Figura 4. A imagem consolida a visão normal e a com *peek*.

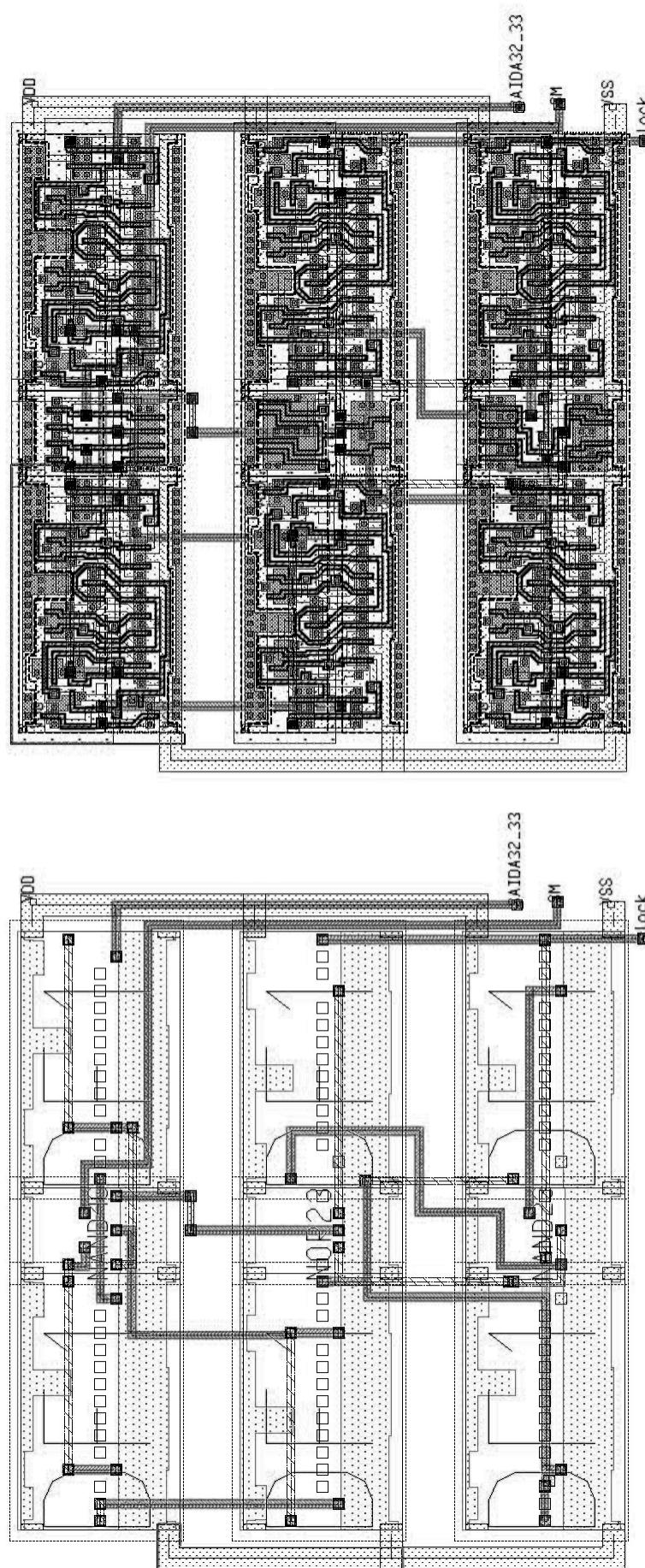


Figura 4: Layout do circuito prescaler (visão normal e com peek).

Questão 7

Enunciado: Considere o circuito da Figura 5 (não tem função alguma, servindo apenas para ilustração). Desenhe o esquemático desse circuito utilizando a célula NAND23 e o *prescaler* anterior (faça as devidas checagens).

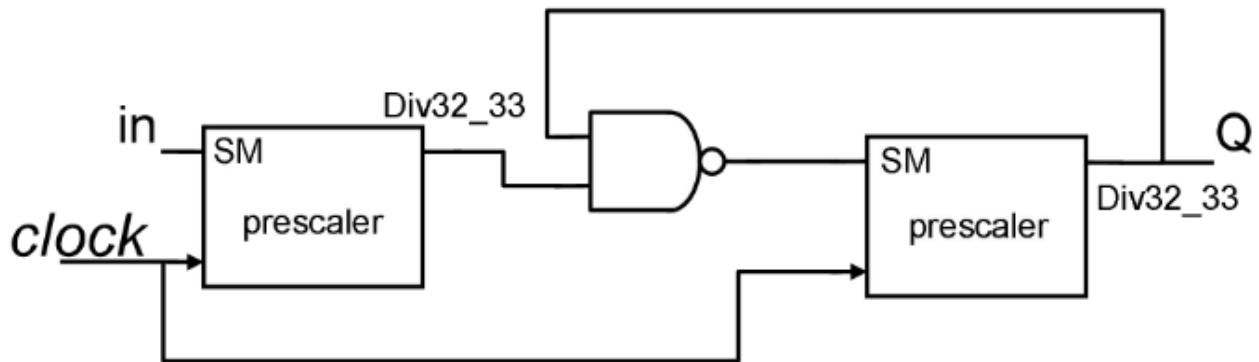


Figura 5: Circuito utilizando o *prescaler*.

Resposta:

O esquemático do circuito da Figura 5 é apresentado na Figura 6.

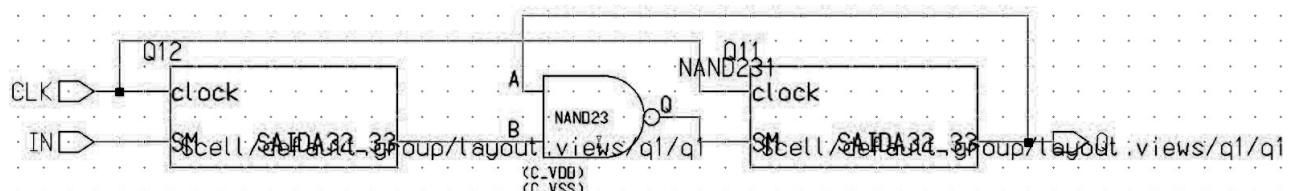


Figura 6: Esquemático do circuito da Figura 5.

Questão 8

Enunciado: Gere o *layout* a partir do esquemático. Para isto não se esqueça de acrescentar ao símbolo do *prescaler* a propriedade *phy_comp* e como seu valor a localização do *layout*.

Questão 9

Enunciado: Termine as conexões, adicione *ports*, faça o DRC e o LVS. Inclua no relatório o *layout* feito.

Resposta:

O *layout* do circuito utilizando o *prescaler* e a célula NAND23 está apresentado na Figura 7, sem o *peek*, e na Figura 8, com o *peek*.

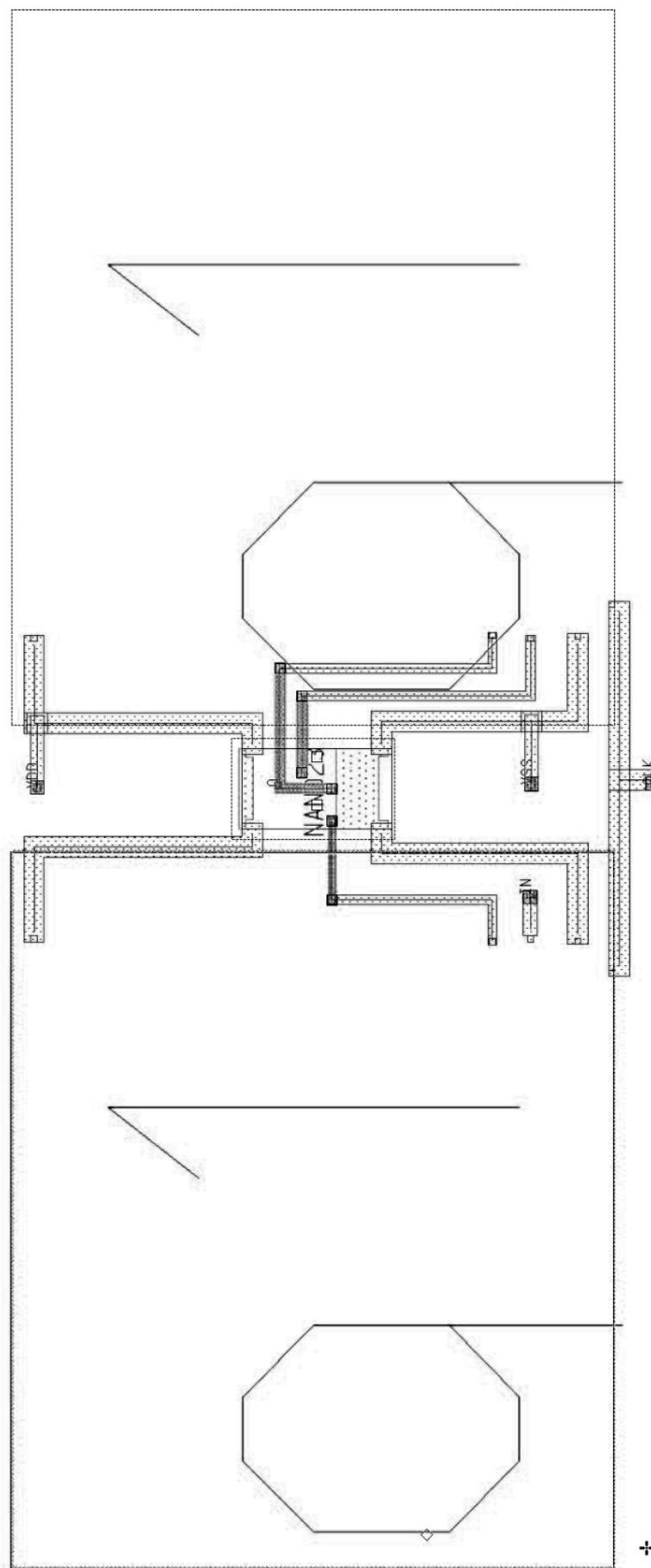


Figura 7: *Layout* do circuito utilizando o *prescaler* e *NAND23*, sem o *peek*.

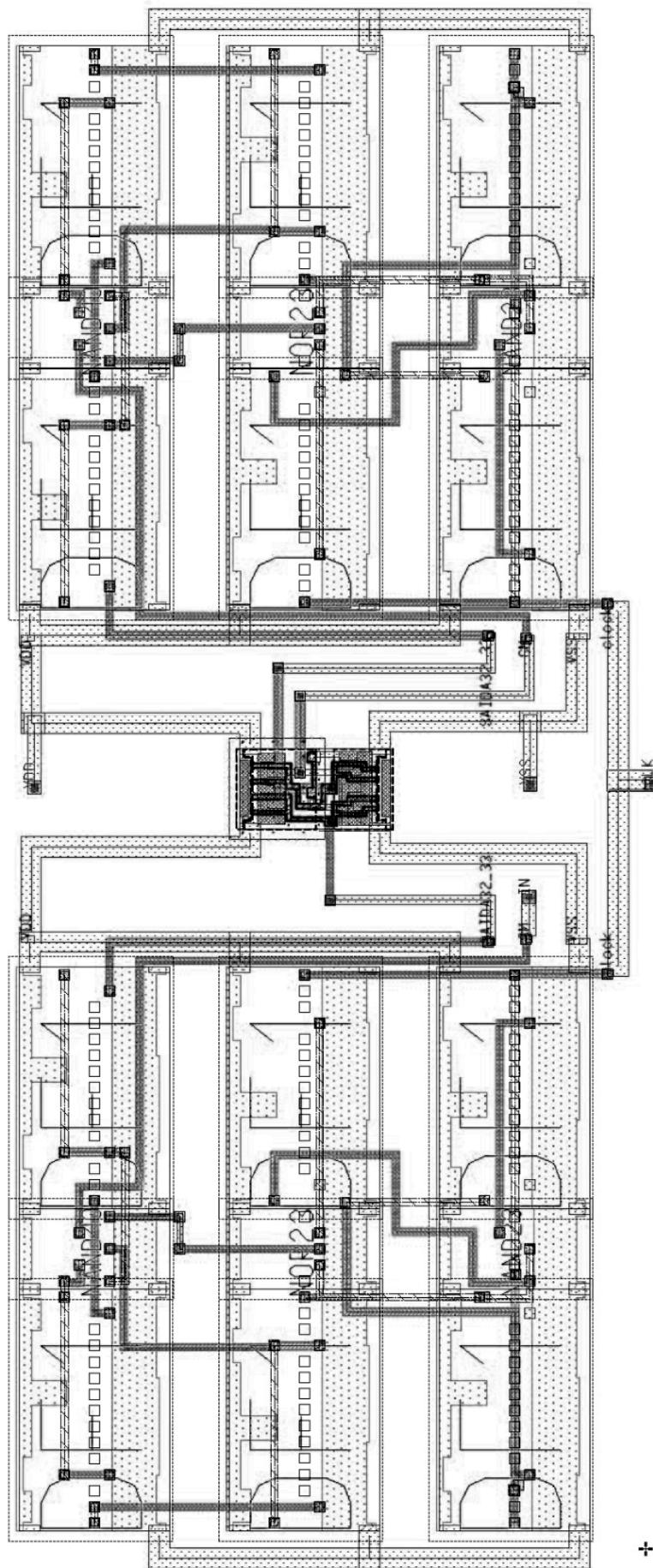


Figura 8: *Layout* do circuito utilizando o *prescaler* e *NAND23*, com o *peck*.

Questão 10

Enunciado: Modifique o circuito adicionando um transistor na saída como indicado na Figura 9. Novamente gere o *layout*, adicione *ports*, faça o DRC e o LVS. Quais são os valores da saída quando o *gate* do transistor está Alto e quando está Baixo. Inclua no relatório o *layout* feito.

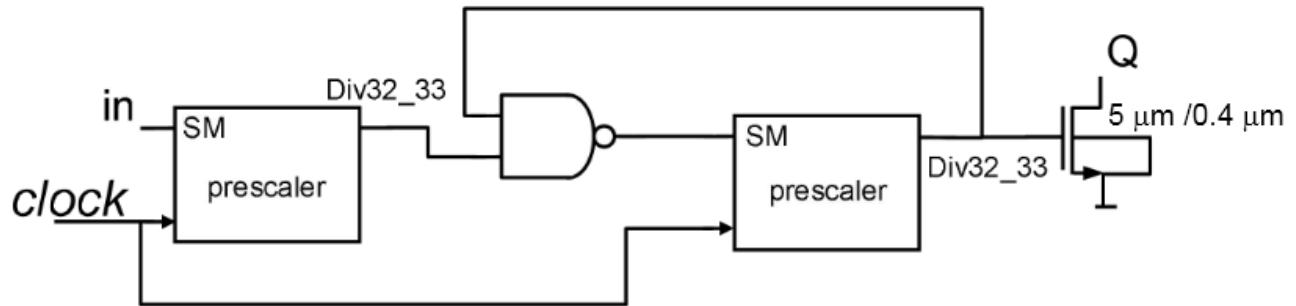


Figura 9: Circuito utilizando Prescalers, NAND23 e transistor.

O *layout* do circuito com a adição do transistor está registrado, sem o *peek*, na Figura 10 e, com o *peek*, na Figura 11.

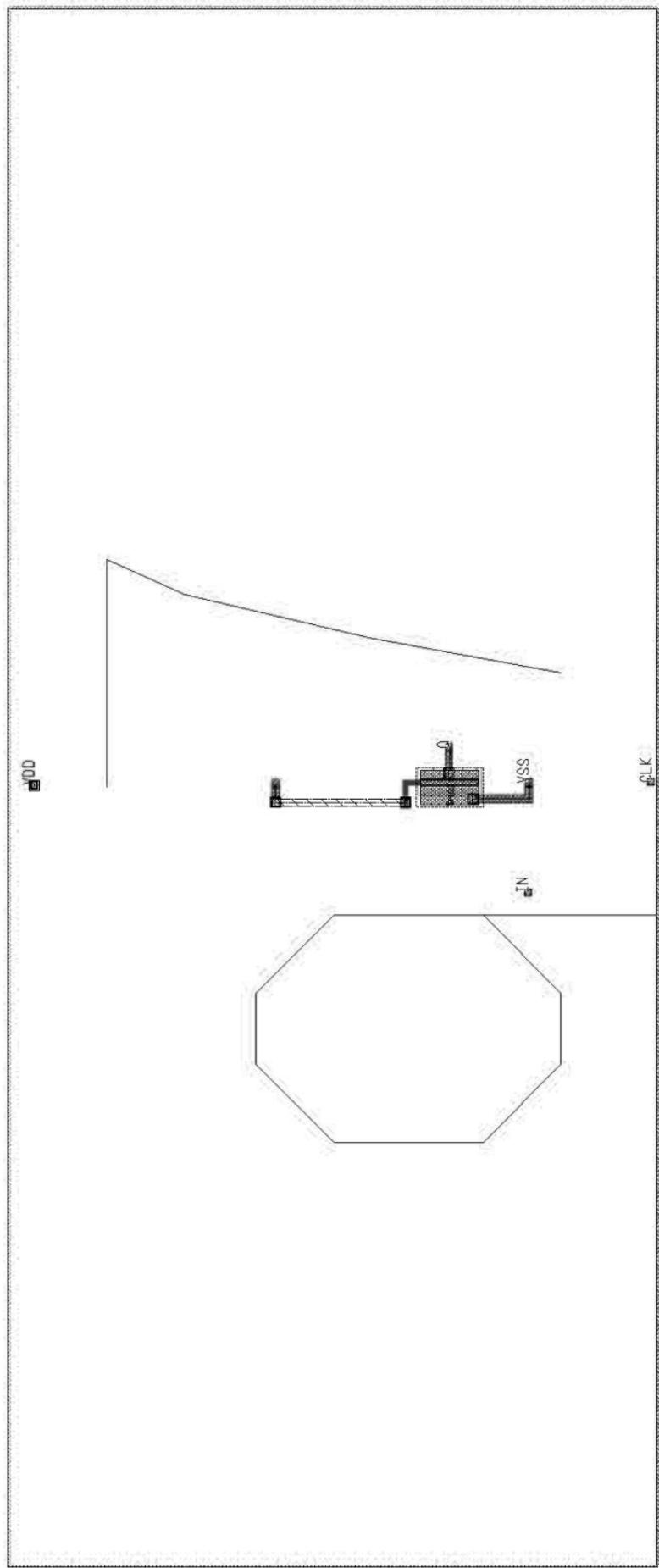


Figura 10: *Layout* do circuito utilizando *prescalers* e *NAND23*, com a adição de transistor, sem o *peek*.

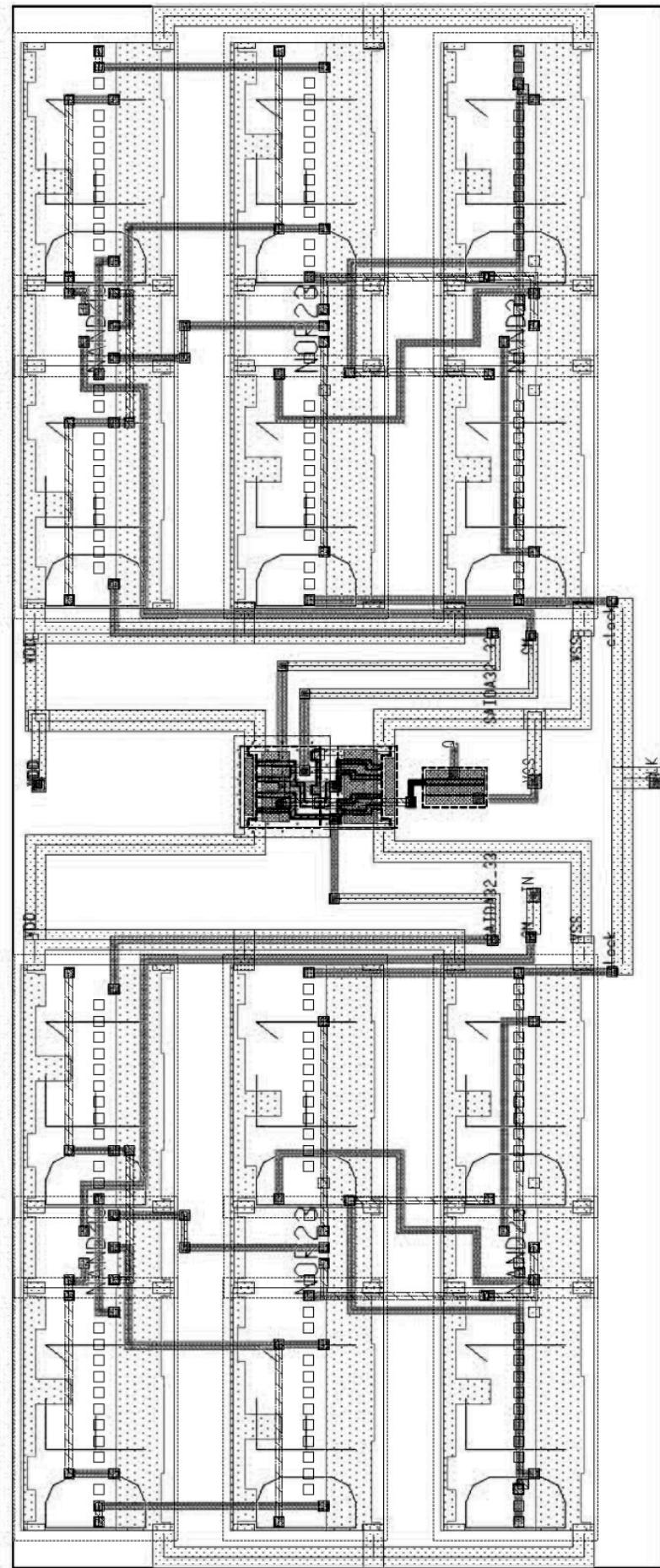


Figura 11: *Layout* do circuito utilizando *prescalers* e NAND23, com a adição de transistor em modo *peek*.

Questão 11

Enunciado: Voltando ao circuito da Figura 1, extrair a partir do esquemático o *netlist* e determinar a máxima velocidade para os modelos típico e *worstspeed* (o circuito deve dividir o *clock* por 32, para SM = 0, ou por 33, para SM = 1). Use o comando *measure*, compare as freqüências obtidas nos dois modelos e comente os resultados.

Resposta:

Utilizando os comandos a seguir, foi realizada a simulação do circuito da Figura 1 nas condições estipuladas (valor de SM=0 e valor de SM=1) tanto para o modelo típico quanto para o modelo *worstspeed*.

```

1 .option list
2 .param F=800Meg T='1/F'
3
4 Vdd VDD 0 3V
5 Vss VSS 0 OV
6 Vclk CLOCK 0 PULSE (0 3V 0 '0.1*T' '0.1*T' '0.4*T' T)
7
8 * --- Modelo T pico ---
9 .include "Model35_eldo"
10
11 * --- Incluso do Netlist do Circuito ---
12 .include 'q1_vpt_c35b4_device.cir'
13
14 Vsm SM 0 OV
15 .tran 'T/100' '65*T' 0 'T/1000' SWEEP F INCR 5Meg 800Meg 1.3G
16
17 .probe tran V(SAIDA32_33) V(CLOCK)
18 .meas tran Tout_SM0 trig V(SAIDA32_33) val=1.5 rise=1 targ V(SAIDA32_33) val=1.5 rise=2
19 .meas tran RATIO_SM0 param='Tout_SM0/T'
20 .meas tran RATEDIFF_SM0 param='abs(RATIO_SM0 - 32)'
21
22 .ALTER
23 Vsm SM 0 3V
24 .tran 'T/100' '67*T' 0 'T/1000' SWEEP F INCR 5Meg 800Meg 1.15G
25
26 .meas tran Tout_SM1 trig V(SAIDA32_33) val=1.5 rise=1 targ V(SAIDA32_33) val=1.5 rise=2
27 .meas tran RATIO_SM1 param='Tout_SM1/T'
28 .meas tran RATEDIFF_SM1 param='abs(RATIO_SM1 - 33)'
29
30 .end

```

Listing 1: Comandos utilizados na simulação (Modelo Típico).

```

1 .option list
2 .param F=800Meg T='1/F'
3
4 Vdd VDD 0 3V
5 Vss VSS 0 OV
6 Vclk CLOCK 0 PULSE (0 3V 0 '0.1*T' '0.1*T' '0.4*T' T)
7
8 * --- Modelo Worst Speed ---
9 .include "cmos53ws.mod"
10
11 * --- Incluso do Netlist do Circuito ---
12 .include 'q1_vpt_c35b4_device.cir'
13
14 Vsm SM 0 OV
15 .tran 'T/100' '65*T' 0 'T/1000' SWEEP F INCR 5Meg 700Meg 810Meg
16
17 .probe tran V(SAIDA32_33) V(CLOCK)

```

```

18 .meas tran Tout_SM0 trig V(SAIDA32_33) val=1.5 rise=1 targ V(SAIDA32_33) val=1.5 rise=2
19 .meas tran RATIO_SM0 param='Tout_SM0/T'
20 .meas tran RATEDIFF_SM0 param='abs(RATIO_SM0 - 32)'
21
22 .ALTER
23 Vsm SM 0 3V
24 .tran 'T/100' '67*T' 0 'T/1000' SWEEP F INCR 5Meg 700Meg 760Meg
25
26 .meas tran Tout_SM1 trig V(SAIDA32_33) val=1.5 rise=1 targ V(SAIDA32_33) val=1.5 rise=2
27 .meas tran RATIO_SM1 param='Tout_SM1/T'
28 .meas tran RATEDIFF_SM1 param='abs(RATIO_SM1 - 33)'
29
30 .end

```

Listing 2: Comandos utilizados na simulação (Modelo Worstspeed).

A fim de determinar a máxima velocidade do circuito, medimos a razão entre o período do sinal de saída e o período do sinal de *clock*. Os resultados estão apresentados nas figuras 12, 13, 14 e 15. A tabela 1 reúne as frequências máximas obtidas.

Tabela 1: Frequências máximas obtidas para extração a partir do esquemático.

Modelo	SM = 0 (MHz)	SM = 1 (MHz)
Típico	1204,6	1105,0
<i>Worst speed</i>	795,0	739,5

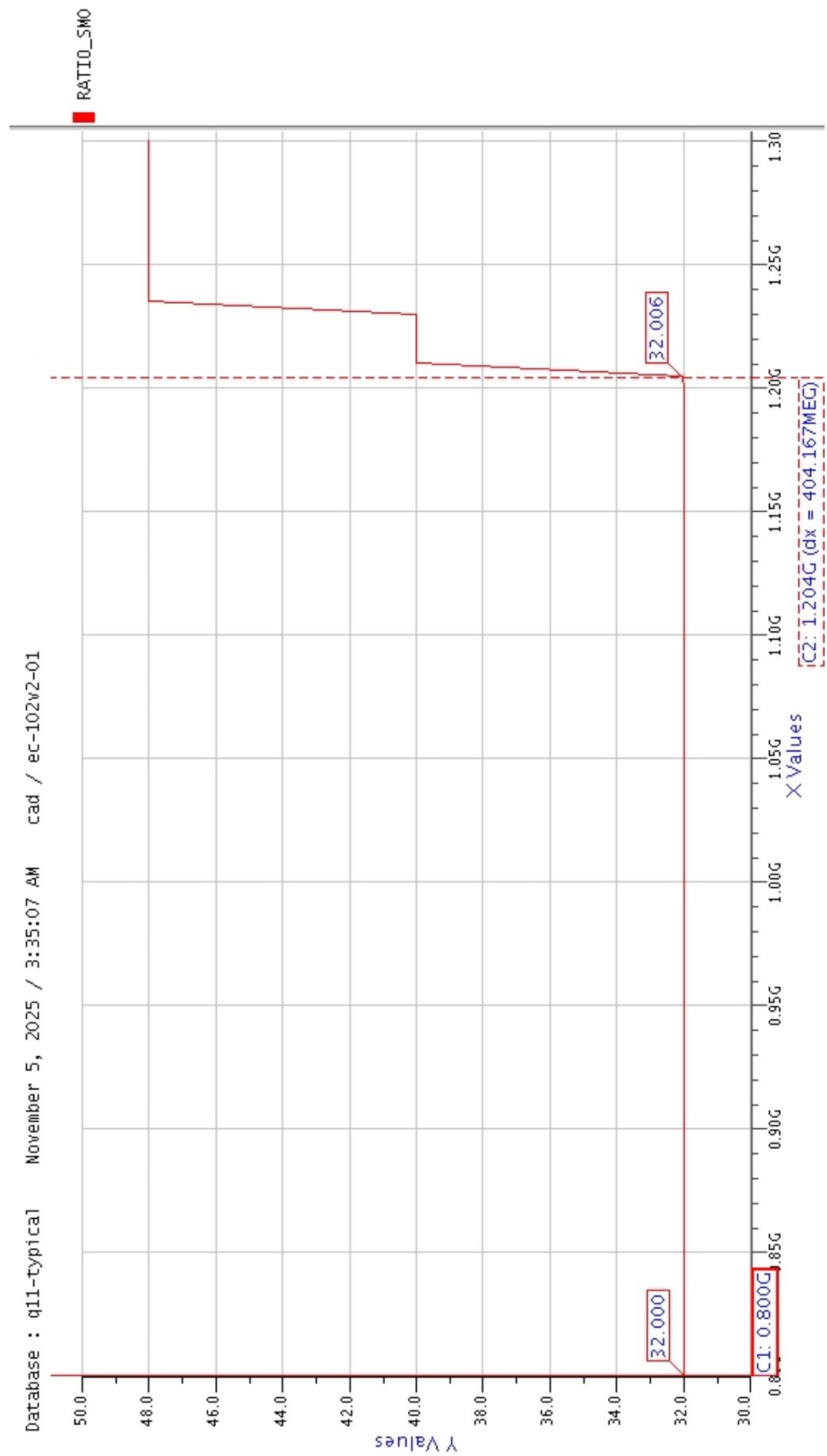


Figura 12: Simulação do circuito para SM=0 e modelo típico.

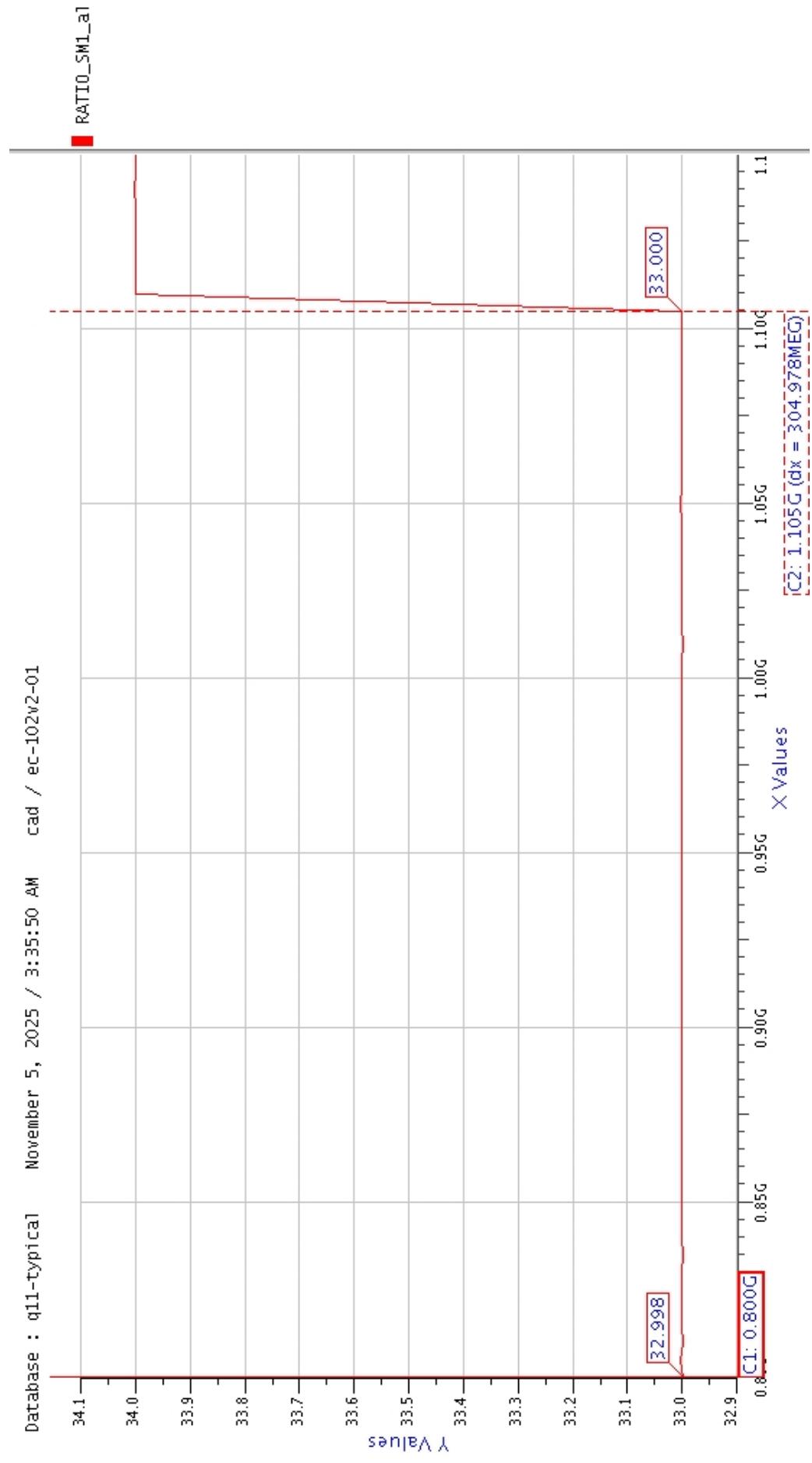


Figura 13: Simulação do circuito para $SM=1$ e modelo típico.

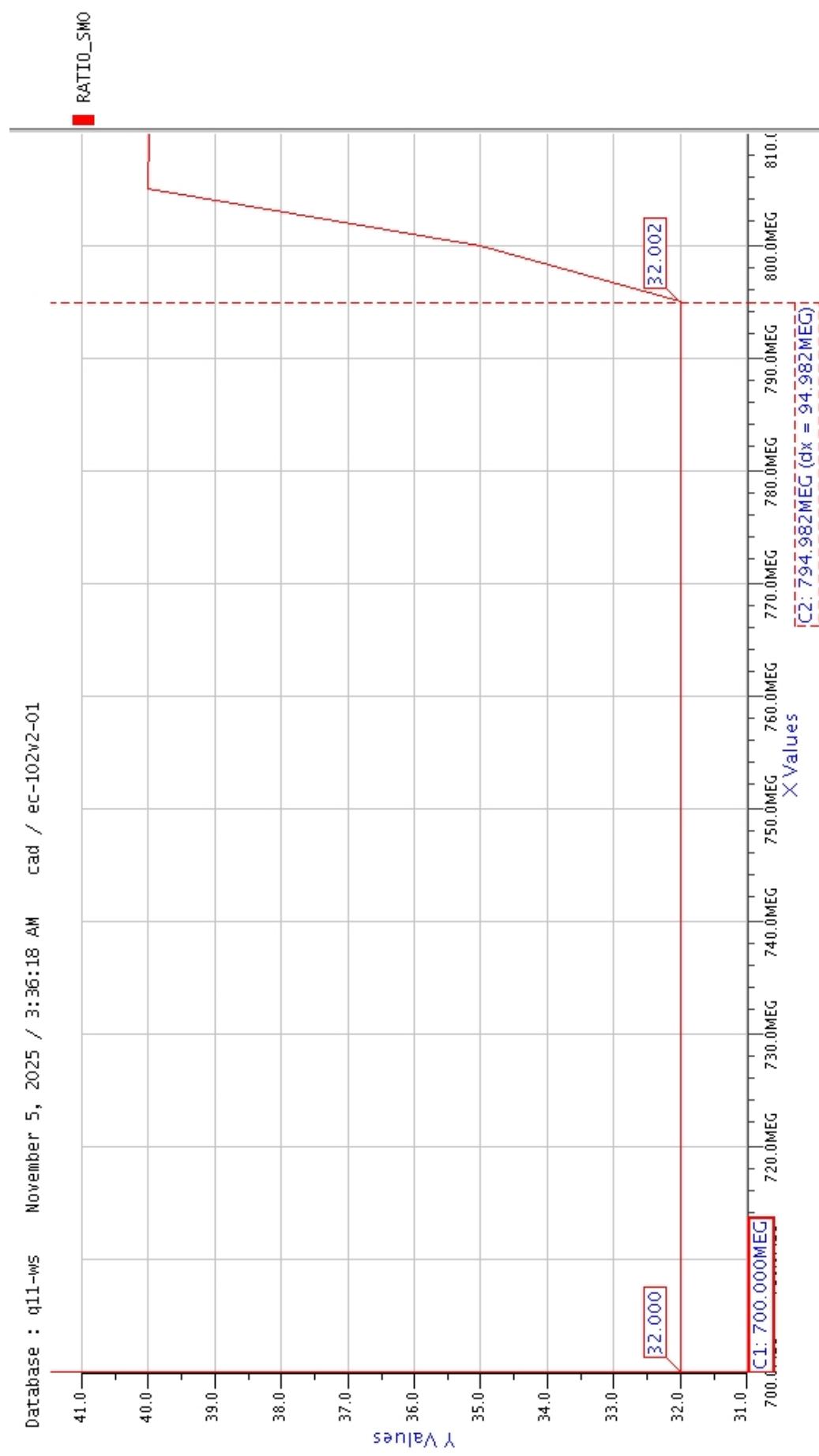


Figura 14: Simulação do circuito para SM=0 e modelo *worstspeed*.

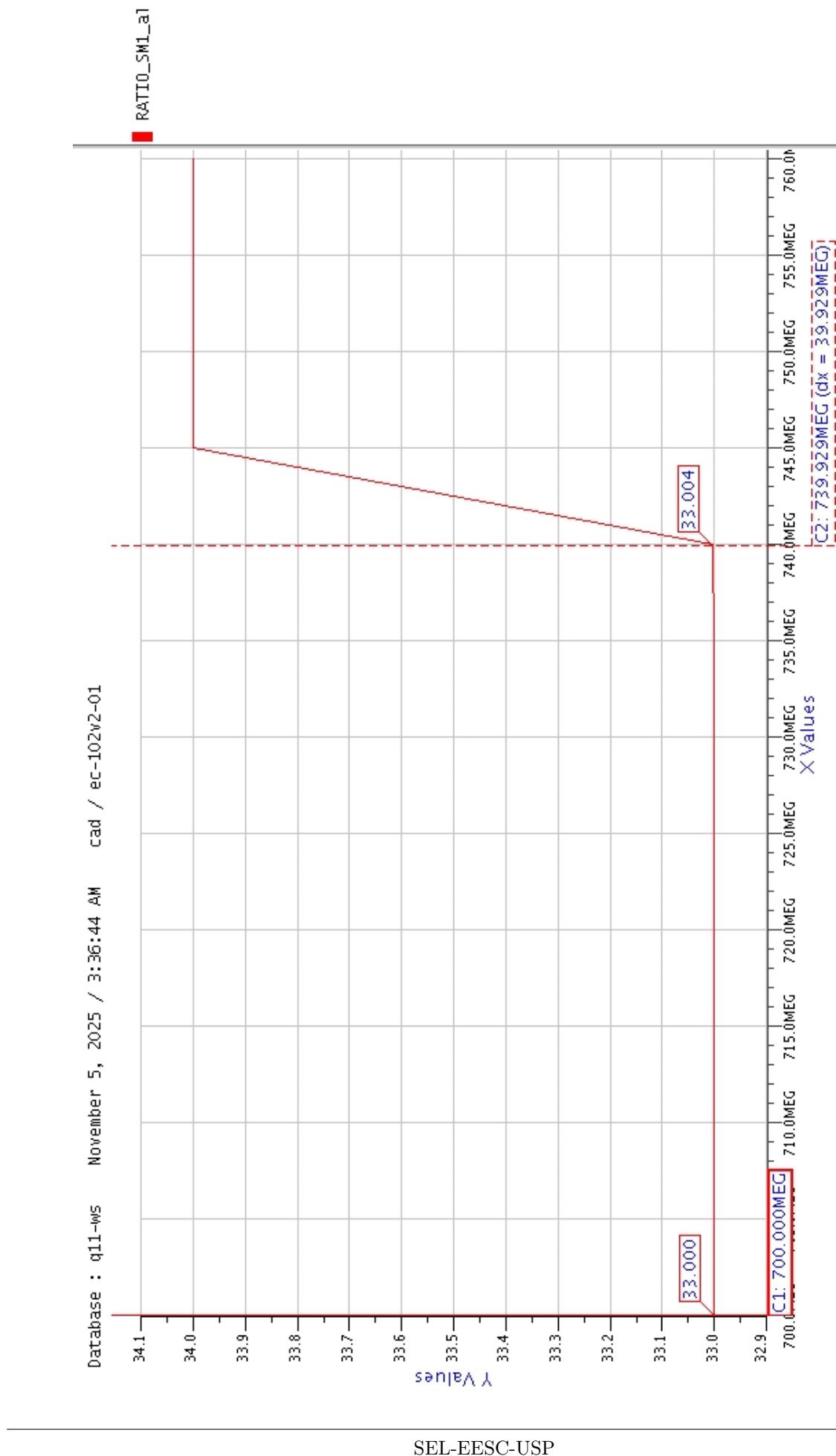


Figura 15: Simulação do circuito para SM=1 e modelo *worstspeed*.

Questão 12

Enunciado: A partir do *layout* do circuito da Figura 1, extrair o circuito para simulação com apenas capacitores. Determinar a máxima velocidade do circuito para o modelo típico e para o modelo *worstspeed*.

Resposta:

Os mesmos comandos utilizados na questão anterior foram usados para simular o circuito extraído com a opção C+CC. Novamente medimos a razão entre o período do sinal de saída e o período do sinal de *clock*, para determinar a máxima velocidade do circuito. Os resultados estão apresentados nas figuras 16, 17, 18 e 19. A tabela 2 reúne as frequências máximas obtidas.

Tabela 2: Frequências máximas obtidas para extração a partir do *layout*, com opção C+CC.

Modelo	SM = 0 (MHz)	SM = 1 (MHz)
Típico	925	895
<i>Worst speed</i>	625	605

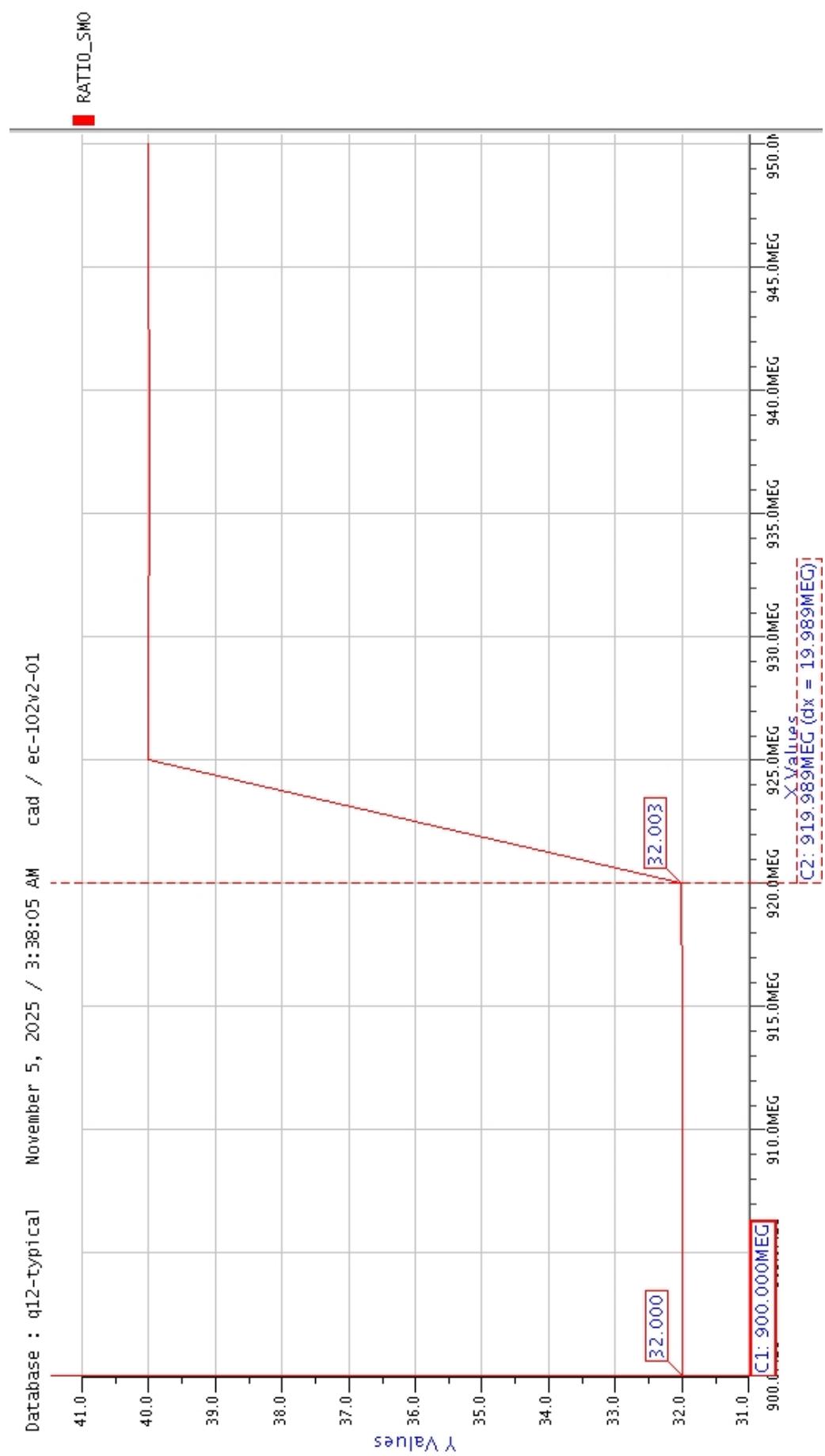


Figura 16: Simulação do circuito para SM=0 e modelo típico (extração C+CC).

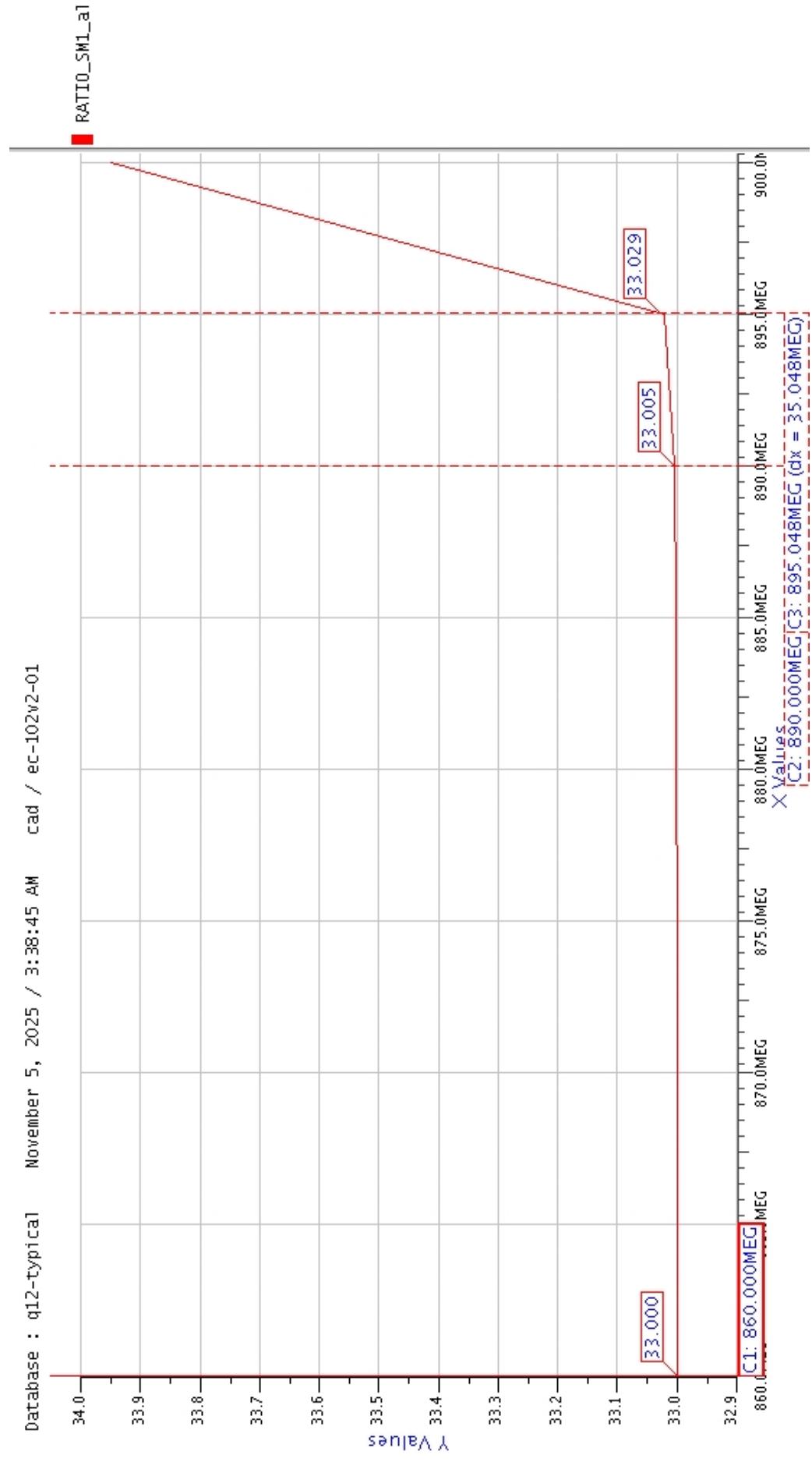


Figura 17: Simulação do circuito para SM=1 e modelo típico (extração C+CC).



Figura 18: Simulação do circuito para SM=0 e modelo *worstspeed* (extração C+CC).

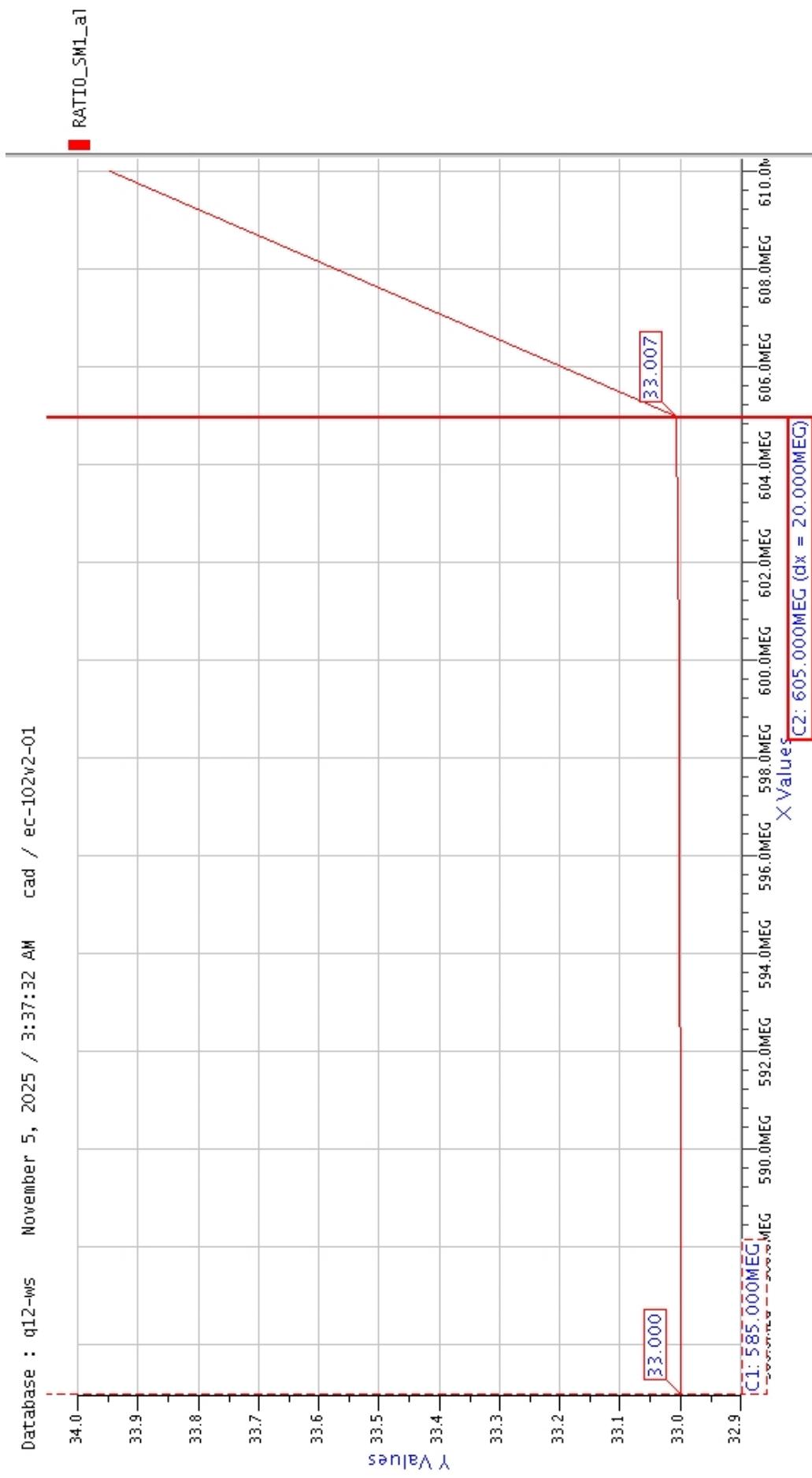


Figura 19: Simulação do circuito para SM=1 e modelo *worspeed* (extração C+CC).

Questão 13

Enunciado: Extrair agora o circuito para simulação com capacitores e resistores. Determinar a máxima velocidade do circuito para o modelo típico e para o modelo *worstspeed*.

Resposta:

Utilizando novamente os comandos da questão 11, foi realizada a simulação do circuito extraído com a opção R+C+CC. Os resultados obtidos estão apresentados nas figuras 20, 21, 22 e 23. A Tabela 3 reúne as frequências máximas obtidas.

Tabela 3: Frequências máximas obtidas para extração a partir do *layout*, com opção C+CC.

Modelo	SM = 0 (MHz)	SM = 1 (MHz)
Típico	890	850
<i>Worst speed</i>	589	565



Figura 20: Simulação do circuito para SM=0 e modelo típico (extração R+C+CC).

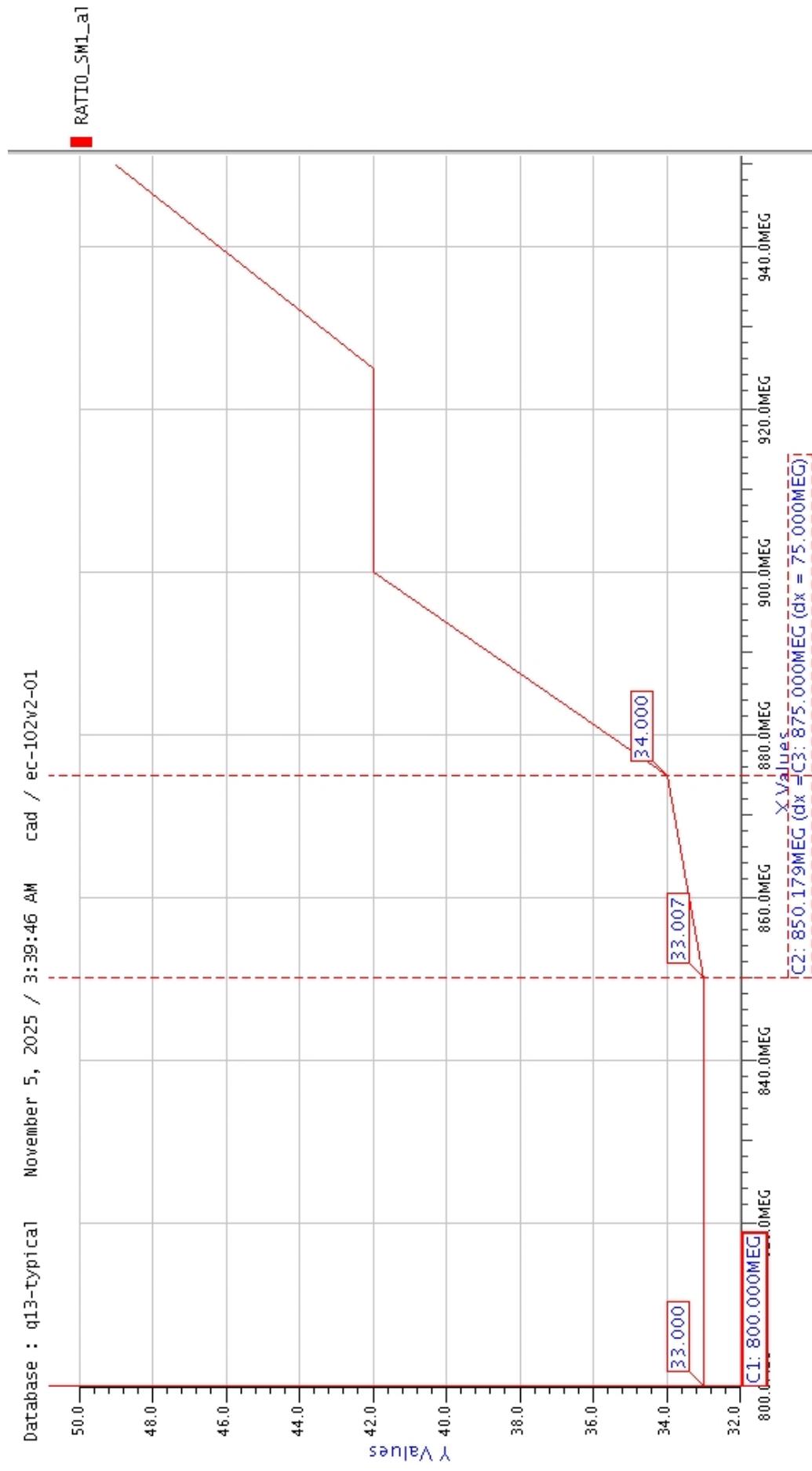


Figura 21: Simulação do circuito para SM=1 e modelo típico (extração R+C+CC).

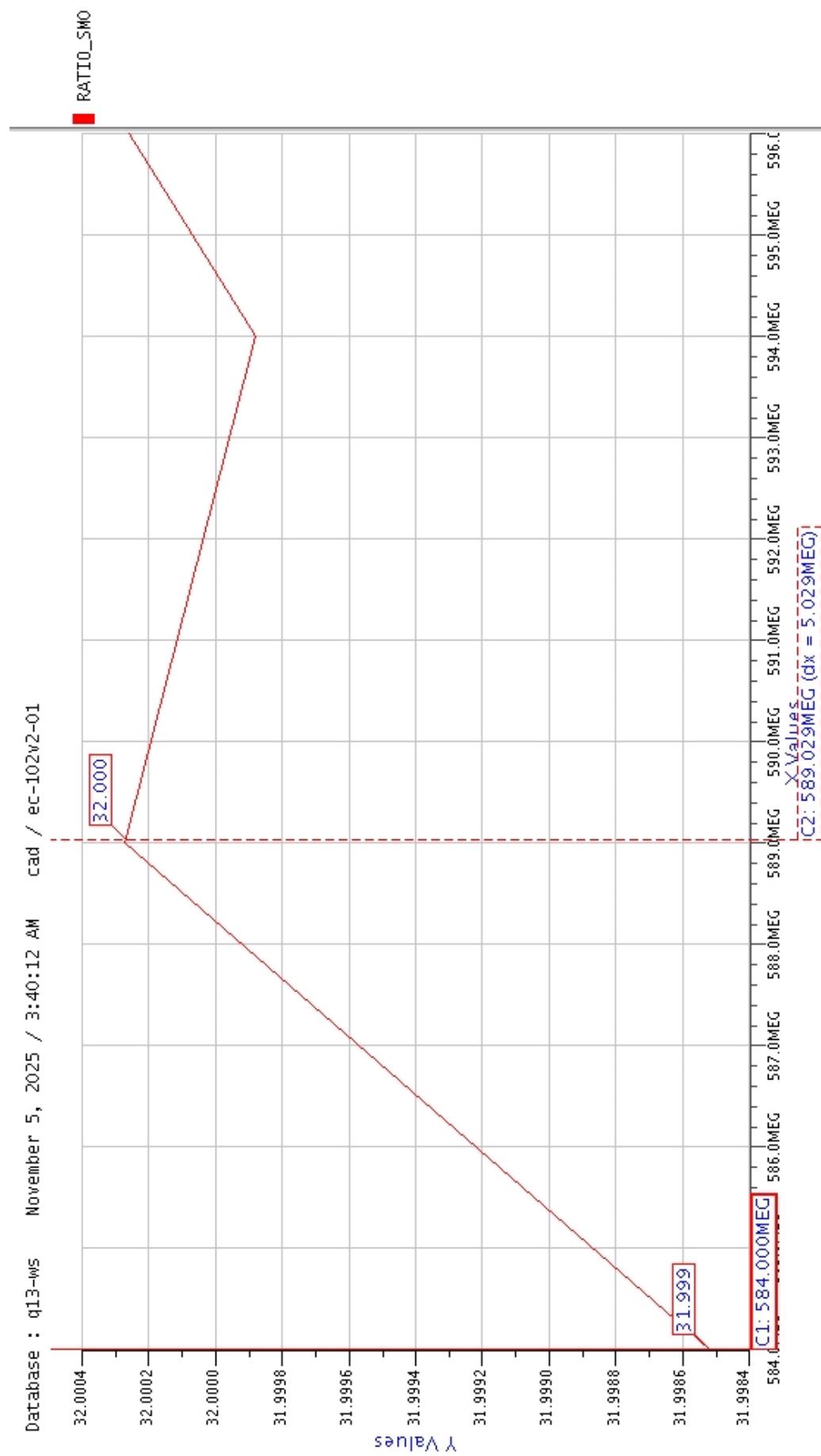


Figura 22: Simulação do circuito para SM=0 e modelo *worstspeed* (extração R+C+CC).

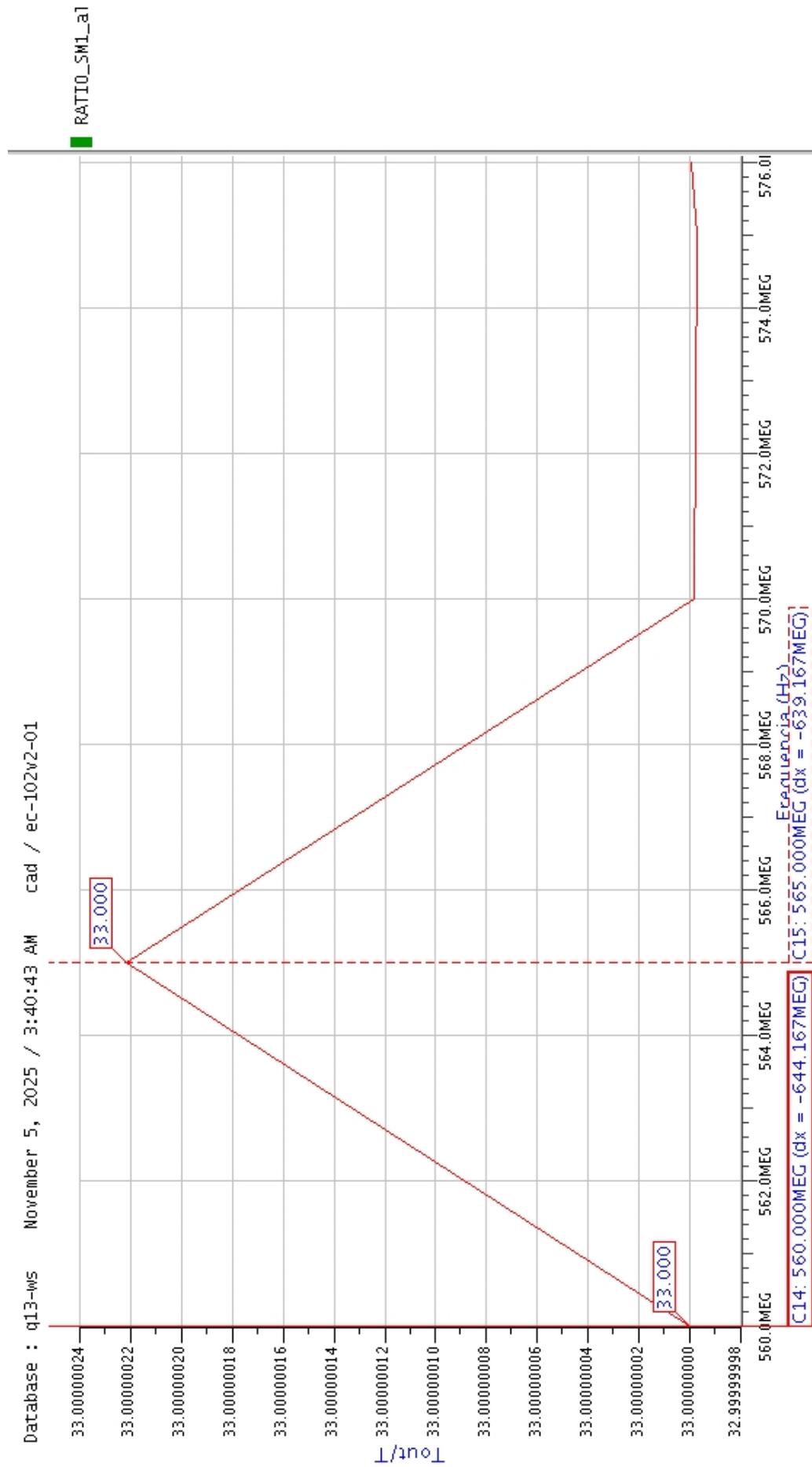


Figura 23: Simulação do circuito para SM=1 e modelo *worstspeed* (extração R+C+CC).

Questão 14

Enunciado: A partir do *datasheet* dos blocos que compõem o *prescaler* estime o máximo *clock* que o circuito poderia suportar.

Resposta:

O circuito *prescaler* é composto por um circuito divisor 4/5, síncrono, e por uma parte assíncrona, controlada por sinais internos do circuito. Dentre os dois, o circuito síncrono é o que determina a frequência máxima do *clock*.

Para determinar a frequência máxima de *clock* que o circuito pode suportar é necessário determinar o pior atraso de propagação no caminho crítico. Para isso, primeiramente, obtemos os dados relativos às células DF1, NAND23 e NOR23, os quais são reproduzidos nas tabelas 4, 5 e 6, respectivamente.

Tabela 4: Informações obtidas no manual da célula DF1 [1], considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação \bar{Q} (ns)
Subida	0,001	0,66
	0,32	2,29
Descida	0,001	0,58
	0,32	1,63

Tabela 5: Informações obtidas no manual da célula NAND23 [1], considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,003	0,04
	0,96	1,67
Descida	0,003	0,03
	0,96	0,83

Tabela 6: Informações obtidas no manual da célula NOR23 [1], considerando o *slope* mínimo.

	Capacitância de carga (pF)	Atraso de propagação (ns)
Subida	0,003	0,07
	0,96	1,60
Descida	0,003	0,06
	0,96	1,06

Ademais, a partir do manual [1], sabemos ainda que o tempo de *setup* do *flip-flop* DF1 é zero e que a maior capacitância de entrada da porta NAND23 é 0,020 pF, da porta NOR23 é 0,021 pF e do *flip-flop* DF1 é 0,005 pF.

Neste sentido, existem dois candidatos ao caminho crítico do circuito divisor 4/5: o terceiro DF1 e a porta NAND23, ou o segundo DF1 e a porta NOR23.

Dessa forma, assume-se que o atraso de propagação é proporcional à capacidade de carga. Ademais, observamos que: a saída do segundo DF1 está conectada às entradas das portas NAND23 e NOR23; a saída da porta NOR23 está conectada à entrada do terceiro DF1; a saída da porta NAND23 está conectada à entrada do primeiro DF1; a saída do terceiro DF1 está conectada à entrada da porta NAND23. Com isso, obtemos os atrasos de propagação listados na tabela 7.

Tabela 7: Atrasos de propagação estimados para os componentes do circuito divisor 4/5.

	Atraso de subida (ns)	Atraso de descida (ns)
Segundo DF1	0.99	1.46
Terceiro DF1	0.87	1.28
NAND23	0.05	0.08
NOR23	0.08	0.12

A partir da tabela 7, utilizando o pior caso entre subida e descida das portas, verifica-se que o maior atraso de propagação ocorre no caminho composto pelo segundo DF1 e a porta NOR23. Portanto, o tempo de propagação do caminho crítico é dado pela relação:

$$T = T_{\text{setup}} + T_{\text{DF1}} + T_{\text{NOR23}} = 0 + 0,99 + 0,08 = 1,07 \text{ ns} \quad (1)$$

Há ainda o tempo de *hold* do *flip-flop* DF1, todavia, este pode ser desconsiderado pois a entrada do segundo DF1 só se altera após propagação pelo próprio DF1 e demais componentes do circuito.

Finalmente, a máxima frequência de *clock* que o circuito pode suportar é:

$$F = \frac{1}{T} = 0,93 \text{ GHz} \quad (2)$$

Questão 15

Enunciado: Monte uma tabela com os resultados obtidos nos exercícios 11, 12, 13 e 14. Compare e comente os resultados.

Resposta:

A tabela 8 apresenta os resultados obtidos para a velocidade máxima de operação ao se fazer o cálculo teórico, ao simular o circuito extraído a partir do esquemático e ao simular o circuito extraído a partir do *layout*, com as opções C+CC e R+C+CC.

Tabela 8: Frequências máximas obtidas para o circuito da figura 1.

Círcuito	$SM = 0$		$SM = 1$	
	Típico	<i>Worst speed</i>	Típico	<i>Worst speed</i>
Teórico	935 MHz	630 MHz	935 MHz	630 MHz
Extração do esquemático	1 204,6 MHz	795,0 MHz	1 105,0 MHz	739,5 MHz
Extração do <i>layout</i> (C+CC)	925,0 MHz	625,0 MHz	885,0 MHz	605,0 MHz
Extração do <i>layout</i> (R+C+CC)	890,0 MHz	589,0 MHz	850,0 MHz	565,0 MHz

Observa-se que a inclusão das capacitâncias parasitas (*C+CC*) provoca uma redução significativa da frequência máxima de operação do circuito, passando de valores próximos a 1,1 GHz no esquemático para cerca de 0,9 GHz no modelo extraído. Essa redução é esperada, uma vez que as capacitâncias parasitas aumentam o atraso de propagação nos nós internos do circuito.

A adição das resistências parasitas (*R+C+CC*) causa uma nova queda de desempenho, ainda que menos pronunciada que a anterior, reduzindo a frequência máxima para valores próximos de 0,85–0,89 GHz no modelo típico e 0,56–0,59 GHz no modelo *worst speed*.

Além disso, nota-se que a frequência máxima de *clock* é sempre inferior para $SM = 1$ em comparação a $SM = 0$. Isso ocorre porque, para $SM = 1$, o circuito inferior do *prescaler* passa a interferir diretamente no funcionamento do divisor 4/5, ampliando o caminho crítico e reduzindo a velocidade máxima alcançável.

Conclusão

Com base nos resultados obtidos, verificou-se que o circuito *prescaler* 32/33 projetado apresentou desempenho coerente com o esperado para a tecnologia AMS 0,35 μ m. Neste sentido, o valor teórico estimado de frequência máxima - de aproximadamente 935 MHz para o modelo típico e 630MHz para o modelo *worst speed*- mostrou boa concordância com os resultados experimentais obtidos nas simulações pós-layout. A inclusão das capacitâncias e resistências parasitas reduziu gradualmente a velocidade máxima do circuito, evidenciando o impacto direto dessas grandezas no atraso de propagação e, consequentemente, na frequência de operação. Além disso, observou-se que o modo $SM = 1$ impõe uma penalização adicional de desempenho

devido ao aumento do caminho crítico do divisor 4/5. Assim, conclui-se que o conforme o fluxo de questões, desde o esquemático até a extração completa do *layout*, compreender os efeitos parasitários e suas implicações no desempenho final do circuito integrado digital.

Referências

- [1] Austria Micro Systems. *Standard Cell Datasheets*. 2005.