

Relatório 1

SEL0621 - Projeto de Circuitos Integrados Digitais

Universidade de São Paulo
Escola de Engenharia de São Carlos
Departamento de Engenharia Elétrica e de Computação
Professor: João Navarro Soares Júnior

Alunos:

Aluno 1: Felipi Adenildo Soares Sousa - NUSP 10438790
Aluno 2: Marcos Antonio Nobre Coutinho - NUSP 10716397

Agosto de 2025

Questões

Questão 1

*Considere a porta lógica CMOS estática que implementa a função lógica $\neg(ab+c)$ (o símbolo “ \neg ” indica negação). Tendo o transistor NMOS de menor dimensão um $W = 2,4 \mu\text{m}$ e $L = 0,35 \mu\text{m}$, determine as dimensões de todos os transístores de forma que:

- (i) (atraso de propagação na descida com $ABC = "110"$) = (atraso de propagação na descida com $ABC = "001"$) = (pior atraso de propagação na subida);
- (ii) Todos os transístores PMOS tenham as mesmas dimensões. (deixe indicados os valores usados).

Resposta:

O circuito que implementa a função lógica $\neg(ab+c)$ possui uma rede pull-down com transístores NMOS A e B em série, em paralelo com um transistor NMOS C. A rede pull-up possui transístores PMOS A e B em paralelo, em série com um transistor PMOS C. O esquemático de um circuito é mostrado na Figura 1.

As expressões para os atrasos de propagação (t_{PHL} e t_{PLH}) são inversamente proporcionais à condutância efetiva dos transístores:

$$t_{PHL} \propto \frac{1}{\mu_n \cdot (W/L)_{n,eq}} ; \quad t_{PLH} \propto \frac{1}{\mu_p \cdot (W/L)_{p,eq}} \quad (1)$$

A condição (i) estabelece a seguinte igualdade:

$$t_{PHL}(ABC=110) = t_{PHL}(ABC=001) = t_{PLH}(\text{pior caso}) \quad (2)$$

1. Dimensionamento dos NMOS: Para igualar os tempos de descida, as resistências equivalentes dos caminhos de condução devem ser iguais.

- Com $ABC = "110"$: O caminho de descarga é pelos transístores NMOS A e B em série. A largura efetiva é $W_{n,AB}/2$.
- Com $ABC = "001"$: O caminho de descarga é pelo transistor NMOS C]. A largura efetiva é W_{nC} .

Igualando as condutâncias: $\mu_n(W_{n,AB}/(2L)) = \mu_n(W_{nC}/L)$. Assumindo $W_{nA} = W_{nB} = W_{n,AB}$, temos:

$$\frac{W_{n,AB}}{2} = W_{nC} \implies W_{n,AB} = 2 \cdot W_{nC} \quad (3)$$

O transistor NMOS de menor dimensão é o C, logo $W_{nC} = 2,4 \mu\text{m}$. Portanto, as larguras dos transístores A e B são:

$$W_{nA} = W_{nB} = 2 \times 2,4 \mu\text{m} = 4,8 \mu\text{m}.$$

2. Dimensionamento dos PMOS: O pior caso de subida (t_{PLH}) ocorre pelo caminho de maior resistência na rede pull-up, que é o caminho em série. Isso acontece quando o transistor C está ativo em série com um dos transístores paralelos (A ou B). Como todos os PMOS devem ter a mesma dimensão (W_p), a largura efetiva para este caminho é $W_p/2$. Devemos igualar o atraso deste caminho ao atraso de descida do caso $ABC = "001"$:

$$\frac{1}{\mu_p \cdot (W_p/(2L))} = \frac{1}{\mu_n \cdot (W_{nC}/L)} \quad (4)$$

Simplificando, temos:

$$\mu_p \cdot \frac{W_p}{2} = \mu_n \cdot W_{nC} \implies W_p = 2 \cdot \frac{\mu_n}{\mu_p} \cdot W_{nC} \quad (5)$$

Utilizando os valores de mobilidade dos portadores para a tecnologia AMS C35, encontrados nos relatórios de referência: $\mu_n \approx 370 \text{ cm}^2/\text{V} \cdot \text{s}$ e $\mu_p \approx 126 \text{ cm}^2/\text{V} \cdot \text{s}$.

$$\frac{\mu_n}{\mu_p} \approx \frac{370}{126} \approx 2,9365$$

Substituindo os valores:

$$W_p = 2 \cdot (2,9365) \cdot 2,4 \mu\text{m} \approx 14,0952 \mu\text{m}.$$

Adotaremos $W_p = 14,1 \mu\text{m}$ para todos os transístores PMOS.

Transistor(es)	Tipo	Largura (W)	Comprimento (L)
M_A, M_B	NMOS	4,8 μm	0,35 μm
M_C	NMOS	2,4 μm	0,35 μm
Todos	PMOS	14,1 μm	0,35 μm

Table 1: Dimensões finais dos transistores.

Questão 2

*Faça o circuito esquemático da porta CMOS e gere seu símbolo. Faça todas as verificações necessárias no esquemático e no símbolo não deixando nenhum erro ou warning. Não se esqueça de ligar o bulk dos transístores (mostrar o esquemático no relatório)

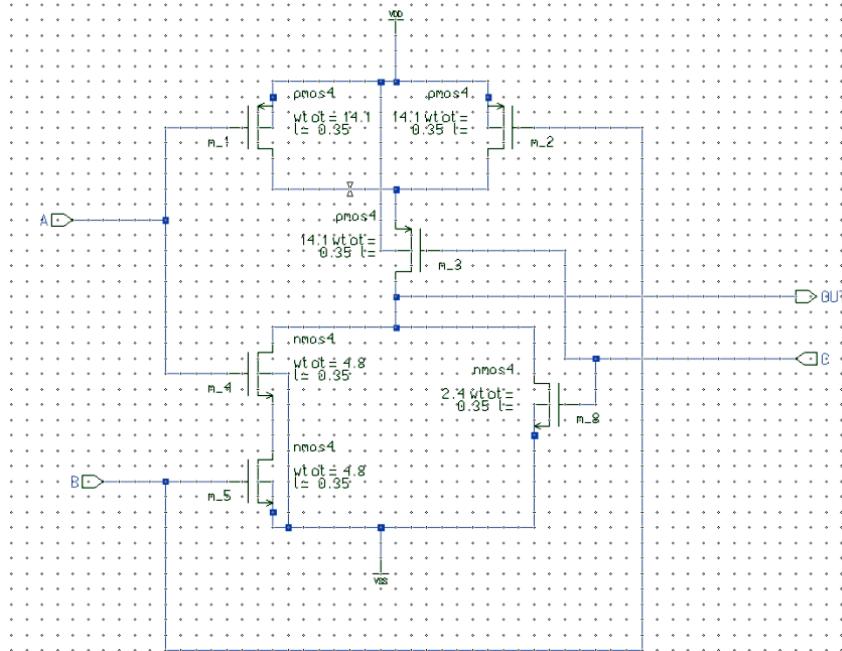


Figure 1: Circuito para a questão 01.

Questão 5

*Gere o netlist executando o comando apropriado na coluna à esquerda. Com outro comando nessa coluna, o ASCII Results, verifique os resultados na opção view netlist. Acrescente o netlist ao relatório.

Resposta:

```

/*
* .CONNECT statements
*
.CONNECT GROUND 0

* ELD0 netlist generated with ICnet by 'cad' on Tue Aug 26 2025 at 20:45:40
*
* Globals.
*
.global VSS VDD

*
* MAIN CELL: Component pathname : $relatorio1/default.group/logic.views/cmos
*

```

```

M_3 OUT C VSS VSS MODN w=2.400000e-06 l=3.500000e-07 as=2.040000e-12
+ ad=2.040000e-12 ps=4.100000e-06 pd=4.100000e-06 nrs=1.770833e-01 nrd=1.770833e-01
    M3 OUT A N$10 VSS MODN w=4.800000e-06 l=3.500000e-07 as=4.080000e-12
+ ad=4.080000e-12 ps=6.500000e-06 pd=6.500000e-06 nrs=8.854167e-02 nrd=8.854167e-02
    M_2 N$10 B VSS VSS MODN w=4.800000e-06 l=3.500000e-07 as=4.080000e-12
+ ad=4.080000e-12 ps=6.500000e-06 pd=6.500000e-06 nrs=8.854167e-02 nrd=8.854167e-02
    M2 N$8 A VDD VDD MODP w=1.410000e-05 l=3.500000e-07 as=1.198500e-11
+ ad=1.198500e-11 ps=1.580000e-05 pd=1.580000e-05 nrs=3.014184e-02 nrd=3.014184e-02
    M1 OUT C N$8 VDD MODP w=1.410000e-05 l=3.500000e-07 as=1.198500e-11
+ ad=1.198500e-11 ps=1.580000e-05 pd=1.580000e-05 nrs=3.014184e-02 nrd=3.014184e-02
    M_1 N$8 B VDD VDD MODP w=1.410000e-05 l=3.500000e-07 as=1.198500e-11
+ ad=1.198500e-11 ps=1.580000e-05 pd=1.580000e-05 nrs=3.014184e-02 nrd=3.014184e-02
*
.end

```

Listing 1: Netlist da porta lógica $\neg(ab+c)$ extraído do esquemático.

Questão 6

*Como são calculadas as áreas e perímetros de dreno e source no circuito extraído pelo esquemático (relação usada)?

Resposta:

No netlist extraído a partir do esquemático, as áreas (A_S , A_D) e os perímetros (P_S , P_D) de source e dreno são calculados com base em um modelo simplificado que assume as menores dimensões possíveis para as regiões de difusão, baseadas nas regras de projeto da tecnologia. As relações usadas, conforme observado nos relatórios de referência, são:

- **Área (A_D , A_S):** A área é calculada multiplicando a largura do transistor (W) por um comprimento de difusão padrão, que para esta tecnologia é tipicamente de $0,85\mu m$.

$$A_D = A_S = W_{eff} \times L_{diff}$$

$$A_D = A_S = W \times 0,85 (\mu m^2)$$

- **Perímetro (P_D , P_S):** O perímetro é a soma da largura do transistor (W) com duas vezes o comprimento da difusão ($2 \times 0,85\mu m$). A aresta adjacente ao gate não é considerada neste cálculo.

$$P_D = P_S = W_{eff} + 2L_{diff}$$

$$P_D = P_S = W + (2 \times 0,85) = W + 1,70 (\mu m)$$

Essas fórmulas fornecem uma estimativa inicial para as capacitâncias parasitas de junção, que são mais precisamente calculadas após a extração do layout.

Questão 8

*Apresente os gráficos da questão anterior e copie os comandos de medida e sinais de entrada que usou no ELDO.

Resposta:

Para obter os gráficos, é necessário criar um arquivo de simulação para o ELDO (ex: ‘sim.cir’) que inclua o netlist da questão 5 e adicione os comandados para as fontes de alimentação, sinais de entrada, varredura da capacitância de carga e medições de atraso.

Abaixo estão os comandos ELDO utilizados.

```

* Q8: Atraso da porta CMOS (esquematico)

* --- Inclusao do Netlist e Modelos ---
.include "../../relatorio1.lib/default.group/logic.views/cmos/vpt_c35b4_device/
    cmos_vpt_c35b4_device.spi"
.lib "/local/tools/dkit/ams_3.70_mgc/eldo/c35/wc53.lib" tm

```

```

VDD VDD 0 DC 3V
VSS VSS 0 DC 0V
.param carga=50f
Cout OUT 0 'carga'
.tran 10p 20n 0 10p SWEEP carga 10f 300f 20f
.param T=4n
Va A 0 PULSE(0 3 'T' 50p 50p 'T' '2*T')
Vb B 0 3V
Vc C 0 0V
.meas tran tphl TRIG v(A) VAL=1.5 RISE=1 TARG v(OUT) VAL=1.5 FALL=1
.meas tran tplh TRIG v(A) VAL=1.5 FALL=1 TARG v(OUT) VAL=1.5 RISE=1
.probe tran v(A) v(B) v(C) v(OUT)
.end

```

Listing 2: Comandos de simulação e medida para atrasos de propagação.

Após rodar a simulação, plote os resultados no EZwave e insira os gráficos abaixo.

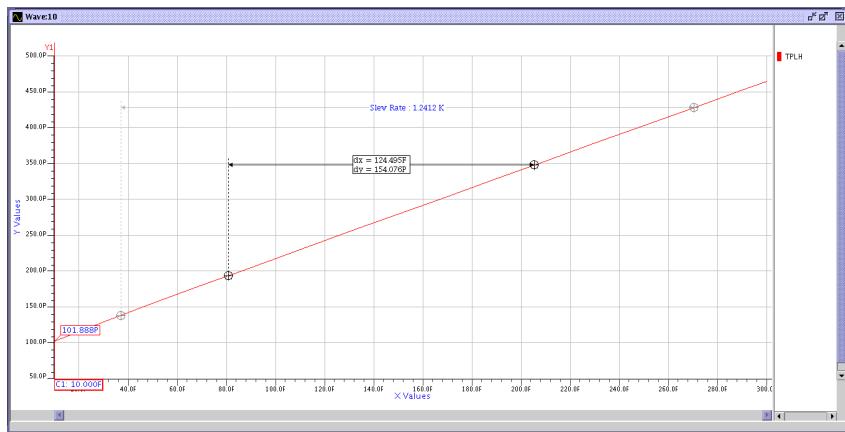


Figure 2: Atraso de Propagação de Subida (t_{PLH}) vs. Capacitância de Carga (Esquemático).

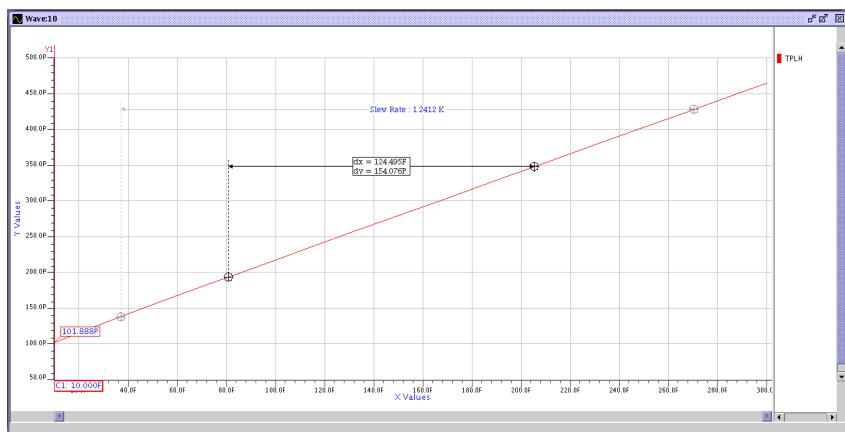


Figure 3: Atraso de Propagação de Descida (t_{PHL}) vs. Capacitância de Carga (Esquemático).

Questão 11

*Como se pode acrescentar aos ports VDD e VSS as regiões de source dos transistores sem transformarmos os transistores em flatten?

Resposta:

Para adicionar as regiões de source dos transistores aos ports de alimentação VDD e VSS sem achatar ("flatten") o transistor, deve-se usar a ferramenta de desenho de formas (*shape*) no ICStation. O procedimento é:

1. Selecionar a camada de metal apropriada (geralmente MET1, que é a mesma camada usada para os contatos de source/dreno).
2. Desenhar uma forma (um retângulo) de MET1 que se sobreponha fisicamente tanto à região de source do transistor quanto ao port de alimentação (VDD ou VSS).
3. Selecionar a forma recém-criada.
4. Ir ao menu **Connectivity > Port > Add to Port**.
5. Clicar no port de destino (VDD ou VSS).

Desta forma, a nova peça de metal é logicamente associada ao net do port, conectando-o eletricamente ao source, sem alterar a hierarquia do transistor (que permanece como uma instância).

Questão 16

*Uma vez feitas as verificações com DRC e LVS, caso não tenha sido encontrado nenhum erro, o layout estará pronto para uso. Agora, extraia o circuito de simulação a partir do layout (opção C+CC) e repita as simulações feitas no item 7. Apresente os gráficos com resultados (gere uma figura do layout e inclua no trabalho).

Resposta:

Questão 17

*Para as curvas atraso de propagação na subida e descida versus carga, geradas a partir do layout, calcule as inclinações e o pontos de cruzamento com o eixo Y (eixo de tempo).

Resposta:

Analise os gráficos da Questão 16 no EZwave. A relação entre o atraso e a capacidade de carga é aproximadamente linear.

- **Inclinação (Slope):** Utilize a ferramenta de medição de inclinação ("Slope") do EZwave para encontrar a inclinação das retas, que representa a sensibilidade do atraso à carga (em ps/fF).
- **Ponto de Cruzamento (Y-intercept):** Este valor corresponde ao atraso intrínseco da porta, quando a carga externa é zero ($C_L = 0$). Adicione um cursor ao gráfico e posicione-o no início da curva (em $x = 0$) para ler o valor no eixo Y.

Preencha a tabela abaixo com os seus resultados.

Atraso de Propagação	Inclinação (ps/fF)	Ponto de Cruzamento com Eixo Y (ps)
Descida (t_{PHL})	1.2575	95.198
Subida (t_{PLH})	1.2235	113.612

Table 2: Inclinações e interceptos para as curvas de atraso vs. carga do layout.

Questão 18

*Comente as diferenças entre os resultados encontrados nas questões 8 e 16/17? Dê as razões para elas.

Resposta:

A comparação entre os resultados da simulação baseada no esquemático (Questão 8) e no layout (Questão 16/17) revela o impacto dos efeitos físicos não modelados no esquemático inicial.

Existem duas principais fontes de divergência:

1. **Capacitâncias Parasitas de Interconexão:** A extração do layout (PEX) calcula as capacitâncias parasitas das trilhas de metal e poli (com o substrato e entre si - *crosstalk*), que são ignoradas na extração do esquemático. A adição dessas capacitâncias à carga total na saída tende a **aumentar** os atrasos de propagação.

2. Otimização do Layout: Durante a elaboração do layout, é comum juntar (ou compartilhar) as regiões de source e dreno de transistores em série. Esta prática reduz a área total de difusão e o perímetro das junções, diminuindo as capacitâncias parasitas de junção (C_{db} , C_{sb}) em comparação com o modelo simplificado do esquemático (que trata cada transistor como uma entidade isolada). Essa otimização tende a **diminuir** os atrasos de propagação.

O resultado final (se o circuito extraído do layout é mais rápido ou mais lento) depende de qual desses dois efeitos é dominante. Em muitos casos, para células lógicas bem desenhadas e compactas, a redução das capacitâncias de junção devido ao compartilhamento de difusão é mais significativa do que o acréscimo das capacitâncias de interconexão, resultando em um circuito simulado a partir do layout que é ligeiramente **mais rápido** do que o simulado a partir do esquemático.

Questão 19

*Faça um inverter com $WN = 2,5 \mu\text{m}$ e $LN = 0,35 \mu\text{m}$. Faça o esquemático, símbolo e layout. Passe as verificações no esquemático e símbolo. O layout deve ser feito com cuidado para ter área pequena, utilização correta de metais/poli e ports de tamanho conveniente. Passe o DRC no layout e faça o LVS deixando a célula pronta para uso. Acrescente ao relatório o layout feito.

Resposta:

Primeiro, dimensionamos o transistor PMOS para que os tempos de subida e descida sejam aproximadamente iguais ($t_{PLH} \approx t_{PHL}$). A condição para isso em um inverter é:

$$\mu_n \frac{W_n}{L_n} = \mu_p \frac{W_p}{L_p}$$

Como $L_n = L_p$, a equação simplifica para:

$$W_p = \frac{\mu_n}{\mu_p} W_n$$

Usando a mesma razão de mobilidades $\mu_n/\mu_p \approx 2,9365$ e $W_n = 2,5 \mu\text{m}$:

$$W_p = 2,9365 \times 2,5 \mu\text{m} \approx 7,34 \mu\text{m}$$

O esquemático, símbolo e layout foram criados no Mentor Graphics com essas dimensões. Todas as verificações (Check Schematic, Check Symbol, DRC, LVS) foram realizadas com sucesso. O layout do inverter é apresentado na Figura 7.

Questão 22

*Desenhe os gráficos da questão anterior e copie os comandos de medida e sinais de entrada que usou no ELD0.

Resposta:

```
* Q22: Atraso da celula (ab+c) (esquematico)

* --- Inclusao do Netlist e Modelos ---
* O netlist do viewpoint ja contem os transistores e a conexao VDD/VSS global
.include "../../relatorio1.lib/default.group/logic.views/cmos2/vpt_c35b4_device/
    cmos2_vpt_c35b4_device.spi"
.lib "/local/tools/dkit/ams_3.70_mgc/eld0/c35/wc53.lib" tm

* --- Fontes de Alimentacao (Conectadas aos nos globais VDD e VSS) ---
VDD VDD 0 DC 3V
VSS VSS 0 DC 0V

* --- Carga e Varredura ---
.param carga=50f
Cout OUT 0 'carga'
.tran 10p 20n 0 10p SWEEP carga 10f 300f 20f
```

```

* --- Sinais de Entrada ---
* (Ajuste para o pior caso de subida ou descida conforme necessário)
.param T=4n
.Va A 0 PULSE(0 3 'T' 50p 50p 'T' '2*T')
.Vb B 0 3V
.Vc C 0 OV

* --- Medidas ---
.meas tran tphl TRIG v(A) VAL=1.5 RISE=1 TARG v(OUT) VAL=1.5 FALL=1
.meas tran tplh TRIG v(A) VAL=1.5 FALL=1 TARG v(OUT) VAL=1.5 RISE=1

.probe tran v(A) v(B) v(C) v(OUT)
.end

```

Listing 3: Comandos ELD0 para a célula (ab+c).

Questão 24

*Termine o layout da célula, passe o DRC e faça o LVS. Gere uma figura do layout mostrando todos os níveis e inclua no trabalho.

Resposta:

O layout para a questão 24 é mostrado na figura 10.

Questão 25

*Agora extraia o circuito de simulação a partir do layout (opção C+CC) e repita as simulações feitas no item 22. Apresente gráficos e tabelas com os resultados.

Resposta:

Os gráficos para a questão 25 são apresentados na Figura 11 e na Figura 12.

Questão 26

*Gere novamente os tempos de propagação na subida e descida utilizando agora os comandos (faça os ajustes necessários para seu circuito)

Resposta:

Medida	Atraso (ps)
delayF (Atraso de descida)	
delayR (Atraso de subida)	

Table 3: Atrasos de propagação com carga de 30fF.

Questão 27

*Vamos realizar por fim a simulação de Monte Carlo. (...). Forneça os gráficos da tensão em c e na saída (valor típico e piores casos) e os gráficos de barras com número de pontos versus delayF e delayR.

Resposta:

Os gráficos são apresentados na Figura 13 e na Figura 14.

Questão 28

*Utilize o comando Report – Windows do ICStation para determinar o tamanho da célula (coloque o tamanho de sua célula no relatório).

Resposta:

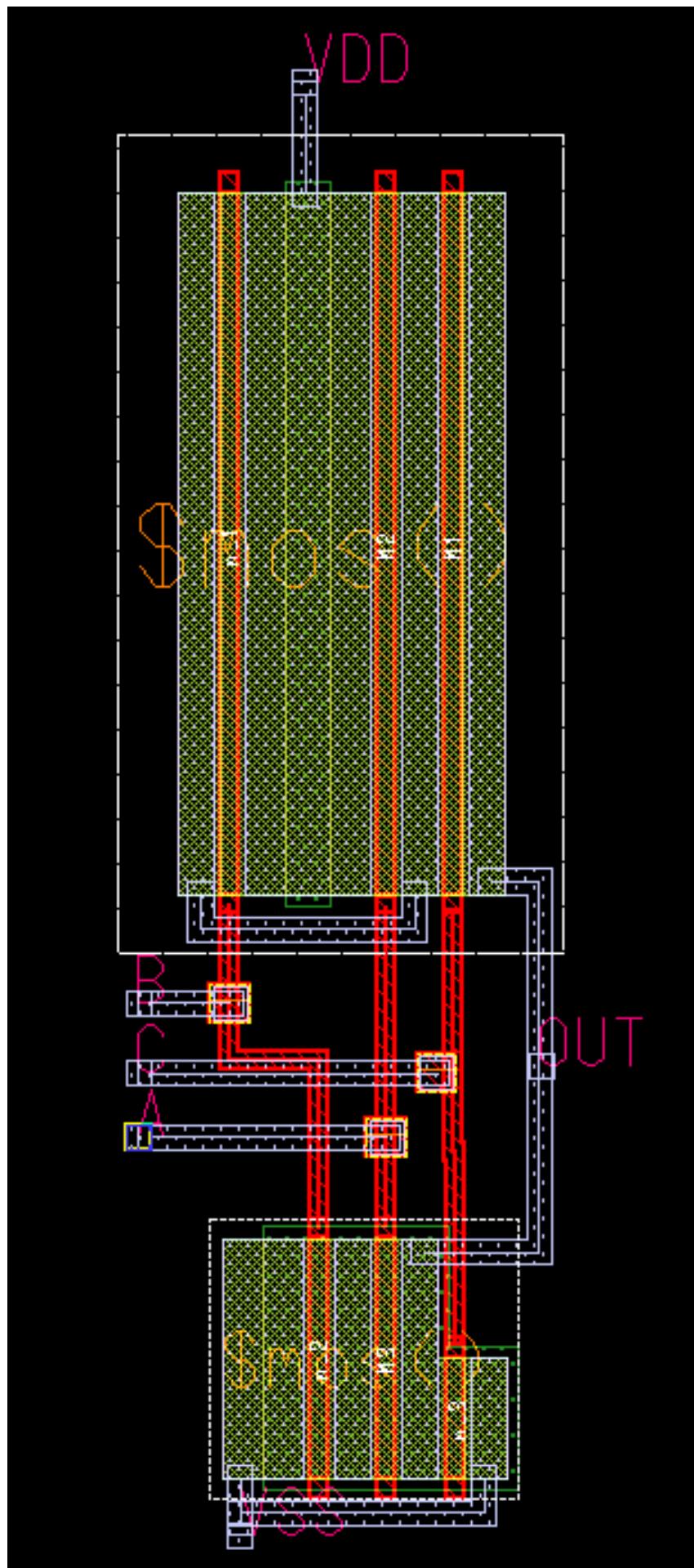
Para determinar as dimensões da célula final, o comando **Report > Windows** foi executado no ICStation. A saída do comando fornece as coordenadas do *bounding box* da célula no campo **Cell Extent**: $[[X_{min}, Y_{min}], [X_{max}, Y_{max}]]$.

As coordenadas obtidas para a célula final foram:

Cell Extent: $[[15.800, 20.519], [34.993, 51.100]]$

A partir dessas coordenadas, a largura, altura e área da célula são calculadas:

- Largura = $X_{max} - X_{min} = 34.993 - 15.800 = 19.193 \mu\text{m}$
- Altura = $Y_{max} - Y_{min} = 51.100 - 20.519 = 30.581 \mu\text{m}$
- Área = Largura \times Altura = $19.193 \times 30.581 \approx 587.15 \mu\text{m}^2$



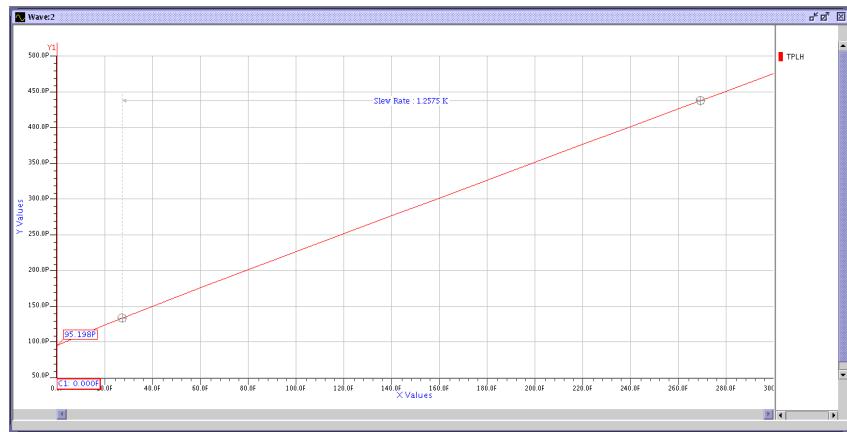


Figure 5: Atraso de Propagação de Subida (t_{PLH}) vs. Carga(Extraído do Layout).

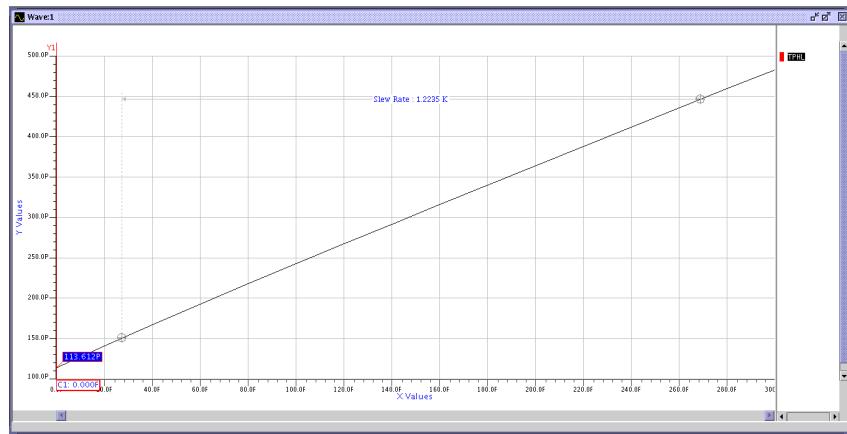


Figure 6: Atraso de Propagação de Descida (t_{PHL}) vs. Carga(Extraído do Layout).

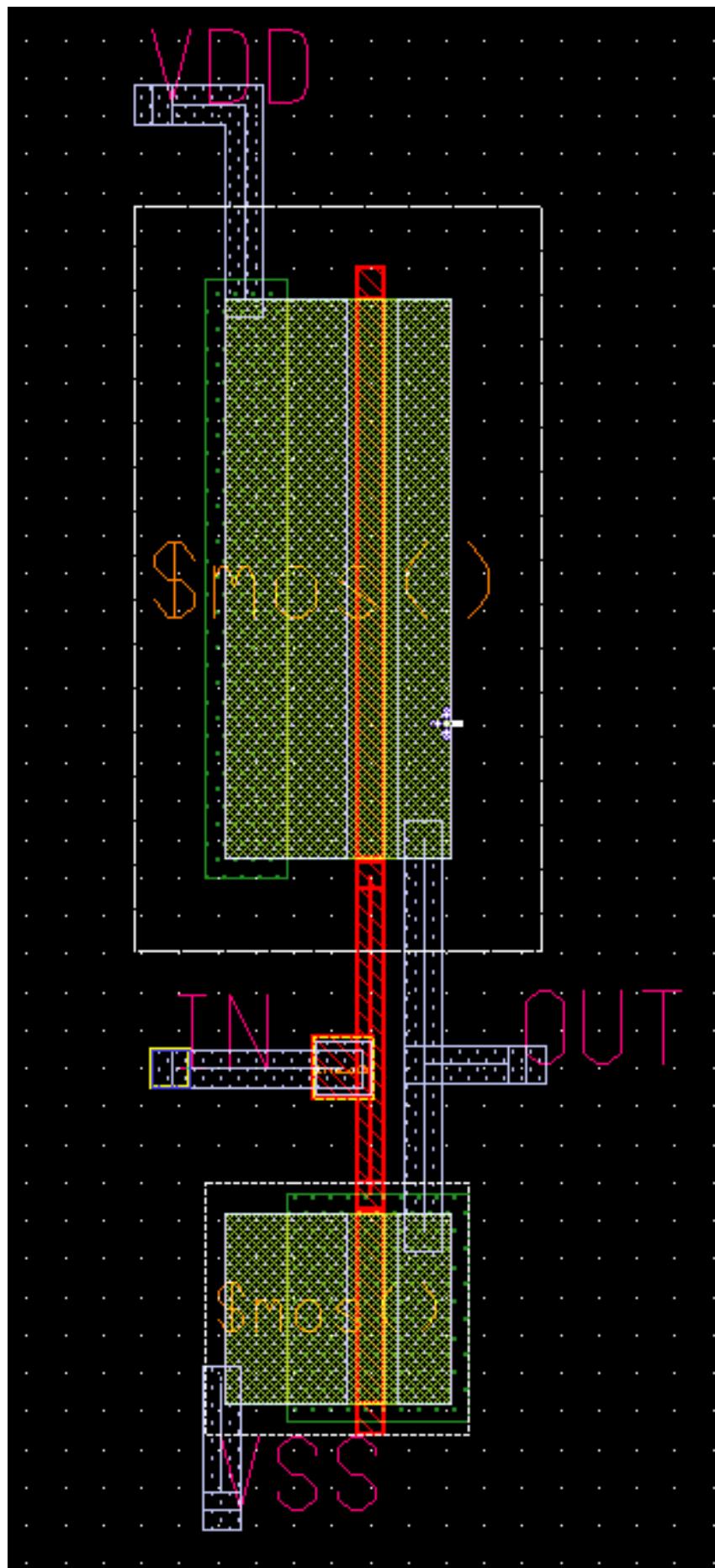


Figure 7: Layout do inverter CMOS.
12

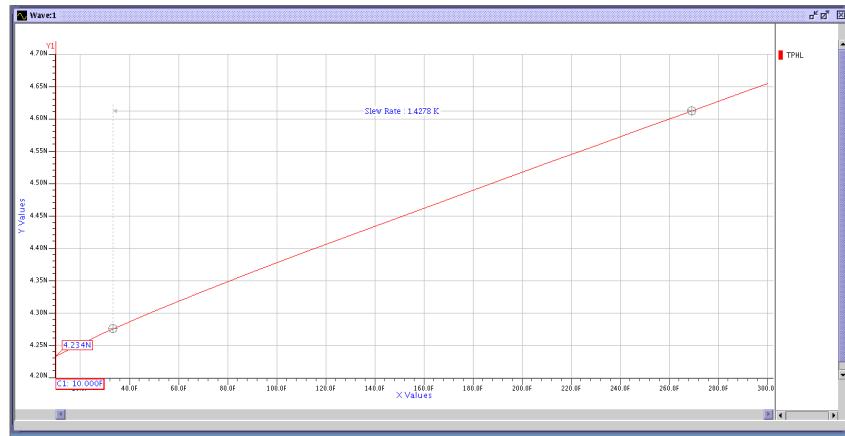


Figure 8: Atraso de subida vs. Carga para (ab+c) - Esquemático.

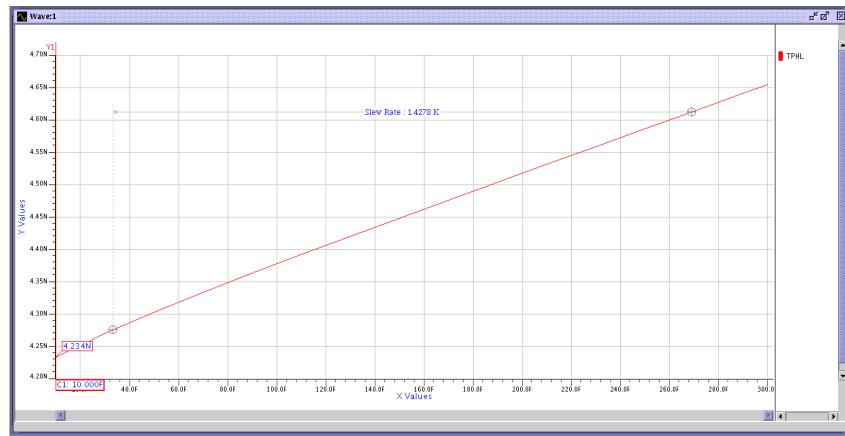


Figure 9: Atraso de descida vs. Carga para (ab+c) - Esquemático.

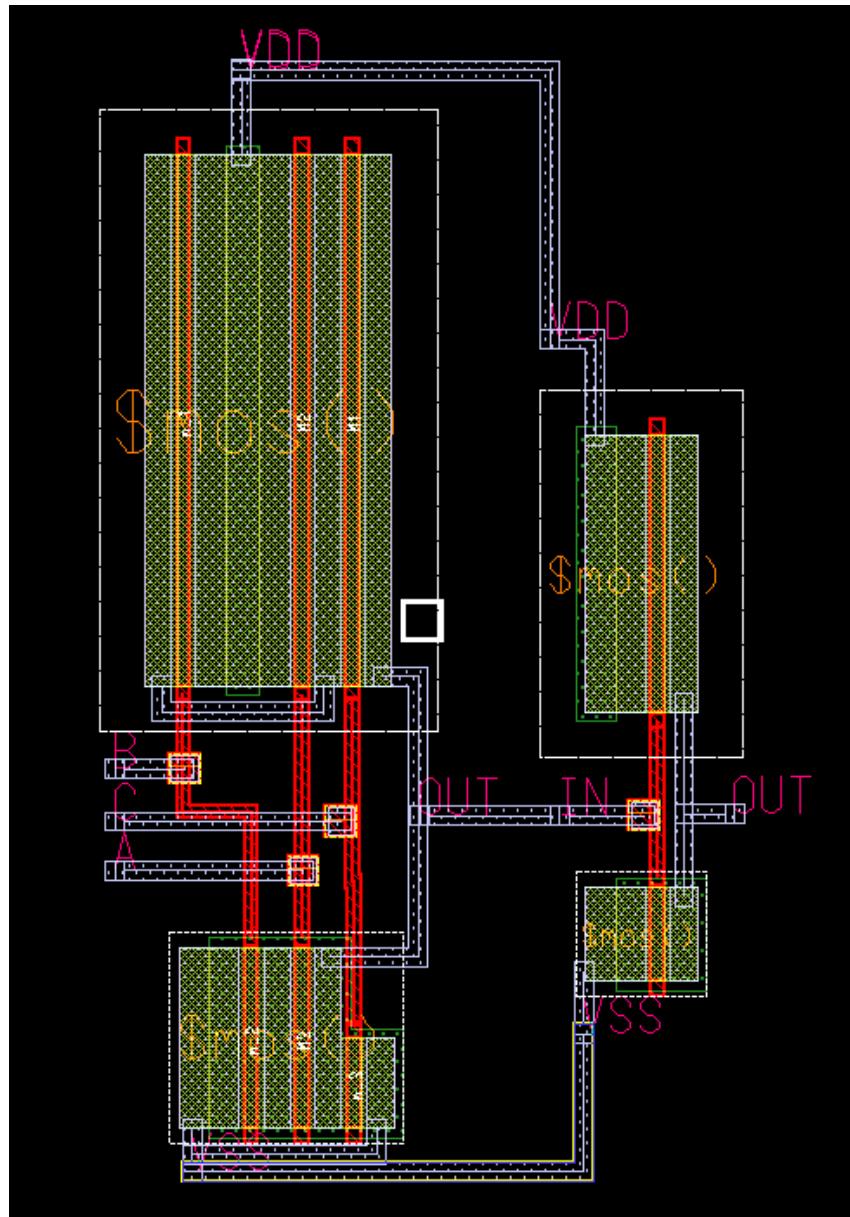


Figure 10: Layout da célula (ab+c).

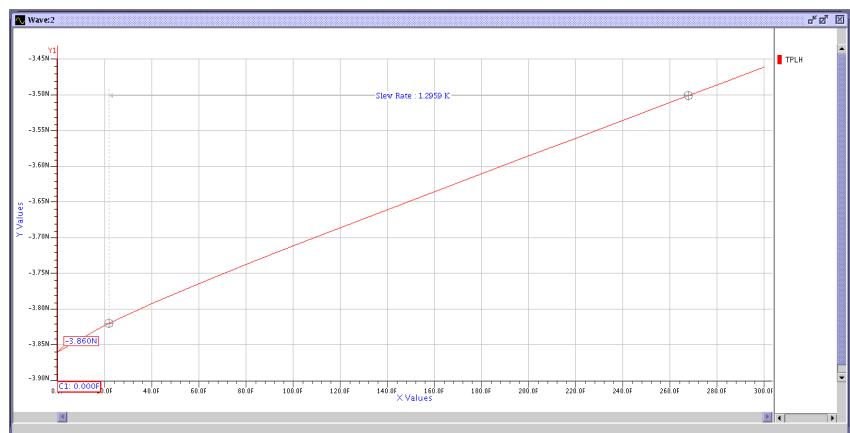


Figure 11: Atraso de subida vs. Carga para (ab+c) - Layout.

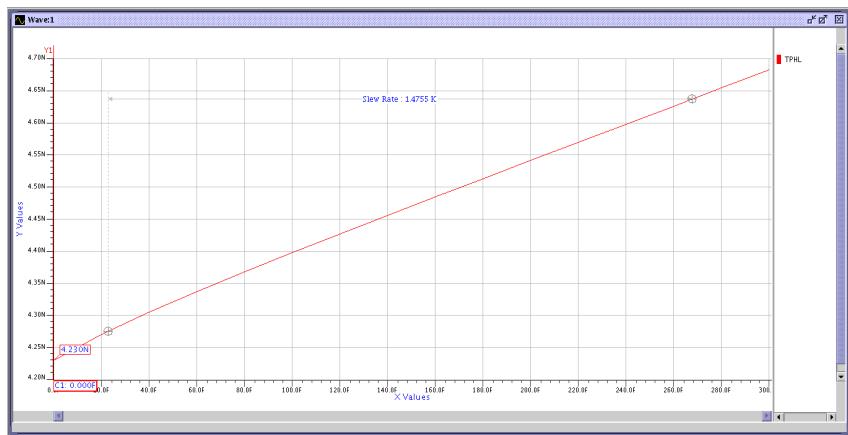


Figure 12: Atraso de descida vs. Carga para (ab+c) - Layout.

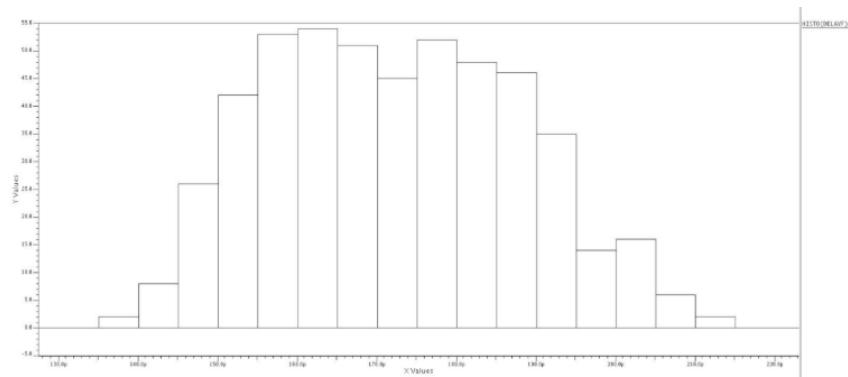


Figure 13: Histograma de Atraso de Descida (delayF)

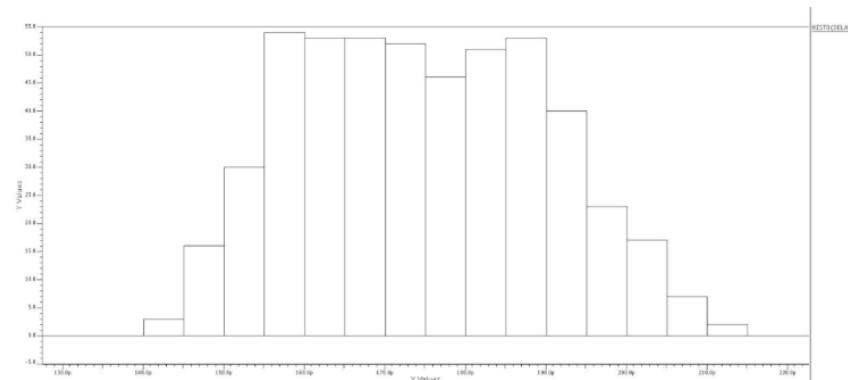


Figure 14: Histograma de Atraso de Subida (delayF)