

Data: 10/11/2016

Observações Gerais:

1. Não esqueça de colocar nome e turma, tanto na folha de perguntas como na de respostas.
2. Respostas sem justificativas serão desconsideradas.
3. É proibido abrir qualquer programa que acesse a internet.

5 _____
6 _____
7 _____
8 _____
9 _____
10 _____
TOTAL:

- a. Criar um novo projeto, dentro do diretório **work**, na raiz de sua conta, com o nome **prova16Bxxx**, onde xxx são as iniciais do seu nome (exemplo, **prova16Bjns** para aluno João Navarro Soares). Use o comando

ams_ics -p prova16Bxxx -t c35b4c3

obs: use apenas letras minúsculas em todos os nomes utilizados.

- b. Dentro do projeto crie um novo diretório de biblioteca com o nome **cellxxx**, onde xxx são as iniciais do seu nome (use apenas letras minúsculas).
- c. Também crie dentro do diretório **prova16Bxxx.proj** outro diretório chamado **resultados** (> **mkdir resultados**). Neste novo diretório devem ser colocados arquivos relevantes, por exemplo, arquivos de simulação, etc.

Nome de seu projeto: _____

Considere uma **porta CMOS** estática que realiza a função lógica $D = \neg((A+B).C)$ (o símbolo " \neg " indica negação). Suponha que as dimensões dos **transistores NMOS** são **todas iguais**; o mesmo acontece com os **transistores PMOS**. Para os transistores NMOS temos $W_N = 3 \mu\text{m}$.

1. Faça o circuito **esquemático** da **porta CMOS** e gere seu **símbolo**. **Faça todas as verificações necessárias** no esquemático e no símbolo não deixando nenhum erro ou **warning**. As dimensões dos transistores **PMOS** devem ser escolhidas de forma que o pior tempo de propagação de subida t_{PLH} , **seja igual** ao pior tempo de propagação na descida, $t_{PLH}(1,0)$.

$W_P = \underline{\hspace{2cm}} \mu\text{m}$

$L_P = \underline{\hspace{2cm}} \mu\text{m}$

(ao terminar mostrar ao prof.)



6. Por simulação a partir do *netlist* do esquemático, determine o **fator M de divisão** do circuito e a máxima frequência de operação. Utilize para isso $V_{DD} = 3,0 \text{ V}$, modelo típico e como *clock* uma onda quadrada com tempo de subida/descida de 15% do período (1,0).
 - (ao terminar mostrar ao prof.)
7. Gerar o *layout* a partir do esquemático do contador. Faça isso com o **método automático para *standard cells***. Tome cuidado para que o *layout* seja bem feito. Faça a verificação com o **DRC**, eliminando todos os erros, e execute o **LVS com Calibre** (1,5).
 - (ao terminar mostrar ao prof.)
8. Extrair o circuito de simulação a partir do *layout* (opção R+C+CC). Determine a máxima frequência de operação. Utilize para isso $V_{DD} = 3,0 \text{ V}$, modelo típico e como *clock* uma onda quadrada com tempo de subida/descida de 10% do período (1,0).
 - (ao terminar mostrar ao prof.)
9. Projete uma fonte de corrente de _____ para $V_{DD} = 2,6 \text{ V}$. O circuito deve **funcionar para tensões na saída** (dreno do transistor de saída) tão altas quanto ($V_{DD} - 0,5 \text{ V}$) e ter uma boa estabilidade com V_{DD} (utilize no projeto a melhor topologia vista). Topologia utilizada, cálculos e valores encontrados devem ser colocados na prova (1,0).
10. Faça o circuito **esquemático** da fonte projetada e **extraia o *netlist* para simulação**. Faça uma simulação do com a temperatura, variando entre -10°C e 100°C , para ver o comportamento da fonte. Faça uma simulação do tipo **tran** e mostre, com **condições iniciais apropriadas**, que há a **necessidade** de um circuito de **start up** ($V_{DD} = 3,0 \text{ V}$) (1,0).
 - (ao terminar mostrar ao prof.)

manual do ELDO: local/tools/mentor/shared/pdfdocs/eldo_ur.pdf

manual do Mentor-ELDO: local/tools/mentor/shared/pdfdocs/eldo_ur.pdf

modelos dos transistores: /local/tools/dkit/ams_3.70_mgc/eldo/c35.