

NOTA	
1.	_____
2.	_____
3.	_____
4.	_____
5.	_____
6.	_____
7.	_____
8.	_____
9.	_____
10.	_____
TOTAL:	

Observações Gerais:

Respostas sem ou com más justificativas serão desconsideradas. É proibido abrir qualquer programa que acesse a internet. É proibido reproduzir as folhas de questões. Caso o aluno faça isso, a sua nota será zerada. Todos os resultados, cálculos, esquemáticos, conclusões, e suposições pertinentes devem ser transcritos com a maior completude possível na folha de prova para pontuar, já que sem isso o OK não garante pontuação nenhuma.

- 1 – Conceber um circuito em CMOS que implemente a função

$a.(b+c)$ , sabendo que as dimensões dos PMOS são  $W_p=15\mu\text{m}$  e  $L_p=0.35\mu\text{m}$  e o pior tempo de subida seja próximo ao melhor tempo de descida. Por concepção entende-se (i) desenhar o circuito esquemático e (ii) calcular as dimensões dos NMOS, sendo  $L_n=L_p$ . Todos os passos tem de ser justificados para pontuação completa. [1.3].

- 2 - Fazer o circuito esquemático da porta e gerar o símbolo. Fazer todas as verificações necessárias no esquemático e no símbolo não deixando nenhum erro ou aviso. Caso o item anterior não tenha sido feito, usar  $W_n=5\mu\text{m}$  para os NMOS. [0.2].

**<Mostrar ao professor quando terminar>**

- 3 – Gerar o *layout* a partir do esquemático da porta. Fazer isso com o método automático e ter cuidado para o *layout* ficar bem feito e sem desperdícios de área. Fazer a verificação com o DRC calibre, eliminando todos os erros e executar o LVS calibre. [0.5].

**<Mostrar ao professor quando terminar>**

- 4 – Extrair o circuito a partir do *layout* usando a opção C+CC. Colocar o sinal *b* em  $V_{dd}=3V$ . Simular para uma onda quadrada com  $c=a$  e tempo de subida/descida de 0.2ns. Gerar os gráficos de saída e da (potência consumida) $\times C_L$  onde  $C_L$  é a capacitância de carga (tomar pelo menos cinco valores de capacitâncias). Simular com o modelo *worst-power*. Ajustar os parâmetros de simulação adequados à entrada usada. [1.0].

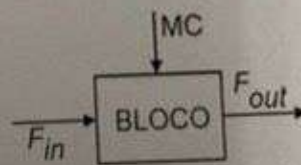
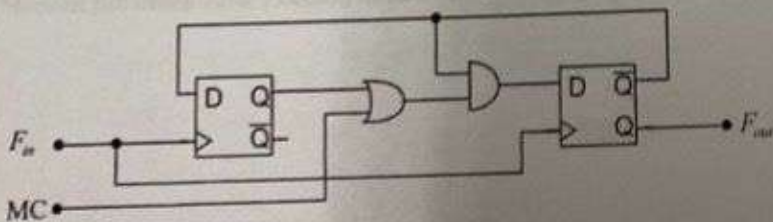
**<Mostrar ao professor quando terminar>**

- 5 - Construir o esquemático, o símbolo e o *layout* do seguinte circuito, usando as células DF1, NAND21, NOR21 e INV1 da biblioteca CORELIB.

O Flip-Flop D usa a célula DF1, enquanto o AND e o OR usam, respectivamente, o NAND21 seguido do INV1 e o NOR21 seguido do INV1.

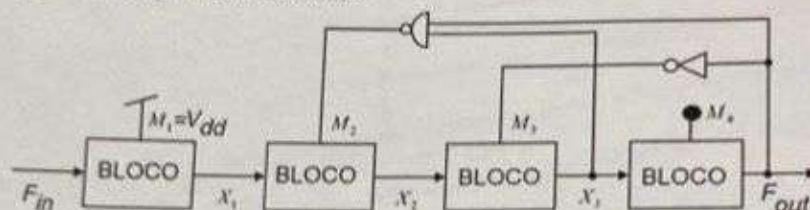
Os erros de layout devem ser eliminados usando o DRC calibre e o LVS calibre.

**<Mostrar ao professor quando terminar>**



6 – Construir o esquemático seguinte usando o bloco hierárquico (BLOCO) da questão anterior e usando as células NAND21 e INV1 da biblioteca CORELIB. [1.0].

<Mostrar ao professor quando terminar>



7 – Gerar o layout a partir do esquemático do contador. Fazer isso com o método automático para standard cells e ter cuidado para o layout ficar bem feito e sem desperdícios de área. Fazer a verificação com o DRC calibre, eliminando todos os erros e executar o LVS calibre. [1.0].

<Mostrar ao professor quando terminar>

8 – Extrair o circuito de simulação a partir do layout, usando a opção C+CC. Determinar a relação entre as frequências dos sinais  $F_{out}/F_{in}$  para a situação de  $M_3=V_{dd}$  e  $M_4=0V$ , e a máxima frequência do sinal de entrada em que isso ocorre. Utilizar  $V_{dd}=3.3V$ , modelo *worse-power* e como relógio (*clock*) uma onda quadrada com tempo de subida/descida de 10% do período. [1,0]

<Mostrar ao professor quando terminar>

8 – Projetar uma fonte de corrente de  $3\mu A$  para  $V_{dd}=3.3V$ , desenhando, calculando todas as dimensões de transistores e resistências e depois implementar o esquemático no Mentor. Os transistores P devem trabalhar em forte inversão e a fonte deve ter uma boa estabilidade com  $V_{dd}$ . Utilizar no projeto a melhor topologia vista durante o curso. [0,5].

9 – Gerar o layout a partir do esquemático do contador. Fazer isso tendo o cuidado para o layout ficar bem feito e sem desperdícios de área. Fazer a verificação com o DRC calibre. [1.0].

<Mostrar ao professor quando terminar>

10 – Extrair o netlist para simulação. Fazer uma simulação DC variando a tensão de alimentação desde 0V até 3V para comprovar o funcionamento. Fazer uma simulação do tipo *transient* e mostrar com condições iniciais apropriadas que há a necessidade de um circuito de arranque (*start-up*) e não esquecer que a tensão de alimentação é de  $V_{dd}=3V$ . [0,5]

Manual do ELDO: /local/tools/mentor/shared/pdfdocs/elddo\_ur.pdf

Manual do Mentor-ELDO: /local/tools/mentor/shared/pdfdocs/elddo\_ur.pdf

Modelos dos transistores: /local/tools/dkit/mas\_3.70\_mgc/elddo/c35