

Prova 2022a - Circuitos Integrados Digitais I

Considerar uma porta CMOS estática que realiza a função lógica $\overline{(a \cdot b + c)}$. Supor que as dimensões dos NMOS são todas iguais, acontecendo o mesmo com os PMOS. Para os NMOS tem-se $W_n = 4\mu m$.

1. Fazer o circuito esquemático da porta CMOS e gerar o símbolo. Fazer todas as verificações necessárias no esquemático e no símbolo, não deixando nenhum erro ou aviso. As dimensões dos PMOS devem ser escolhidas de forma que o pior tempo de subida seja igual ao melhor tempo de descida.
2. Gerar a partir do esquemático o layout da porta tomando cuidado para que este seja bem feito. Fazer a verificação com o DRC, eliminando todos os erros, e executar o LVS calibre (podem restar apenas os erros normalmente ignorados em aula; na dúvida perguntar ao professor).

Se não respondeu à questão anterior, $W_n = 4\mu m$, $W_p = 12\mu m$ e $L_n = L_p = 0.35\mu m$.

3. Extrair o circuito de simulação a partir do layout, usando a opção R+C+CC. Fazer uma simulação de Monte Carlo com 75 pontos. Na simulação determinar e apresentar graficamente os tempos de subida e descida para as seguintes condições: $V_{DD} = 2.8V$, $C_L = 25fF$, $A = 3V$, $B = 0V$ e C sendo uma onda quadrada com $3ns$ de período e $0.2ns$ de tempo de subida e descida. Ajustar os parâmetros no comando de simulação para serem adequados às entradas usadas. Calcular também a área ocupada pela célula.

4. Acrescentar PADS ao layout para V_{DD} e V_{SS} . Eliminar erros e verificar com DRC.

5. Considerar o esquemático da Figura 1. É um circuito contador onde o sinal de saída tem frequência igual ao do sinal de relógio (clock) dividida por um fator M . Fazer o esquemático do circuito e gerar o seu símbolo. Fazer todas as verificações necessárias no esquemático e no símbolo, não deixando nenhum erro ou aviso.

circuito de arranque (start-up) e não esquecer que a tensão de alimentação é de $V_{DD} = 3.0V$.