

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
Departamento de Engenharia Elétrica e de Computação

Relatório 2

SEL0621 - Projeto de Circuitos Integrados Digitais

Professor:

Prof. Dr. João Navarro Soares Júnior
navarro(at)sc.usp.br

Alunos:

Felipi Adenildo Soares Sousa
NUSP: 10438790
Marcos Antonio Nobre Coutinho
NUSP: 10716397

São Carlos - SP
13 de novembro de 2025

Sumário

Introdução	1
Resolução das Questões	2
Questão 1	2
Questão 2	4
Questão 3	6
Questão 4	10
Questão 5	13
Questão 6	14
Questão 7	15
Questão 8	18
Questão 9	21
Questão 10	23
Questão 11	24
Questão 12	31
Questão 13	34
Questão 14	35
Questão 15	36
Questão 16	39
Questão 17	44
Questão 18	46
Questão 20	48
Questão 21	50
Questão 22	52
Questão 23	53
Questão 24	54
Questão 25	57
Questão 26	63
Questão 27	66
Referências Bibliográficas	69

Lista de Tabelas

1	Tabela de restrições calculadas para as dimensões (W/L) dos transistores.	13
2	Tabela de dimensões finais escolhidas para os transistores do projeto.	14
3	Tabela de dimensões finais escolhidas para os transistores do projeto reprojetado.	26
4	Tabela de dimensões e valores finais para a fonte de tensão de referência.	59

Listings

1	Netlist final utilizado para a simulação DC da fonte de corrente.	15
2	Netlist para a simulação de varredura do comprimento L_2 dos PMOS.	24
3	Netlist para a simulação de varredura do resistor R.	25
4	Netlist final para a simulação DC do circuito reprojetado.	25
5	Netlist para simulação de transitório com condição inicial forçada.	31
6	Netlist para simulação da corrente de saída nominal pós-layout.	39
7	Netlist para simulação Monte Carlo.	40
8	Netlist para determinar a tensão de saída mínima.	40
9	Netlist para simulação com varredura de temperatura.	44
10	Netlist para simulação AC (análise de PSRR).	48
11	Netlist para caracterização de V_{BE} vs. Temperatura.	54
12	Netlist para otimização de R2.	57
13	Netlist para verificação da razão de correntes.	58
14	Netlist para a simulação final de Vref vs. Temp.	58
15	Netlist para análise de VREF vs. Temp para diferentes VDD.	66

Lista de Figuras

1	(a) Espelho de corrente convencional. (b) Espelho de corrente de Wilson.	6
2	Modelo a pequenos sinais do espelho de corrente convencional da Figura 1(a). . .	7
3	Modelo a pequenos sinais do espelho de corrente de Wilson da Figura 1(b). . . .	8
4	Circuito gerador de corrente de referência.	10
5	Gráfico da simulação DC. As correntes nos transistores M3 e na soma de M4 (M41+M42) são mostradas em função da tensão de alimentação VDD.	17
6	Gráfico da simulação de varredura para ajuste do resistor R. A corrente de saída I_S (eixo Y) é mostrada em função da resistência R (eixo X) com V_{DD} fixo em 3,0 V. A linha do cursor indica o valor de R que resulta em $I_S = 1,9 \mu A$	19
7	Gráfico final da corrente de saída I_S em função da tensão de alimentação V_{DD} , após o ajuste do resistor R para $13,099 k\Omega$. O cursor confirma que $I_S = 1,9 \mu A$ quando $V_{DD} = 3,0 V$	20
8	Análise gráfica para determinação da faixa de operação de V_{DD} . As linhas horizontais representam os limites de corrente de $\pm 2\%$ em torno do valor nominal de $1,9 \mu A$	22
9	Esquemático do circuito gerador de corrente reprojetado, com espelho de corrente de Wilson.	27
10	Corrente de saída I_S para $V_{DD} = 2,8 V$ (curva sólida) e $V_{DD} = 3,2 V$ (curva pontilhada), em função do comprimento L_2 dos transistores PMOS.	28
11	Gráfico da simulação de varredura para ajuste do resistor R. A corrente de saída I_S é mostrada em função da resistência R, indicando o valor necessário para obter $I_S = 1,9 \mu A$ em $VDD=3V$	29
12	Gráfico final $I_S \times V_{DD}$ do circuito reprojetado. A curva mais plana na região de operação demonstra a sensibilidade reduzida a variações de V_{DD}	30
13	Simulação de transitório mostrando a falha de start-up. Com a condição inicial de $V(B)=3V$, a corrente de saída I_S permanece em zero e não converge para o valor de operação.	33
14	Exemplo de layout para um resistor do tipo RPOLYH. Fonte: ENG-183.	35
15	Layout final do circuito gerador de corrente de referência, com as devidas verificações de DRC e LVS.	38
16	Corrente de saída I_S em função da tensão de alimentação V_{DD} , para o circuito extraído a partir do layout.	41
17	Histograma do número de resultados da corrente de saída para 500 simulações Monte Carlo com $V_{DD} = 3,0 V$	42
18	Corrente de saída em função da tensão aplicada na saída, para $V_{DD} = 3 V$	43
19	Gráfico da corrente de saída (I_S) em função da temperatura, obtido a partir da simulação do circuito extraído.	47

20	Gráfico da PSRR: Magnitude da corrente de saída (dB) vs. Frequência (Hz), obtido da simulação da Questão 20.	51
21	Gráfico da tensão V_{BE} (V) em função da Temperatura ($^{\circ}\text{C}$) para o transistor VERT10 polarizado com $1,9 \mu\text{A}$	56
22	Esquemático da fonte de tensão de referência. O bloco "CIRCUIT"corresponde à fonte de corrente projetada.	59
23	Coeficiente de Temperatura (ppm/ $^{\circ}\text{C}$) em função do valor de R_2 (Ω).	60
24	Razão entre as correntes I_{R2} e I_{R1} em função do valor de R_2 (Ω).	61
25	Comportamento final de V_{REF} (V) em função da Temperatura ($^{\circ}\text{C}$) com R2 otimizado.	62
26	Coeficiente de Temperatura (ppm/ $^{\circ}\text{C}$) em função do comprimento de R_2 (μm), para o circuito extraído a partir do layout.	64
27	Layout final da fonte de tensão de referência bandgap, com R2 ajustado para o TC especificado.	65
28	Layout final do circuito completo com os pads de alimentação e saída.	67
29	Tensão de saída V_{REF} (V) em função da Temperatura ($^{\circ}\text{C}$). De cima para baixo, as curvas correspondem a $V_{DD} = 3,0 \text{ V}$, $V_{DD} = 2,5 \text{ V}$ e $V_{DD} = 2,0 \text{ V}$	68

Introdução

Este relatório apresenta a resolução de uma série de exercícios práticos da disciplina de SEL0621 - Projeto de Circuitos Integrados Digitais I. O objetivo principal é aplicar os conceitos de projeto e simulação de circuitos integrados analógicos utilizando as ferramentas de EDA (Electronic Design Automation) da Mentor Graphics: Design Architect para a elaboração dos esquemáticos, ICStation para o desenvolvimento do layout, e EZWave para a análise e visualização das formas de onda resultantes das simulações.

Serão abordados temas como a operação do transistor MOS em inversão fraca e o cálculo de sua transcondutância (g_m). Com base nesses conceitos, será projetada uma fonte de corrente de referência com comportamento Proporcional à Temperatura Absoluta (PTAT), utilizando espelhos de corrente para sua implementação. A fonte de corrente será analisada através de simulações DC, de varredura de temperatura, AC para verificação da rejeição à fonte de alimentação (PSRR), e Monte Carlo para análise estatística. O projeto físico será realizado, incluindo a criação do layout com técnicas de casamento de componentes. Posteriormente, será caracterizado o comportamento Complementar à Temperatura Absoluta (CTAT) da tensão V_{BE} de um transistor bipolar parasita. Finalmente, a fonte de corrente PTAT e a tensão V_{BE} CTAT serão combinadas para projetar e implementar uma fonte de tensão de referência do tipo bandgap, buscando um coeficiente de temperatura próximo de zero. O projeto culmina na adição de pads de alimentação ao layout final.

Resolução das Questões

Questão 1

Enunciado: O valor de g_m do transistor MOS varia de acordo com sua região de operação. Na região de forte inversão temos que $g_m = \sqrt{2I_D\mu C_{ox}\frac{W}{L}} = \frac{2I_D}{V_{GS}-V_T}$ e na região de inversão moderada $g_m \approx \frac{I_D}{nU_T\sqrt{1+LIM}}$. Determine o valor de g_m para o transistor operando na região de fraca inversão com $V_D \gg U_T$ e $n = 1$.

Obs: $g_m = \frac{\partial I_D}{\partial V_{GS}}$

Resposta:

Na região de **fraca inversão**, a corrente de dreno (I_D) de um transistor MOS para $V_D \gg U_T$ pode ser descrita pela seguinte equação, que é dominada pelo mecanismo de difusão de portadores:

$$I_D = \frac{W}{L} I_{D0} e^{\frac{V_{GS}}{nU_T}} \quad (1)$$

Onde:

- I_{D0} é uma corrente específica da tecnologia.
- n é o fator de inclinação de sublimiar (*subthreshold slope factor*).
- U_T é a tensão térmica, dada por kT/q (aproximadamente 26 mV à temperatura ambiente).

A transcondutância (g_m) é definida como a variação da corrente de dreno em relação à tensão porta-fonte (V_{GS}). Aplicando a definição matemática a partir da Equação 1:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left(\frac{W}{L} I_{D0} e^{\frac{V_{GS}}{nU_T}} \right) \quad (2)$$

Os termos $\frac{W}{L}$ e I_{D0} são constantes em relação a V_{GS} . Derivando a função exponencial, obtemos:

$$g_m = \left(\frac{W}{L} I_{D0} e^{\frac{V_{GS}}{nU_T}} \right) \cdot \frac{1}{nU_T}$$

Note que o termo entre parênteses é a própria expressão original da corrente I_D , conforme a Equação 1. Substituindo-o de volta, a expressão para a transcondutância é simplificada:

$$g_m = \frac{I_D}{nU_T} \quad (3)$$

Para a condição específica do enunciado, onde $n = 1$, a expressão final se torna:

$$g_m = \frac{I_D}{U_T} \quad (4)$$

Este resultado é fundamental para a operação em fraca inversão, pois demonstra que a transcondutância é diretamente proporcional à corrente de polarização e independe das dimensões (W/L) do transistor. Isso significa que, para uma dada corrente, um transistor nesta região oferece a máxima eficiência de transcondutância (g_m/I_D) possível.

Questão 2

Enunciado: Mostre que para uma corrente igual a $I_{D\text{lim}}$ os valores de g_m calculados considerando o transistor em fraca ou forte inversão coincidem.

Resposta:

Para demonstrar a continuidade da transcondutância (g_m) na transição entre as regiões de fraca e forte inversão, vamos partir das expressões de g_m em cada região e encontrar a condição em que elas se igualam.

1. g_m em Fraca Inversão (Weak Inversion - WI):

Conforme derivado na Questão 1, a transcondutância nesta região é:

$$g_{m,\text{fraca}} = \frac{I_D}{nU_T} \quad (5)$$

2. g_m em Forte Inversão (Strong Inversion - SI):

Na região de saturação, a transcondutância é dada por (conforme o enunciado da Questão 1):

$$g_{m,\text{forte}} = \frac{2I_D}{V_{GS} - V_T} \quad (6)$$

O ponto de transição entre as duas regiões ocorre em uma corrente limite, $I_{D\text{lim}}$. Para que os modelos coincidam, os valores de g_m calculados por ambas as fórmulas (Equação 5 e Equação 6) devem ser iguais para esta corrente. Portanto, igualamos as duas expressões:

$$g_{m,\text{fraca}} = g_{m,\text{forte}} \quad \text{para} \quad I_D = I_{D\text{lim}}$$

$$\frac{I_{D\text{lim}}}{nU_T} = \frac{2I_{D\text{lim}}}{V_{GS} - V_T}$$

Assumindo que a corrente de limite é maior que zero ($I_{D\text{lim}} > 0$), podemos dividir ambos os lados por $I_{D\text{lim}}$, o que revela a condição sobre a tensão de overdrive ($V_{GS} - V_T$) no ponto de transição:

$$\frac{1}{nU_T} = \frac{2}{V_{GS} - V_T}$$

Isolando o termo de overdrive, obtemos a condição de coincidência:

$$V_{GS} - V_T = 2nU_T \quad (7)$$

Isso demonstra que os valores de g_m calculados pelos dois modelos são idênticos precisamente no ponto em que a tensão de overdrive é igual a 2n vezes a tensão térmica.

Podemos, ainda, encontrar o valor da corrente de transição ($I_{D\text{lim}}$) substituindo a condição da Equação 7 na equação de corrente para forte inversão:

$$\begin{aligned}I_D &= \frac{1}{2}\mu C_{\text{ox}} \frac{W}{L} (V_{\text{GS}} - V_T)^2 \\I_{D\text{lim}} &= \frac{1}{2}\mu C_{\text{ox}} \frac{W}{L} (2nU_T)^2 = 2\mu C_{\text{ox}} \frac{W}{L} (nU_T)^2\end{aligned}\quad (8)$$

Esta é a expressão para a corrente de limite que define a fronteira entre as regiões, validando a consistência do modelo.

Questão 3

Enunciado: Considere os dois espelhos de corrente apresentados na Figura 1. Um deles é um espelho convencional e o outro é um espelho de corrente de Wilson.

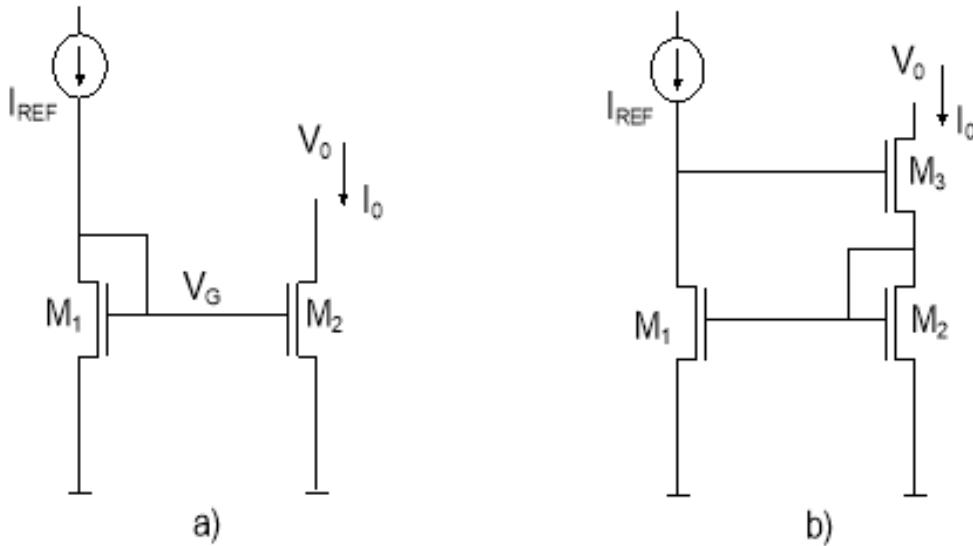


Figura 1: (a) Espelho de corrente convencional. (b) Espelho de corrente de Wilson.

- 3.1 Em que circunstância, no espelho convencional, a corrente de saída I_o é exatamente igual à corrente I_{REF} .
- 3.2 Determine a impedância de saída do espelho convencional.
- 3.3 Caso este valor for pequeno qual é a consequência? Como ele pode ser aumentado?
- 3.4 Determine a impedância de saída do espelho de Wilson e mostre que é aproximadamente igual a $\frac{v_o}{i_o} \approx \frac{g_{m1}}{g_{o1}} \frac{g_{m3}}{g_{m2}} \frac{1}{g_{o3}} \approx \frac{g_{m1}}{g_{o1}} \frac{1}{g_{o3}}$ para o caso onde M_2 é igual a M_3 (ignore o efeito de corpo).
- 3.5 Compare a impedância de saída das duas configurações. Qual é maior?
- 3.6 Qual a desvantagem do espelho de Wilson?

Resposta:

3.1 Em que circunstância, no espelho convencional, a corrente de saída I_o é exatamente igual à corrente I_{REF} .

A corrente de saída I_o é uma cópia exata da corrente I_{REF} quando as seguintes condições ideais são atendidas:

- **Casamento Perfeito:** Os transistores M_1 e M_2 devem ser idênticos, ou seja, suas razões de aspecto (W/L) devem ser iguais e seus parâmetros de processo devem ser os mesmos.

- **Saturação:** Ambos os transistores devem estar operando na região de saturação.
- **Modulação de Canal Idêntica:** O efeito de modulação do comprimento de canal deve ser o mesmo para ambos. Idealmente, isso ocorre quando $\lambda = 0$, mas na prática, exige que as tensões dreno-fonte sejam iguais ($V_{DS1} = V_{DS2}$).

3.2 Determine a impedância de saída do espelho convencional.

Para determinar a impedância de saída (Z_o), analisamos o modelo de pequenos sinais do circuito, visto a partir do nó de saída, conforme ilustrado na Figura 2. Consideramos uma fonte de tensão de teste V_o aplicada à saída, que resulta em uma corrente I_o . A impedância será $Z_o = V_o/I_o$.

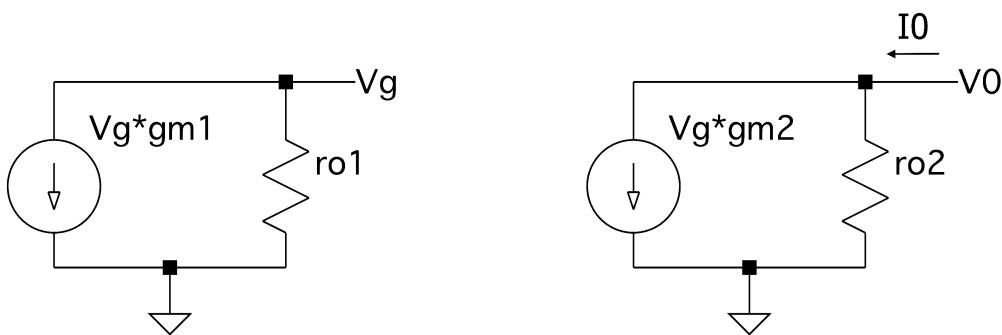


Figura 2: Modelo a pequenos sinais do espelho de corrente convencional da Figura 1(a).

Analizando o nó V_G (que é o mesmo que V_{GS} pois o source está no terra), aplicamos a Lei de Kirchhoff das Correntes:

$$\frac{V_{GS}}{r_{o1}} + g_{m1}V_{GS} = 0 \implies V_{GS} \left(\frac{1}{r_{o1}} + g_{m1} \right) = 0$$

Como $(1/r_{o1} + g_{m1})$ é diferente de zero, a única solução é $V_{GS} = 0$. Com $V_{GS} = 0$, a fonte de corrente dependente no lado da saída ($g_{m2}V_{GS}$) torna-se zero (um circuito aberto). A corrente de teste I_o flui apenas através da resistência de saída r_{o2} . Assim, pela Lei de Ohm:

$$V_o = I_o \cdot r_{o2} \implies Z_o = \frac{V_o}{I_o} = r_{o2}$$

Portanto, a impedância de saída do espelho convencional é simplesmente a resistência de saída do transistor M_2 .

$$Z_o = r_{o2} \quad (9)$$

3.3 Caso este valor for pequeno qual é a consequência? Como ele pode ser aumentado?

- **Consequência:** Uma impedância de saída pequena (r_{o2} pequeno) é indesejável, pois significa que a corrente de saída I_o será mais sensível a variações na tensão do nó de saída (V_o). Isso faz com que o circuito se comporte menos como uma fonte de corrente ideal, que deveria ter uma impedância de saída infinita.
- **Como Aumentar:** A impedância pode ser aumentada de duas maneiras principais:
 1. Aumentando o comprimento do canal (L) dos transistores, pois $r_o \propto L$.
 2. Utilizando topologias de circuito mais avançadas que empregam realimentação ou empilhamento de transistores para aumentar a impedância efetiva, como os espelhos de corrente **cascode** ou de **Wilson**.

3.4 Determine a impedância de saída do espelho de Wilson e mostre que é aproximadamente igual a $\frac{g_{m1}}{g_{o1}g_{o3}}$ para o caso onde M_2 é igual a M_3 .

A análise da impedância de saída ($Z_o = V_o/I_o$) é feita a partir do modelo de pequenos sinais do espelho de Wilson, ilustrado na Figura 3.

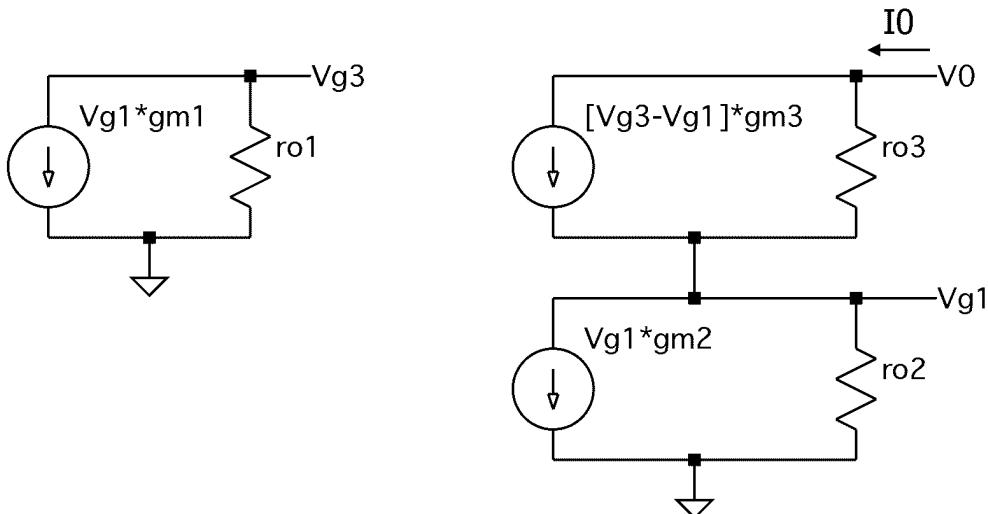


Figura 3: Modelo a pequenos sinais do espelho de corrente de Wilson da Figura 1(b).

Considerando a aproximação prática de que a transcondutância é muito maior que a condutância de saída ($g_m \gg g_o$), a expressão para a impedância de saída pode ser derivada. A expressão completa é complexa, mas após as devidas aproximações, chegamos a:

$$Z_o \approx \frac{g_{m3}g_{m1}}{g_{o3}g_{o1}g_{m2}}$$

Finalmente, para o caso em que os transistores M_2 e M_3 são casados (possuem as mesmas dimensões e estão sob a mesma polarização), temos que $g_{m2} = g_{m3}$. A expressão se simplifica

para:

$$\boxed{Z_o \approx \frac{g_{m1}}{g_{o3}g_{o1}}} \quad (10)$$

3.5 Compare a impedância de saída das duas configurações. Qual é maior?

Comparando os resultados obtidos nas Equações 9 e 10:

- **Espelho Convencional:** $Z_o = r_{o2} = \frac{1}{g_{o2}}$
- **Espelho de Wilson:** $Z_o \approx \frac{g_{m1}}{g_{o3}g_{o1}} = (g_{m1}r_{o1}) \cdot r_{o3}$

A impedância de saída do **espelho de Wilson** é muito maior. Ela é aproximadamente a impedância do espelho convencional (r_{o3}) multiplicada pelo fator de ganho intrínseco de um transistor ($g_{m1}r_{o1}$). Como este ganho é tipicamente muito maior que 1 (geralmente entre 20 e 100), a melhoria na impedância de saída é substancial.

3.6 Qual a desvantagem do espelho de Wilson?

A principal desvantagem do espelho de Wilson é a **tensão de saída mínima** (ou *compliance voltage*) mais elevada. Devido ao empilhamento de transistores (M2 e M3 na Figura 1(b)), a tensão no nó de saída deve ser alta o suficiente para manter ambos em saturação. A tensão mínima na saída é aproximadamente $V_{out,min} \approx V_{GS3} + V_{DSAT2}$, que é maior que a do espelho simples (V_{DSAT2}). Isso reduz a faixa de tensão na qual o circuito pode operar como uma fonte de corrente eficaz, limitando a excursão do sinal de saída.

Questão 4

Enunciado: Considere o circuito da Figura 4. Este circuito é formado pelo espelho de corrente M_3 , M_4 e M_5 e os transistores trabalhando em fraca inversão M_1 e M_2 . Ele serve para gerar uma corrente de referência I_S . Considere que:

- $(W/L)_{M_4}$ é M vezes maior do que $(W/L)_{M_3}$;
- $(W/L)_{M_2}$ é N vezes maior do que $(W/L)_{M_1}$ (ambos os transistores operam em fraca inversão);
- $(W/L)_{M_5}$ é X vezes maior do que $(W/L)_{M_3}$.

Mostre que a corrente de saída tem, quando os transistores M_3 , M_4 e M_5 estão em saturação, a expressão

$$I_s = X \frac{U_T}{R} \ln(MN)$$

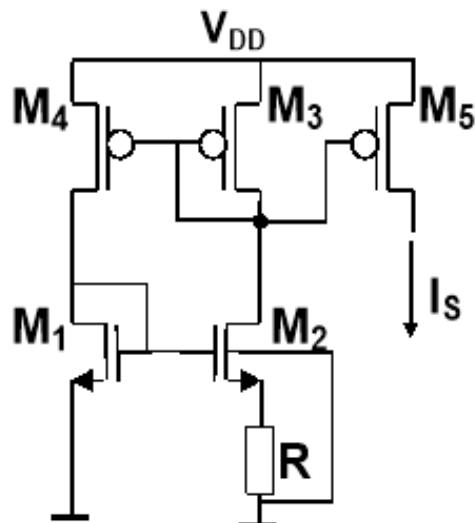


Figura 4: Circuito gerador de corrente de referência.

Resposta:

Para derivar a expressão da corrente de saída I_S , vamos analisar as relações de corrente e tensão no circuito, partindo do princípio que M_1 e M_2 operam em fraca inversão e M_3 , M_4 e M_5 em saturação. A derivação seguirá os passos abaixo.

1. Análise do Espelho de Corrente PMOS:

Os transistores M_3 , M_4 e M_5 formam um espelho de corrente. Assumindo que estão em saturação e desconsiderando a modulação de canal, as correntes de dreno (I_D) são

proporcionais às suas razões de aspecto (W/L), resultando nas seguintes relações:

$$I_{D1} = I_{D4} = \frac{(W/L)_4}{(W/L)_3} \cdot I_{D3} = M \cdot I_{D3} \quad (11)$$

$$I_{D2} = I_{D3} \quad (12)$$

$$I_S = I_{D5} = \frac{(W/L)_5}{(W/L)_3} \cdot I_{D3} = X \cdot I_{D3} \quad (13)$$

2. Análise dos Transistores NMOS em Fraca Inversão:

A corrente em fraca inversão (com $V_D \gg V_S$) é dada por $I_D = I_{spec} \frac{W}{L} e^{V_{GS}/(nU_T)}$. Analisando as tensões V_{GS} para M1 e M2 no circuito da Figura 4:

- M1 e M2 compartilham a mesma tensão de gate, que chamaremos de V_G .
- O source de M1 está aterrado, logo $V_{S1} = 0$. Sua tensão porta-fonte é $V_{GS1} = V_G$.
- O source de M2 está conectado ao resistor R. A corrente que passa por M2 é I_{D2} , logo $V_{S2} = I_{D2} \cdot R$. Sua tensão porta-fonte é $V_{GS2} = V_G - V_{S2} = V_G - I_{D2}R$.

3. Relação das Correntes e Tensões:

Escrevendo as equações de corrente para M1 e M2 (assumindo $n = 1$):

$$I_{D1} = I_{spec}(W/L)_1 e^{V_{GS1}/U_T} = I_{spec}(W/L)_1 e^{V_G/U_T} \quad (14)$$

$$I_{D2} = I_{spec}(W/L)_2 e^{V_{GS2}/U_T} = I_{spec}(N \cdot (W/L)_1) e^{(V_G - I_{D2}R)/U_T} \quad (15)$$

Dividindo a Equação 14 pela Equação 15:

$$\frac{I_{D1}}{I_{D2}} = \frac{I_{spec}(W/L)_1 e^{V_G/U_T}}{I_{spec}(N \cdot (W/L)_1) e^{(V_G - I_{D2}R)/U_T}}$$

Simplificando os termos comuns, obtemos a relação:

$$\frac{I_{D1}}{I_{D2}} = \frac{1}{N} \cdot \frac{e^{V_G/U_T}}{e^{V_G/U_T} \cdot e^{-I_{D2}R/U_T}} = \frac{1}{N} \cdot e^{I_{D2}R/U_T} \quad (16)$$

4. Solução para a Corrente de Saída:

Do passo 1, sabemos pelas Equações 11 e 12 que $I_{D1} = M \cdot I_{D3}$ e $I_{D2} = I_{D3}$. Substituindo esta relação na Equação 16:

$$\frac{M \cdot I_{D3}}{I_{D3}} = \frac{1}{N} \cdot e^{I_{D3}R/U_T}$$

$$M = \frac{1}{N} \cdot e^{I_{D3}R/U_T}$$

Agora, podemos isolar I_{D3} , que é a corrente de referência interna do circuito:

$$\begin{aligned} MN &= e^{I_{D3}R/U_T} \\ \ln(MN) &= \frac{I_{D3}R}{U_T} \\ I_{D3} &= \frac{U_T}{R} \ln(MN) \end{aligned}$$

Finalmente, usando a relação da Equação 13, a corrente de saída I_S é X vezes I_{D3} :

$$I_S = X \frac{U_T}{R} \ln(MN) \quad (17)$$

Questão 5

Enunciado: Considere os valores $M = 2$, $N = 1$ e $X = 1$. Determine através de equações os valores (W/L) dos transistores e de R para que $I_S = 1,9 \mu A$. O circuito deve funcionar para tensões na saída (dreno de M_5) tão altas quanto ($V_{DD} - 0,4 V$). Considere que M_3 , M_4 e M_5 estão em forte inversão.

Resposta:

O projeto se divide em duas etapas: o cálculo do resistor R e o dimensionamento das razões (W/L) para atender às restrições de operação, com base no circuito da Figura 4.

1. Cálculo do Resistor R

A partir da expressão de I_S derivada na Equação 17, com $I_S = 1,9 \mu A$ e a tensão térmica $U_T \approx 26 \text{ mV}$:

$$R = X \frac{U_T}{I_S} \ln(MN) = 1 \cdot \frac{26 \times 10^{-3} \text{ V}}{1,9 \times 10^{-6} \text{ A}} \cdot \ln(2 \cdot 1)$$

$$R \approx 9485 \Omega$$

O valor do resistor de polarização será $R \approx 9,49 \text{ k}\Omega$.

2. Dimensionamento das Razões (W/L)

Para calcular as faixas de (W/L), utilizamos as premissas do enunciado e os parâmetros de processo da tecnologia, conforme detalhado anteriormente. Os cálculos resultam nas seguintes restrições:

- **PMOS (M3, M5):** A necessidade de operar em forte inversão ($LIM > 10$) e de manter a saturação com $V_{SD} \geq 0,4 \text{ V}$ impõe uma faixa de operação para M_5 (e M_3): **$0,36 < (W/L)_{3,5} < 0,82$** .
- **PMOS (M4):** Como $(W/L)_4 = M \cdot (W/L)_3 = 2 \cdot (W/L)_3$, a restrição para M_4 é: **$0,72 < (W/L)_4 < 1,64$** .
- **NMOS (M1, M2):** A necessidade de operar em fraca inversão ($LIM < 0,1$) impõe um limite inferior: **$(W/L)_{1,2} > 89,2$** .

A Tabela 1 resume as faixas de operação calculadas para as razões (W/L) de cada transistor.

Tabela 1: Tabela de restrições calculadas para as dimensões (W/L) dos transistores.

Transistor	Restrição de Dimensão (W/L)
M_1	$W/L > 89,2$
M_2	$W/L > 89,2$
M_3	$0,36 < W/L < 0,82$
M_4	$0,72 < W/L < 1,64$
M_5	$0,36 < W/L < 0,82$

Questão 6

Enunciado: Utilize as dimensões $L_1 = 1,0 \mu\text{m}$ e $L_3 = 2,0 \mu\text{m}$ para o comprimento de canal dos transistores M₁ e M₃. Quais são as dimensões de L que devem ser utilizadas nos transistores M₂, M₄ e M₅. Por quê? Determine as dimensões da largura de canal W de todos os transistores (mostre numa tabela as dimensões determinadas).

Resposta:

A determinação das dimensões físicas (L e W) baseia-se nas razões (W/L) definidas na Questão 5 e no princípio de **casamento de componentes** (*component matching*).

1. Definição do Comprimento do Canal (L)

Para que um espelho de corrente funcione com precisão, os transistores que o compõem devem ter o mesmo comprimento de canal (L), garantindo que variações de processo os afetem de forma similar.

- **Par NMOS (M1 e M2):** $L_2 = L_1 = 1,0 \mu\text{m}$.
- **Espelho PMOS (M3, M4_a, M4_b e M5):** $L_{4a} = L_{4b} = L_5 = L_3 = 2,0 \mu\text{m}$.

2. Cálculo da Largura do Canal (W)

Com os comprimentos (L) definidos, escolhemos valores de (W/L) que atendam às restrições da Tabela 1. Para implementar a razão $M = 2$ com melhor precisão e casamento, o transistor M4 é construído com duas cópias idênticas de M3 em paralelo. Assim, a razão de aspecto total de M4 é a soma das razões de seus componentes.

A Tabela 2 consolida as dimensões finais do projeto.

Tabela 2: Tabela de dimensões finais escolhidas para os transistores do projeto.

Transistor	(W/L) Escolhido	L (μm)	W (μm)
M1	95	1,0	95,0
M2	95	1,0	95,0
M3	0,6	2,0	1,2
M4 _a (em paralelo)	0,6	2,0	1,2
M4 _b (em paralelo)	0,6	2,0	1,2
M5	0,6	2,0	1,2

Nota: A razão de aspecto total de M4 é a soma de M4_a e M4_b, resultando em (W/L)₄ = 0,6 + 0,6 = 1,2, que satisfaz a restrição 0,72 < 1,2 < 1,64.

Questão 7

Enunciado: Escreva o arquivo de entrada para simulação da fonte de corrente tomando cuidado em manter os transistores casados. Faça uma simulação do tipo DC variando V_{DD} entre 0 V e 5 V (considere o dreno de M_5 em 0 V). Medir as correntes que passam pelos transistores M_4 e M_3 para $V_{DD} = 3,0$ V. (verifique se a relação entre estas correntes está dentro do esperado e se não estiver corrija). O que acontece com a corrente na saída quando aumentamos V_{DD} ? Por quê?

Resposta:

1. Arquivo de Simulação Final (Netlist SPICE)

```

1 .global VSS VDD OUT
2
3     *MODELO          *
4 .DEFMOD NMOS4 MODN
5 .DEFMOD PMOS4 MODP
6
7     *PARAMETROS        *
8 .param w1=95u w2=95u w3=1.2u w5=1.2u
9 .param L1=1u L2=2u
10
11    * DECLARACOES DE TRANSISTORES      *
12 * TRANSISTORES NMOS
13 M1 A A VSS VSS MODN w=w1 l=L1 AD='0.85*w1' PD='1.7u+w1' AS='0.85*w1' PS='1.7u+w1'
14 M2 B A C VSS MODN w=w2 l=L1 AD='0.85*w2' PD='1.7u+w2' AS='0.85*w2' PS='1.7u+w2'
15
16 * TRANSISTORES PMOS
17 M3 B B VDD VDD MODP w=w3 l=L2 AD='0.85*w3' PD='1.7u+w3' AS='0.85*w3' PS='1.7u+w3'
18 M41 A B VDD VDD MODP w=w3 l=L2 AD='0.85*w3' PD='1.7u+w3' AS='0.85*w3' PS='1.7u+w3'
19 M42 A B VDD VDD MODP w=w3 l=L2 AD='0.85*w3' PD='1.7u+w3' AS='0.85*w3' PS='1.7u+w3'
20 M5 OUT B VDD VDD MODP w=w5 l=L2 AD='0.85*w5' PD='1.7u+w5' AS='0.85*w5' PS='1.7u+w5'
21
22 * RESISTOR
23 R1 C VSS 9.49k
24
25 * FONTES E CONDICoes
26 Vdd VDD 0
27 Vss VSS 0
28
29 * Dreno de  $M_5$  em 0V
30 .connect OUT 0
31
32     * COMANDOS DE ANALISE      *
33 .op
34 .DC Vdd 0V 5V 1mV
35
36     * COMANDOS DE SAIDA (PLOT E MEASURE)      *
37 .plot par(Is(M41)+Is(M42)) Is(M3) Is(M5)
38 .MEASURE DC I_M3 FIND Is(M3) WHEN V(Vdd)=3.0
39 .MEASURE DC I_M4_total FIND par('Is(M41)+Is(M42)') WHEN V(Vdd)=3.0
40 .MEASURE DC RATIO_M4_M3 PARAM='I_M4_total / I_M3'
41
42     * MODELOS          *
43 .include "restm.mod"
44 .include "Model35_eldo"
45
46     * FIM          *
47 .end

```

Listing 1: Netlist final utilizado para a simulação DC da fonte de corrente.

O netlist final utilizado para a simulação está apresentado abaixo. Ele incorpora as dimensões do projeto, os modelos de dispositivo corretos e os comandos de análise e medição necessários.

2. Análise dos Resultados da Simulação

A simulação foi executada com sucesso. Para uma tensão de alimentação $V_{DD} = 3,0$ V, os valores medidos, que podem ser confirmados visualmente no gráfico da Figura 5, foram:

$$I_{M3} = 2,5723 \mu\text{A}$$

$$I_{M4_total} = 5,2704 \mu\text{A}$$

A razão entre estas correntes, calculada pelo simulador, foi de 2,0489. A análise desses resultados revela dois pontos importantes:

- **Precisão do Espelhamento:** A razão de correntes simulada (2,049) é extremamente próxima da razão de projeto ($M=2$), com um erro de apenas 2,4%. Isso valida o excelente funcionamento do espelho de corrente e a eficácia da técnica de casamento ($M4$ implementado como dois transistores em paralelo).
- **Precisão do Modelo Analítico:** A corrente de referência simulada ($I_{M3} \approx 2,57 \mu\text{A}$) é cerca de 35% maior que o valor alvo do projeto analítico ($1,9 \mu\text{A}$). Essa discrepância é esperada e ilustra a limitação das fórmulas teóricas simplificadas frente aos modelos de simulação complexos (BSIM), que são muito mais precisos.

3. Comportamento da Corrente com a Variação de V_{DD}

O comportamento das correntes em função da tensão de alimentação pode ser visualizado em detalhe na Figura 5. No gráfico, observam-se claramente duas fases de operação:

1. **Região de Ativação (Turn-on):** Para valores de V_{DD} abaixo de aproximadamente 1,5 V, os transistores não estão corretamente polarizados e a corrente é praticamente nula, como visto no início do eixo horizontal do gráfico.
2. **Região de Operação:** Após a ativação, a corrente se estabiliza em torno do valor de operação ($\approx 2,57 \mu\text{A}$), o que corresponde à região plana do gráfico na Figura 5.

Idealmente, a corrente de saída deveria ser constante nesta região. No entanto, na prática, a corrente aumenta levemente com V_{DD} devido ao **efeito de modulação do comprimento do canal**. Este efeito é evidenciado pela sutil inclinação ascendente das curvas na Figura 5 após a ativação do circuito.

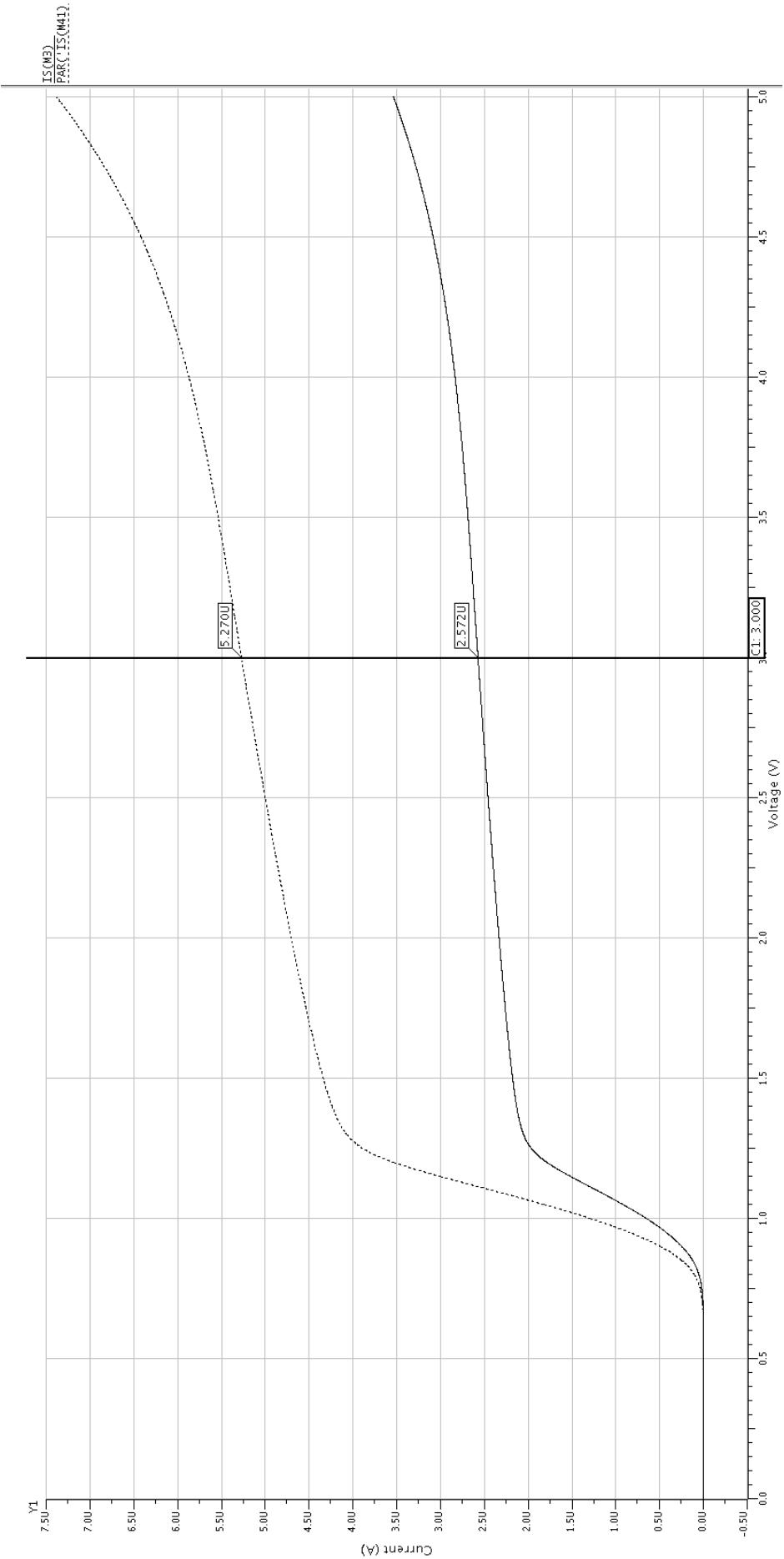


Figura 5: Gráfico da simulação DC. As correntes nos transistores M3 e na soma de M4 (M41+M42) são mostradas em função da tensão de alimentação VDD.

Questão 8

Enunciado: Ajuste o valor de **R** para que a corrente de saída em $V_{DD} = 3,0$ V seja a desejada no projeto (valor nominal). Apresente então o gráfico $I_S \times V_{DD}$.

Resposta:

Como observado na Questão 7, o valor de corrente obtido na simulação ($I_S \approx 2,57 \mu A$) desviou do alvo analítico ($1,9 \mu A$). Esta etapa consiste em ajustar (fazer o *trimming*) do resistor R para calibrar o circuito e atingir a corrente de saída nominal com precisão.

1. Procedimento de Ajuste Fino do Resistor R

Para encontrar o valor exato de R, foi realizada uma simulação de varredura DC. Mantendo a tensão de alimentação fixa em $V_{DD} = 3,0$ V, o valor da resistência R foi variado em uma faixa em torno do valor inicial. A corrente de saída I_S (corrente em M5) foi então plotada em função de R.

A Figura 6 mostra o resultado desta simulação. Utilizando um cursor no EZwave, identificamos o valor exato de R para o qual a corrente de saída é precisamente $1,9 \mu A$. O valor encontrado foi **R $\approx 13,099 \text{ k}\Omega$** .

2. Gráfico Final $I_S \times V_{DD}$ com R Ajustado

Com o valor de R ajustado para $13,099 \text{ k}\Omega$ no netlist, a simulação de varredura de V_{DD} (de 0 V a 5 V) foi executada novamente. O resultado é o gráfico final de performance do circuito, apresentado na Figura 7.

O gráfico confirma que o projeto agora está calibrado: a corrente de saída I_S se estabiliza e cruza o valor de $1,9 \mu A$ exatamente quando a tensão de alimentação atinge $V_{DD} = 3,0$ V, validando o ajuste.

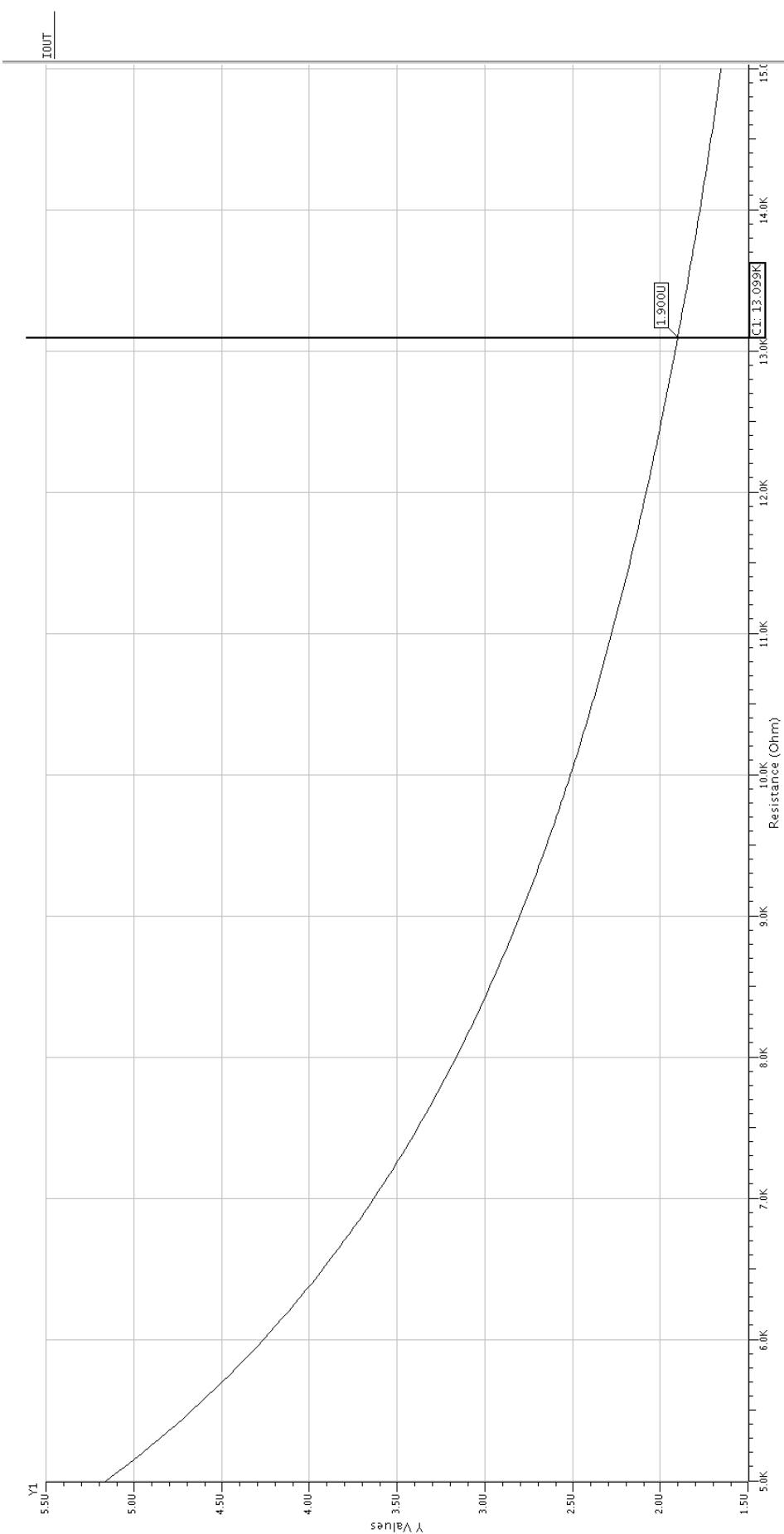


Figura 6: Gráfico da simulação de varredura para ajuste do resistor R. A corrente de saída I_S (eixo Y) é mostrada em função da resistência R (eixo X) com V_{DD} fixo em 3,0 V. A linha do cursor indica o valor de R que resulta em $I_S = 1,9 \mu\text{A}$.

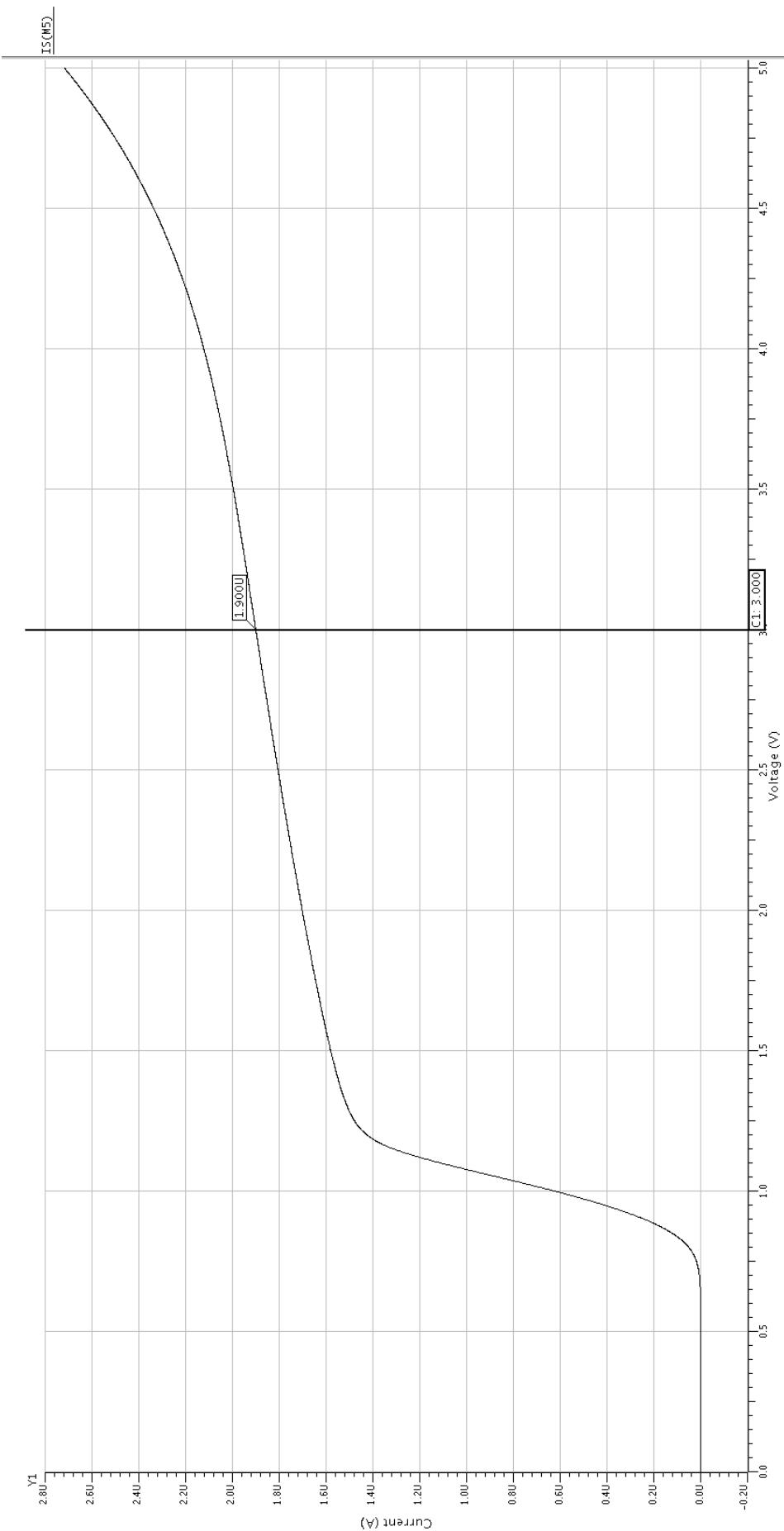


Figura 7: Gráfico final da corrente de saída I_S em função da tensão de alimentação V_{DD} , após o ajuste do resistor R para 13,099 kΩ. O cursor confirma que $I_S = 1,9 \mu\text{A}$ quando $V_{DD} = 3,0 \text{ V}$.

Questão 9

Enunciado: Determine a faixa de valores de V_{DD} para a qual a condição $I_0(0,98) < I_S < I_0(1,02)$ seja observada, onde I_0 é a corrente para $V_{DD} = 3,0$ V. Qual é o valor mínimo de V_{DD} achado?

Chamaremos a faixa de tensão encontrada acima de **faixa de operação do circuito** para variações de $\pm 2\%$.

Resposta:

Esta questão visa determinar a robustez da fonte de corrente em relação à variação da tensão de alimentação, definindo sua faixa de operação útil dentro de uma margem de erro especificada.

1. Cálculo dos Limites de Corrente ($\pm 2\%$)

A corrente nominal de operação, ajustada na questão anterior para $V_{DD} = 3,0$ V, é $I_0 = 1,9 \mu A$. A faixa de variação permitida de $\pm 2\%$ estabelece os seguintes limites:

- **Limite Inferior (98%):** $I_{min} = 1,9 \mu A \times 0,98 = 1,862 \mu A$
- **Limite Superior (102%):** $I_{max} = 1,9 \mu A \times 1,02 = 1,938 \mu A$

Portanto, a faixa de corrente aceitável para a análise é de $1,862 \mu A < I_S < 1,938 \mu A$.

2. Determinação da Faixa de Operação de V_{DD}

A faixa de tensão de alimentação que mantém a corrente de saída dentro dos limites especificados é encontrada analisando o gráfico $I_S \times V_{DD}$ gerado na Questão 8 (com o resistor R já ajustado). Utilizando marcadores horizontais e verticais no EZwave, identificamos os pontos de interseção da curva de corrente com os limites I_{min} e I_{max} .

Após a análise gráfica, os valores medidos foram:

- **Valor mínimo de V_{DD} achado:** 2,795 V.
- **Faixa de operação do circuito ($\pm 2\%$):** [2,795 V; 3,203 V].

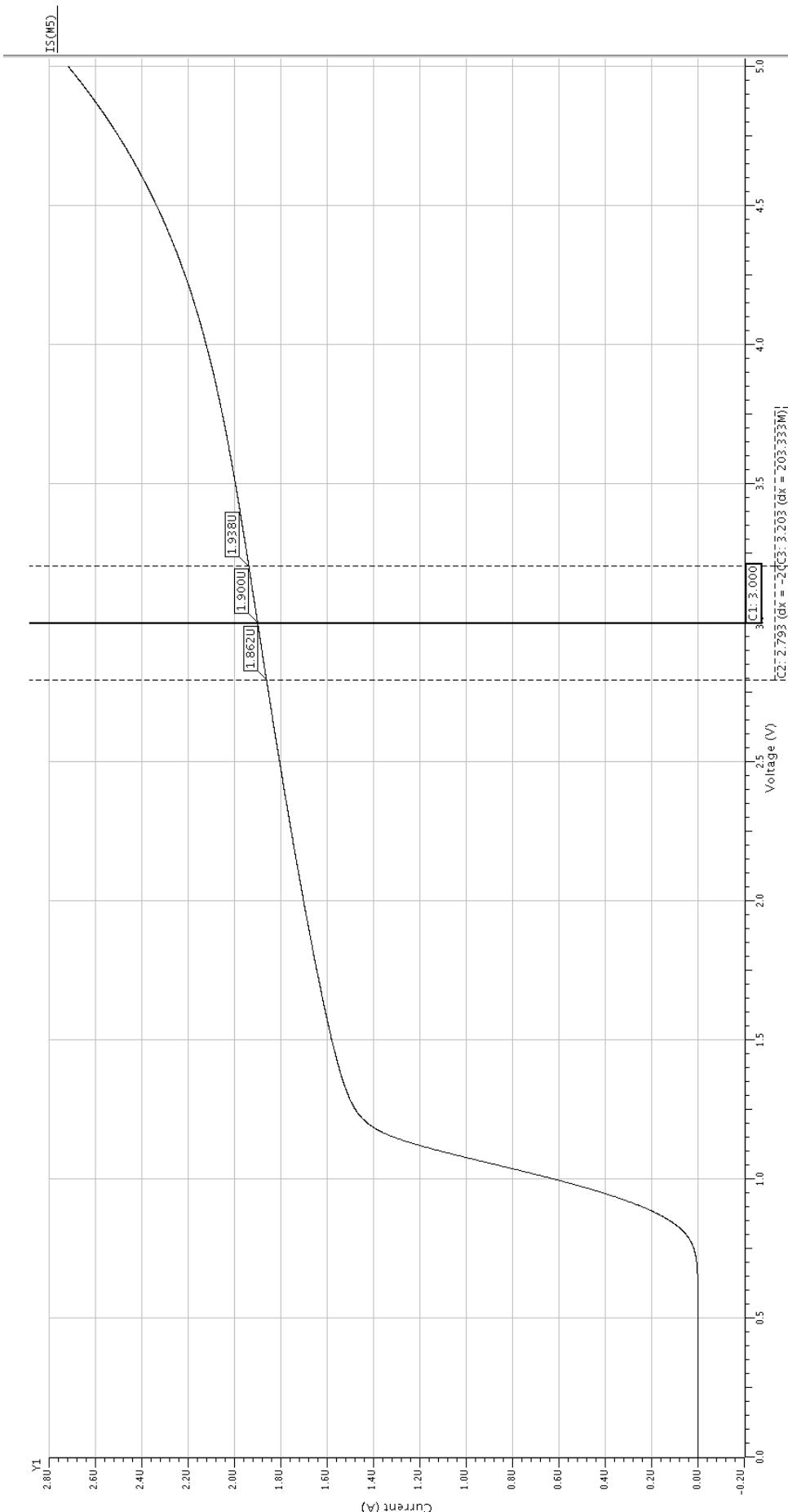


Figura 8: Análise gráfica para determinação da faixa de operação de V_{DD} . As linhas horizontais representam os limites de corrente de $\pm 2\%$ em torno do valor nominal de $1,9 \mu A$.

Questão 10

Enunciado: Caso desejemos ter pequenas variações de corrente mesmo para uma ampla variação da tensão de alimentação, quais modificações podem ser realizadas no projeto?

Resposta:

Para reduzir a sensibilidade da corrente de saída (I_S) a variações na tensão de alimentação (V_{DD}), o objetivo principal é aumentar a **impedância de saída** da fonte de corrente. Uma fonte de corrente ideal possui uma impedância de saída infinita, o que a torna completamente imune a variações de tensão em seus terminais. Na prática, as seguintes modificações podem ser realizadas no projeto para se aproximar desse ideal:

1. Aumentar o Comprimento do Canal (L) dos Transistores:

A impedância de saída de um transistor MOS na saturação (r_o) é inversamente proporcional ao parâmetro de modulação do comprimento do canal (λ), e λ por sua vez é aproximadamente inversamente proporcional a L.

$$r_o = \frac{1}{\lambda I_D} \propto L$$

Portanto, aumentar o comprimento dos transistores do espelho de corrente (principalmente M3, M4 e M5) aumenta a impedância de saída de cada um deles e, consequentemente, a do circuito como um todo. Esta é uma abordagem simples e direta, mas com ganhos moderados.

2. Utilizar Topologias de Alta Impedância (Cascode ou Wilson):

Para um aumento muito mais significativo da impedância de saída, são empregadas topologias de circuito mais avançadas. As duas principais são:

- **Espelho de Corrente Cascode:** Adicionar um segundo conjunto de transistores "empilhados" (cascode) sobre o espelho original. O transistor cascode serve como um escudo, mantendo a tensão no dreno do transistor de espelhamento original quase constante, o que multiplica a impedância de saída por um fator aproximadamente igual ao ganho intrínseco ($g_m r_o$) do transistor cascode.
- **Espelho de Corrente de Wilson:** Conforme visto na Questão 3, esta topologia utiliza uma configuração de realimentação negativa para aumentar a impedância de saída para um nível comparável ao do espelho cascode.

Ambas as topologias são extremamente eficazes para criar fontes de corrente que são muito mais robustas a variações na tensão de alimentação, sendo preferíveis quando a imunidade a variações de V_{DD} é um requisito crítico.

Questão 11

Enunciado: Reprojetar o circuito com modificações para reduzir a sua sensibilidade a variações de V_{DD} . Tomar cuidado para que as dimensões não aumentem muito e que a faixa de operação não seja muito reduzida. Apresente o **esquemático do novo circuito, tabela com as dimensões escolhidas**, e o novo gráfico $I_S \times V_{DD}$.

Resposta:

Para reduzir a sensibilidade do circuito a variações de V_{DD} , foram implementadas duas modificações principais: a **inclusão de um espelho de corrente de Wilson** na malha dos transistores NMOS para aumentar a impedância de saída desse estágio, e o **aumento do comprimento do canal (L)** dos transistores PMOS, para aumentar sua resistência de saída.

1. Otimização do Comprimento (L) dos Transistores PMOS

Para definir o novo comprimento de canal (L_2) dos transistores PMOS, foi realizada uma simulação de varredura. O objetivo é encontrar um valor de L_2 que minimize a variação da corrente de saída (I_S) para uma oscilação de V_{DD} na faixa de operação do projeto, sem aumentar excessivamente a área do circuito. O netlist utilizado para esta simulação é apresentado abaixo.

```

1 .global VSS VDD OUT
2      *MODELO      *
3 .DEFMOD NMOS4 MODN
4 .DEFMOD PMOS4 MODP
5      *PARAMETROS      *
6 .param wn=95u wlp=0.6 L1=1u L2=2u
7 .param wp='wlp*L2'
8      * DECLARACOES DE TRANSISTORES      *
9 M1 D E VSS VSS MODN w=wn l=L1
10 M2 E C VSS MODN w=wn l=L1
11 M7 B A E VSS MODN w=wn l=L1
12 M6 A A D VSS MODN w=wn l=L1
13 M3 B B VDD VDD MODP w=wp l=L2
14 M41 A B VDD VDD MODP w=wp l=L2
15 M42 A B VDD VDD MODP w=wp l=L2
16 M5 OUT B VDD VDD MODP w=wp l=L2
17 * RESISTOR E FONTES
18 R1 C VSS 11.152k
19 Vdd VDD 0 DC 5V
20 .connect OUT 0
21      * COMANDOS DE ANALISE      *
22 .DC VDD 0V 5V 1mV sweep L2 INCR 1u 2u 30u
23 .probe DC Is(M5)
24 .meas DC min find Is(M5) when V(VDD)=2.795
25 .meas DC max find Is(M5) when V(VDD)=3.203
26 .include "restm.mod"
27 .include "Model35_eldo"
28 .end

```

Listing 2: Netlist para a simulação de varredura do comprimento L_2 dos PMOS.

O resultado da simulação, visualizado no gráfico da Figura 10, permitiu avaliar a variação de I_S em função de L_2 . Com base neste gráfico, o valor de $L_2 = 15 \mu\text{m}$ foi escolhido como um bom compromisso entre baixa sensibilidade e aumento de área.

2. Ajuste Fino do Resistor R

Com o novo valor de $L_2 = 15 \mu\text{m}$ fixado, o valor do resistor R precisou ser reajustado. O

objetivo é calibrar a corrente de saída para o valor de especificação do projeto ($I_S = 1,9 \mu A$) quando $V_{DD} = 3,0 V$. Para isso, foi realizada uma nova simulação de varredura, desta vez variando o valor de R, conforme o netlist a seguir.

```

1 .global VSS VDD OUT
2   *MODELO      *
3 .DEFMOD NMOS4 MODN
4 .DEFMOD PMOS4 MODP
5   *PARAMETROS      *
6 .param wn=95u wlp=0.6 L1=1u L2=15u
7 .param wp='wlp*L2'
8   * DECLARACOES DE TRANSISTORES      *
9 M1 D E VSS VSS MODN w=wn l=L1
10 M2 E C VSS MODN w=wn l=L1
11 M7 B A E VSS MODN w=wn l=L1
12 M6 A A D VSS MODN w=wn l=L1
13 M3 B B VDD VDD MODP w=wp l=L2
14 M41 A B VDD VDD MODP w=wp l=L2
15 M42 A B VDD VDD MODP w=wp l=L2
16 M5 OUT B VDD VDD MODP w=wp l=L2
17 * RESISTOR E FONTES
18 R1 C VSS 10k
19 Vdd VDD 0 DC 5V
20 .connect OUT 0
21   COMANDOS DE ANALISE      *
22 .DC VDD 2.9V 3.1V 1mV sweep R1 INCR 50 5k 15k
23 .probe DC Is(M5)
24 .meas DC Iout find Is(M5) when V(VDD)=3
25 .include "restm.mod"
26 .include "Model35_eldo"
27 .end

```

Listing 3: Netlist para a simulação de varredura do resistor R.

O gráfico da simulação (Figura 11) mostra a corrente de saída em função de R. O valor que calibra a corrente para o alvo de $1,9 \mu A$ foi encontrado em $R = 11,152 k\Omega$.

3. Esquemático, Dimensões e Simulação Final

A Tabela 3 resume as dimensões finais adotadas para o circuito reprojetado. O esquemático completo, com a nova topologia e os parâmetros atualizados, é apresentado na Figura 9. Finalmente, com todos os componentes definidos, foi realizada uma simulação DC variando V_{DD} de 0 V a 5 V para obter o comportamento final da fonte de corrente, utilizando o netlist final listado abaixo.

```

1 .global VSS VDD OUT
2   *MODELO      *
3 .DEFMOD NMOS4 MODN
4 .DEFMOD PMOS4 MODP
5   *PARAMETROS      *
6 .param wn=95u wlp=0.6 L1=1u L2=15u
7 .param wp='wlp*L2'
8   * DECLARACOES DE TRANSISTORES      *
9 M1 D E VSS VSS MODN w=wn l=L1
10 M2 E C VSS MODN w=wn l=L1
11 M7 B A E VSS MODN w=wn l=L1
12 M6 A A D VSS MODN w=wn l=L1
13 M3 B B VDD VDD MODP w=wp l=L2
14 M41 A B VDD VDD MODP w=wp l=L2
15 M42 A B VDD VDD MODP w=wp l=L2
16 M5 OUT B VDD VDD MODP w=wp l=L2
17 * RESISTOR E FONTES
18 R1 C VSS 11.152k

```

```

19 Vdd VDD 0 DC 5V
20 .connect OUT 0
21     * COMANDOS DE ANALISE      *
22 .DC VDD 0V 5V 1mV
23 .probe DC I(M5)
24 .include "restm.mod"
25 .include "Model35_eldo"
26 .end

```

Listing 4: Netlist final para a simulação DC do circuito reprojeto.

O gráfico resultante desta simulação final é apresentado na Figura 12. A curva de $I_S \times V_{DD}$ confirma a eficácia das modificações, mostrando uma inclinação visivelmente menor na região de operação. A análise do resultado mostra que o circuito mantém a corrente de saída dentro da faixa de tolerância de $\pm 2\%$ para tensões de alimentação entre **2,795 V** e **3,203 V**, validando o reprojeto.

Tabela 3: Tabela de dimensões finais escolhidas para os transistores do projeto reprojeto.

Transistor	(W/L)	Escolhido	L (μm)	W (μm)
M1		95	1,0	95,0
M2		95	1,0	95,0
M6		95	1,0	95,0
M7		95	1,0	95,0
M3		0,6	15,0	9,0
M4 _a (em paralelo)		0,6	15,0	9,0
M4 _b (em paralelo)		0,6	15,0	9,0
M5		0,6	15,0	9,0

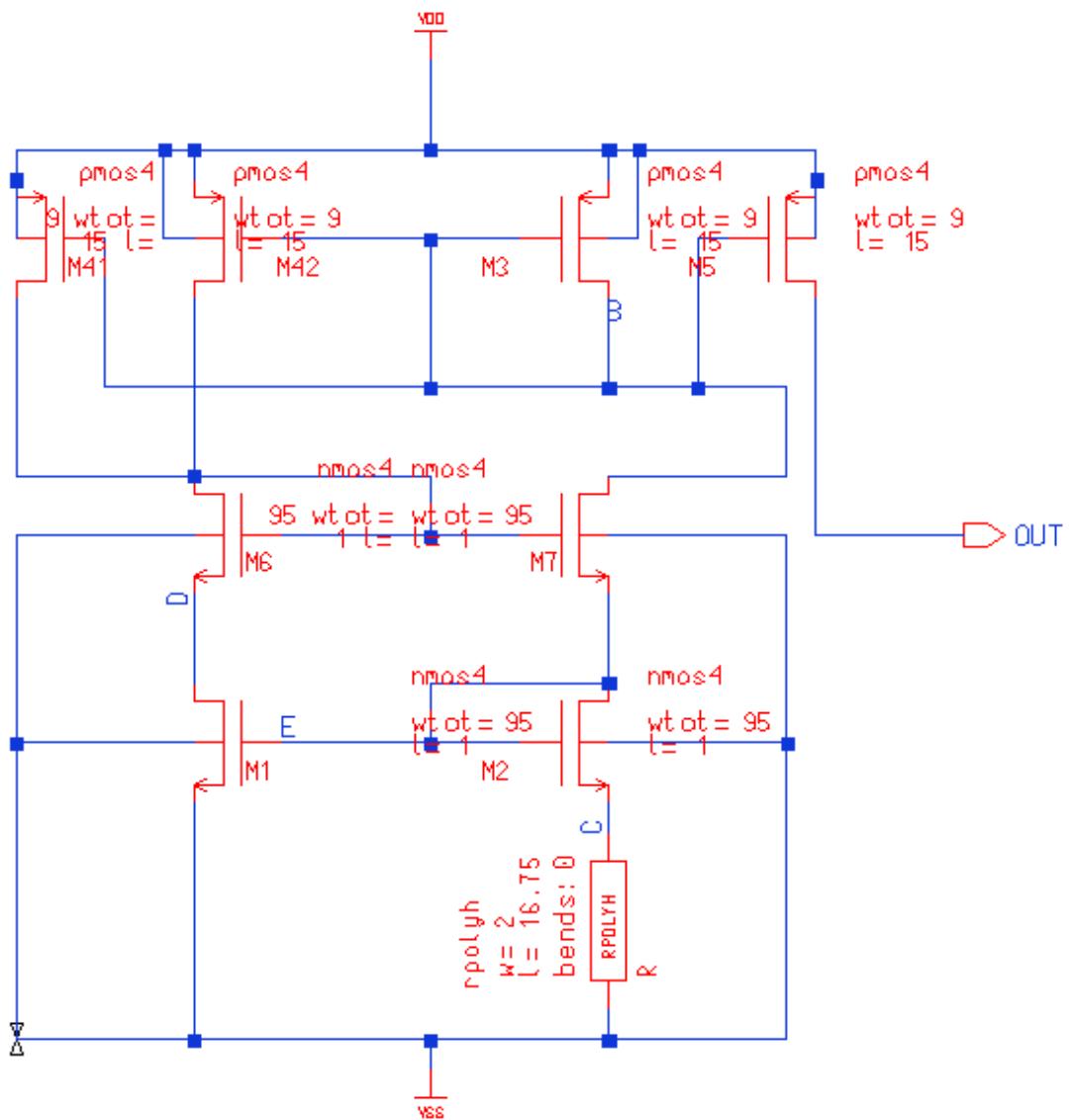


Figura 9: Esquemático do circuito gerador de corrente reprojetado, com espelho de corrente de Wilson.

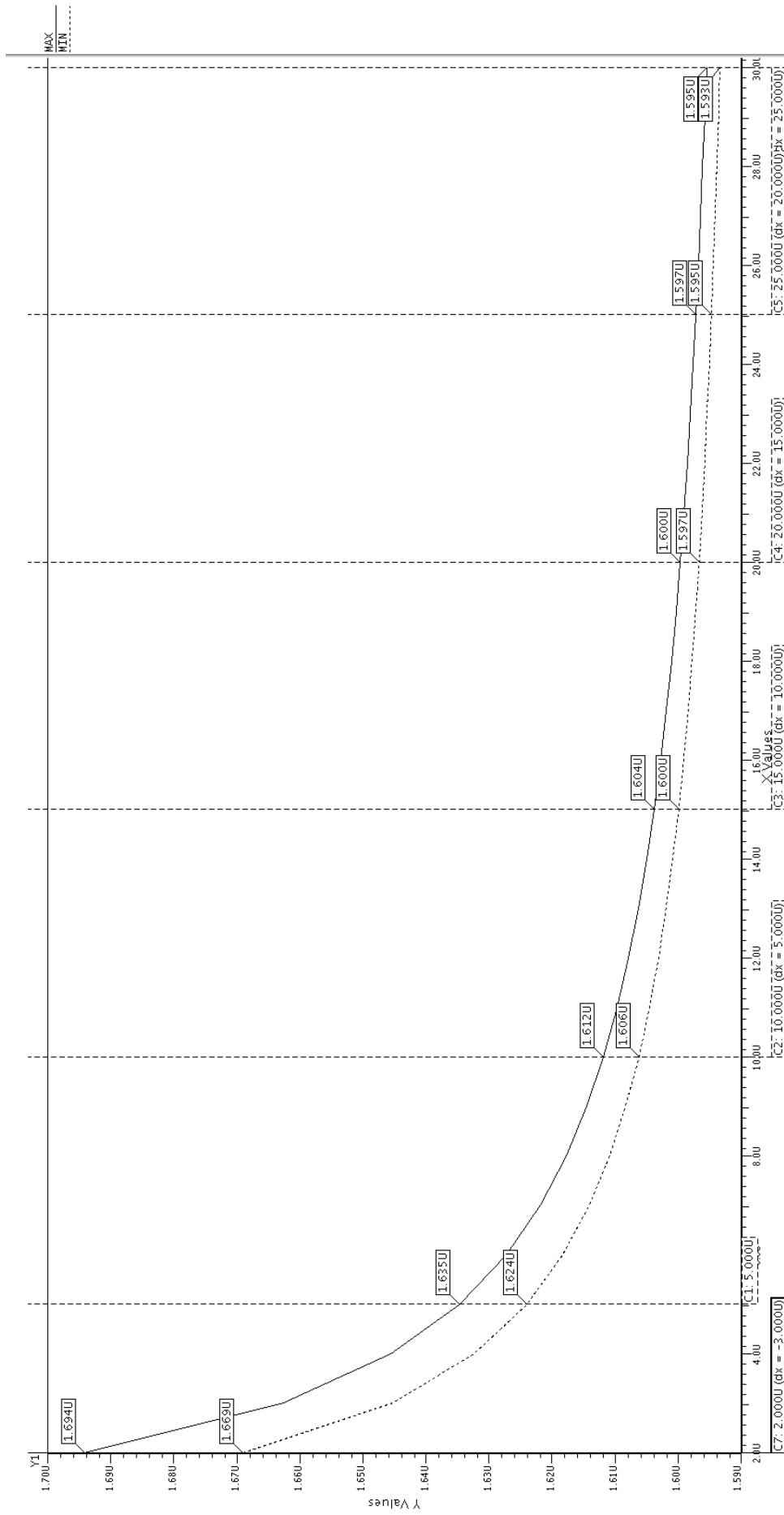


Figura 10: Corrente de saída I_S para $V_{DD} = 2,8\text{ V}$ (curva sólida) e $V_{DD} = 3,2\text{ V}$ (curva pontilhada), em função do comprimento L_2 dos transistores PMOS.

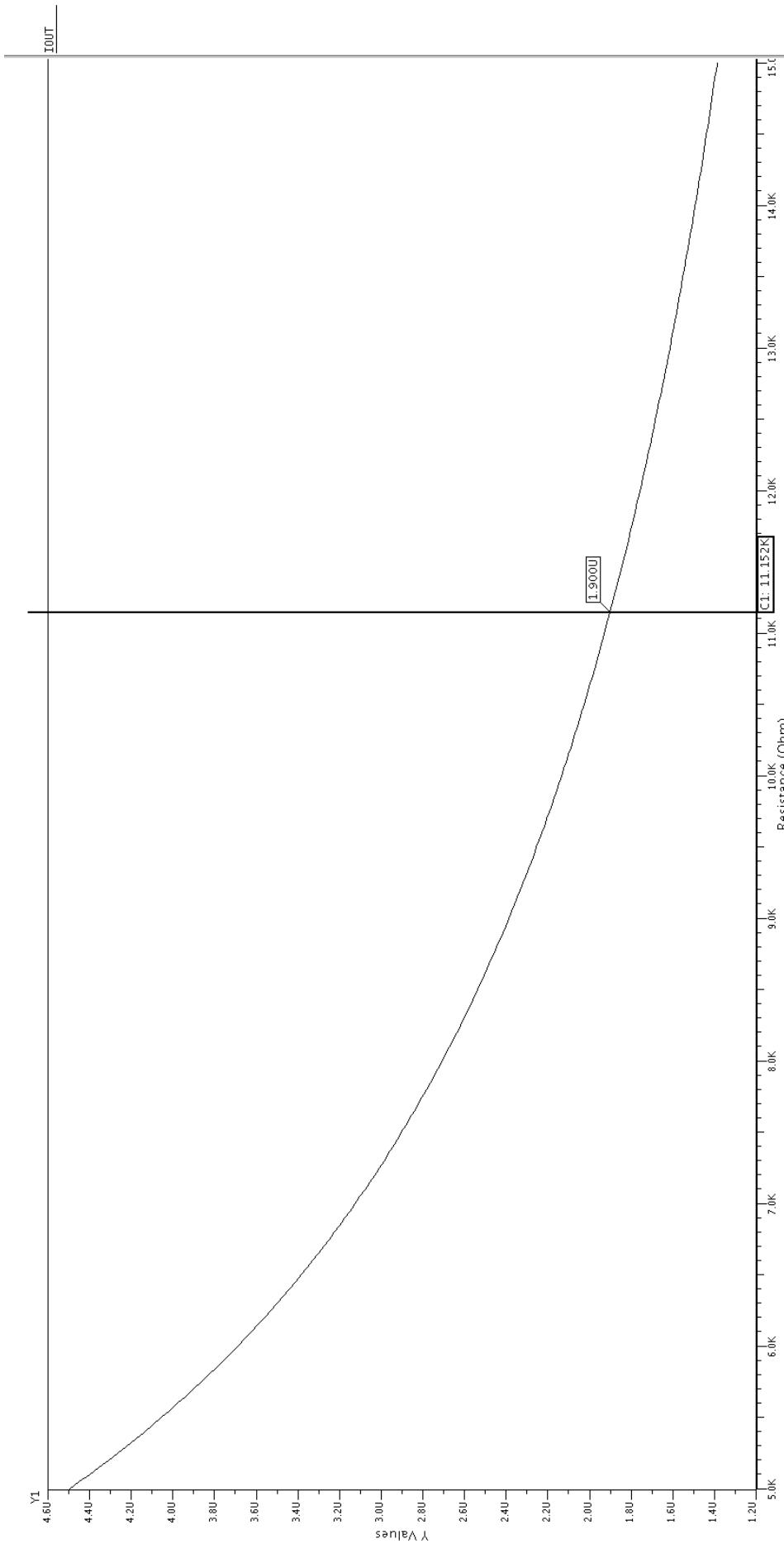


Figura 11: Gráfico da simulação de varredura para ajuste do resistor R. A corrente de saída I_S é mostrada em função da resistência R, indicando o valor necessário para obter $I_S = 1,9 \mu\text{A}$ em $\text{VDD}=3\text{V}$.

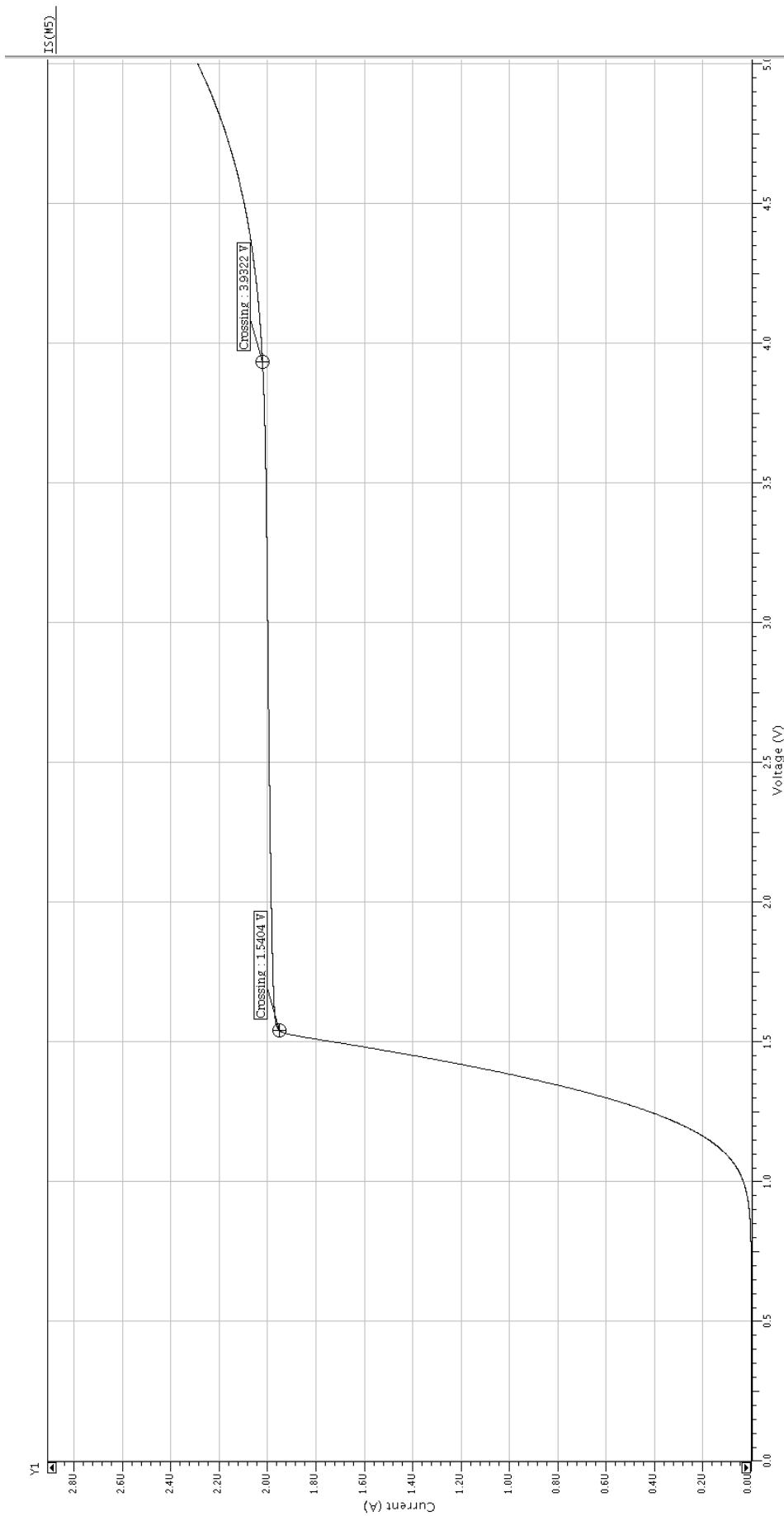


Figura 12: Gráfico final $I_S \times V_{DD}$ do circuito reprojetado. A curva mais plana na região de operação demonstra a sensibilidade reduzida a variações de V_{DD} .

Questão 12

Enunciado: Alguns circuitos analógicos necessitam de um circuito de *start-up* para começarem a funcionar (por exemplo, fontes de corrente, osciladores, etc.). Verifique por simulação se a fonte de corrente necessita de um *start-up* (considere algumas tensões iniciais nos nós do circuito e verifique, através de simulação de transitório, se o circuito vai ou não para o ponto de operação correto). Caso haja alguma condição inicial em que o circuito não funcione, apresente figura da simulação. Qual comando deve ser utilizado para impor condições iniciais, **.IC** ou **.NODESET**?

Resposta:

1. Comando para Condições Iniciais: **.IC** vs **.NODESET**

A escolha do comando correto é crucial para este tipo de análise. De acordo com a documentação do simulador ELD0, a função de cada um é distinta:

- **.NODESET:** Fornece uma **estimativa inicial** para o cálculo do ponto de operação DC (análise ‘.op’). É uma "dica" para ajudar o simulador a convergir para o ponto DC desejado antes do início da análise de transitório.
- **.IC (Initial Condition):** Define **diretamente** a tensão de um nó no instante inicial ($t = 0$) de uma **análise de transitório (.tran)**, ignorando o cálculo do ponto ‘.op’ se a opção ‘UIC’ for usada. É o comando correto para forçar o circuito a partir de um estado específico e observar sua evolução temporal.

Portanto, para verificar a partida do circuito a partir de uma condição forçada, o comando que deve ser utilizado é o **.IC**.

2. Verificação da Necessidade de Start-up

Circuitos com realimentação e autopolarização, como a fonte de corrente projetada, podem possuir mais de um ponto de operação estável. Um desses pontos é o desejado (com $I_S = 1,9 \mu A$), mas pode existir um ponto de operação trivial e indesejado onde todas as correntes são nulas. Se, ao ligar a alimentação, o circuito convergir para este estado de corrente zero, ele não "partirá" sozinho.

Para testar se o circuito é vulnerável a esse problema, foi realizada uma simulação de transitório. Utilizando o comando ‘.IC’, uma condição inicial desfavorável foi imposta: uma tensão de 3V foi aplicada ao nó ‘B’ (gate dos transistores PMOS), o que força o corte desses transistores no início da simulação. O netlist abaixo, que utiliza as dimensões finais do circuito da Questão 11, foi usado para esta verificação.

```

1 .global VSS VDD OUT
2
3      *MODELO          *
4 .DEFMOD NMOS4 MODN
5 .DEFMOD PMOS4 MODP
6
7      *PARAMETROS       *
```

```

8 .param wn=95u wlp=0.6
9 .param L1=1u L2=15u
10 .param wp='wlp*L2'
11
12     * DECLARACOES DE TRANSISTORES      *
13 * TRANSISTORES NMOS
14 M1 D E VSS VSS MODN w=wn l=L1 AD='0.85*wn' PD='1.7u+wn' AS='0.85*wn' PS='1.7u+wn'
15 M2 E E C VSS MODN w=wn l=L1 AD='0.85*wn' PD='1.7u+wn' AS='0.85*wn' PS='1.7u+wn'
16 M7 B A E VSS MODN w=wn l=L1 AD='0.85*wn' PD='1.7u+wn' AS='0.85*wn' PS='1.7u+wn'
17 M6 A A D VSS MODN w=wn l=L1 AD='0.85*wn' PD='1.7u+wn' AS='0.85*wn' PS='1.7u+wn'
18
19 * TRANSISTORES PMOS
20 M3 B B VDD VDD MODP w=wp l='L2' AD='0.85*wp' PD='1.7u+wp' AS='0.85*wp' PS='1.7u+wp'
21 M41 A B VDD VDD MODP w=wp l='L2' AD='0.85*wp' PD='1.7u+wp' AS='0.85*wp' PS='1.7u+wp'
22 M42 A B VDD VDD MODP w=wp l='L2' AD='0.85*wp' PD='1.7u+wp' AS='0.85*wp' PS='1.7u+wp'
23 M5 OUT B VDD VDD MODP w=wp l='L2' AD='0.85*wp' PD='1.7u+wp' AS='0.85*wp' PS='1.7u+wp'
24
25 * RESISTOR
26 R1 C VSS 11.152k
27
28 Vdd VDD 0 DC 3V
29 Vss VSS 0 DC 0V
30
31 * Dreno de M5 em 0V
32 .connect OUT 0
33
34     * COMANDOS      *
35 * Condicao inicial
36 .IC V(B)=3V
37
38 * Analise transiente
39 .tran 1n 10u 0 0.1n
40
41 .plot Is(M5)
42
43 .include "restm.mod"
44 .include "Model35_eldo"
45
46     * FIM      *
47 .end

```

Listing 5: Netlist para simulação de transitório com condição inicial forçada.

3. Resultados e Conclusão

O resultado da simulação é apresentado na Figura 13. Ao executar a simulação com a condição inicial forçada, observa-se que a corrente de saída I_S (corrente em M5) permanece em zero durante todo o tempo simulado. Ela não converge para o valor de operação projetado de $1,9 \mu A$.

Isso confirma que o circuito possui um ponto de operação estável indesejado com corrente nula. Portanto, **o circuito necessita de um circuito de start-up** para garantir que ele sempre inicie e opere no ponto de polarização correto, independentemente das condições iniciais dos nós.

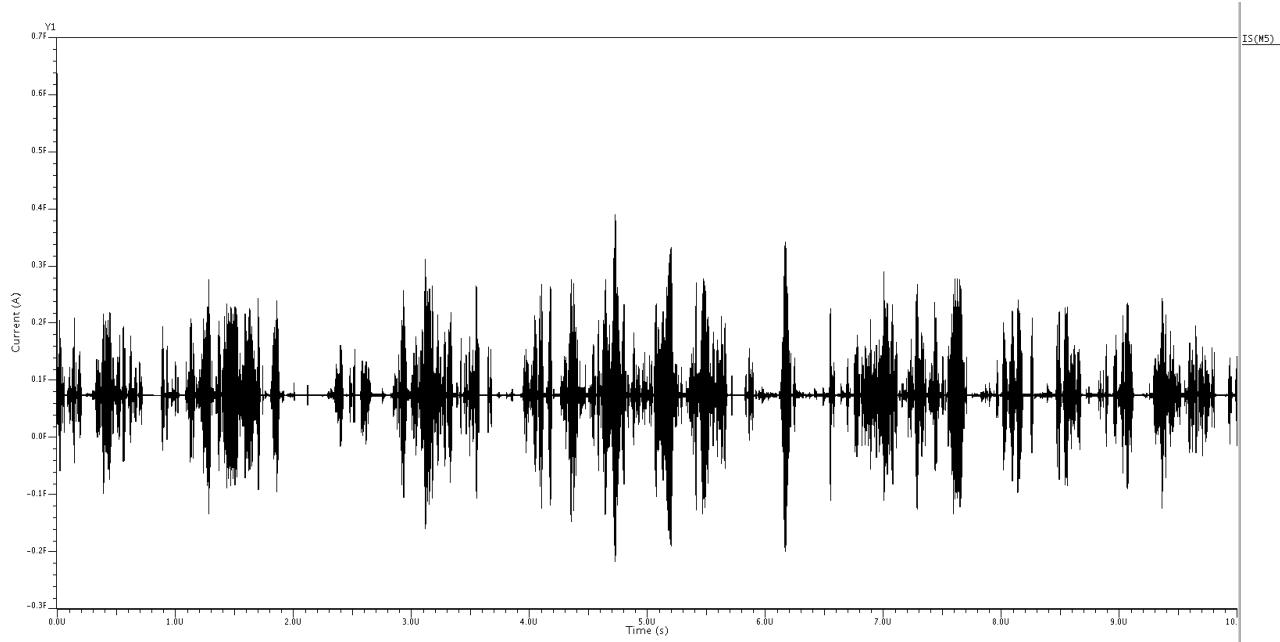


Figura 13: Simulação de transitório mostrando a falha de start-up. Com a condição inicial de $V(B)=3V$, a corrente de saída I_S permanece em zero e não converge para o valor de operação.

Questão 13

Enunciado: Ajustar o valor de \mathbf{R} para que a corrente em M_5 tenha o valor nominal desejado quando $V_{DD} = 3,0 \text{ V}$.

Resposta:

O ajuste do valor da resistência R para o circuito reprojeto foi uma etapa essencial do procedimento realizado na Questão 11, garantindo que a corrente de saída fosse calibrada para o valor nominal de $I_S = 1,9 \mu\text{A}$ com $V_{DD} = 3,0 \text{ V}$.

Conforme detalhado na seção "Ajuste Fino do Resistor R" da Questão 11, o valor final obtido para a resistência foi de $\mathbf{R = 11,152 \text{ k}\Omega}$. O procedimento e o resultado da simulação de varredura que levaram a este valor estão ilustrados na Figura 11 da referida questão.

Questão 14

Enunciado: Como deve ser desenhado o resistor (verificar no manual ENG-183 como é feita a definição de um resistor)? Qual material é adequado para construí-lo?

Resposta:

1. Material Adequado

O material mais adequado para a construção de um resistor de precisão com o valor necessário para o projeto (neste caso, $11,152 \text{ k}\Omega$) em um processo CMOS padrão é o **polisilício de alta resistividade**. No kit de projeto utilizado, esta camada corresponde ao modelo **RPOLYH**.

Este material é escolhido por duas razões principais:

- **Alta Resistência Específica:** Possui uma alta resistência por quadrado (R_{\square}), o que permite criar um resistor de valor elevado ocupando uma área de silício significativamente menor em comparação com outras camadas, como o polysilício padrão ou difusões.
- **Previsibilidade:** Oferece boa linearidade e um coeficiente de temperatura (TC) bem caracterizado, tornando o comportamento do resistor mais estável e previsível.

2. Desenho do Layout

Um resistor com um valor na ordem de kilo-ohms, se desenhado como uma linha reta, seria excessivamente longo, consumindo uma área de silício muito grande e tornando o layout ineficiente.

Para otimizar a área, a prática padrão, conforme documentado no manual de referência ENG-183, é desenhar o corpo do resistor em um formato compacto. Tipicamente, utiliza-se uma estrutura em **serpentina**, como ilustrado na Figura 14. Este método consiste em dobrar o traçado do resistor sobre si mesmo para que ele ocupe um espaço mais próximo de um quadrado, facilitando sua integração com os outros componentes do layout.

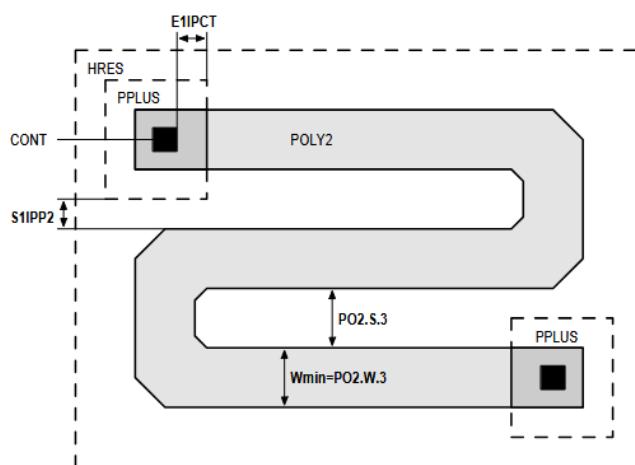


Figura 14: Exemplo de layout para um resistor do tipo RPOLYH. Fonte: ENG-183.

Questão 15

Enunciado: Fazer a fonte de corrente (esquemático, símbolo com a localização do *layout*, *layout*, verificações, LVS, etc.). Observe que:

- a. para gerar automaticamente o layout use o viewpoint. Caso seja usado o esquemático os resistores não serão criados;
- b. tomar cuidado para garantir o melhor casamento entre os transistores M₃, M₄ e M₅; também cuidar do casamento entre os transistores M₁ e M₂.

Quais são as dimensões do circuito completo (utilizar o comando **Report - Windows** do ICSTATION)? **Apresente o *layout* do circuito.**

Resposta:

Esta etapa abrange o fluxo completo de implementação física do circuito integrado, desde o esquemático até o layout final verificado.

1. Técnicas de Casamento (Matching) Aplicadas

Para atender à exigência de bom casamento, crucial para o desempenho de circuitos analógicos, as seguintes estratégias de layout foram implementadas:

- **Espelho de Corrente PMOS (M3, M4, M5):** Para garantir que a razão de corrente seja precisa, o transistor M4 foi implementado como dois "transistores unitários" idênticos (M4a e M4b) em paralelo, cada um com as mesmas dimensões de M3 e M5. Estes quatro transistores unitários foram arranjados de forma simétrica e intercalada (interdigitada) para minimizar os efeitos de gradientes de processo.
- **Par NMOS (M1 e M2):** Os transistores M1 e M2, que são idênticos e possuem uma razão W/L grande, foram implementados usando a técnica de **multi-dedos (multi-finger)**. A largura total de cada um foi dividida em vários "dedos" menores conectados em paralelo. Os dois transistores foram dispostos de forma intercalada para que ambos sofram variações de processo de maneira similar.

2. Layout Final, Verificações e Dimensões

Após o desenho do layout no ICStation e o roteamento das conexões, foram executadas as verificações de **DRC (Design Rule Check)** e **LVS (Layout Versus Schematic)**, ambas com sucesso, garantindo que o layout é fabricável e eletricamente equivalente ao esquemático. O layout final é apresentado na Figura 15.

Para determinar as dimensões do circuito, foi utilizado o comando **Report > Windows** no ICStation. A saída do comando ('Cell Extent') forneceu as coordenadas da caixa delimitadora do layout.

As coordenadas do ponto inferior esquerdo e do ponto superior direito do circuito são, respectivamente:

$$P_{IE} = [-15, 443 \mu\text{m}; 167, 000 \mu\text{m}]$$

$$P_{SD} = [96, 300 \mu\text{m}; 224, 278 \mu\text{m}]$$

Dessa forma, a largura e a altura do circuito são:

$$D_X = P_{SD,X} - P_{IE,X} = 96,300 - (-15,443) = 111,743 \mu\text{m}$$

$$D_Y = P_{SD,Y} - P_{IE,Y} = 224,278 - 167,000 = 57,278 \mu\text{m}$$

E a área total do circuito é:

$$A = D_X \times D_Y = 111,743 \times 57,278 \approx 6401,59 \mu\text{m}^2$$

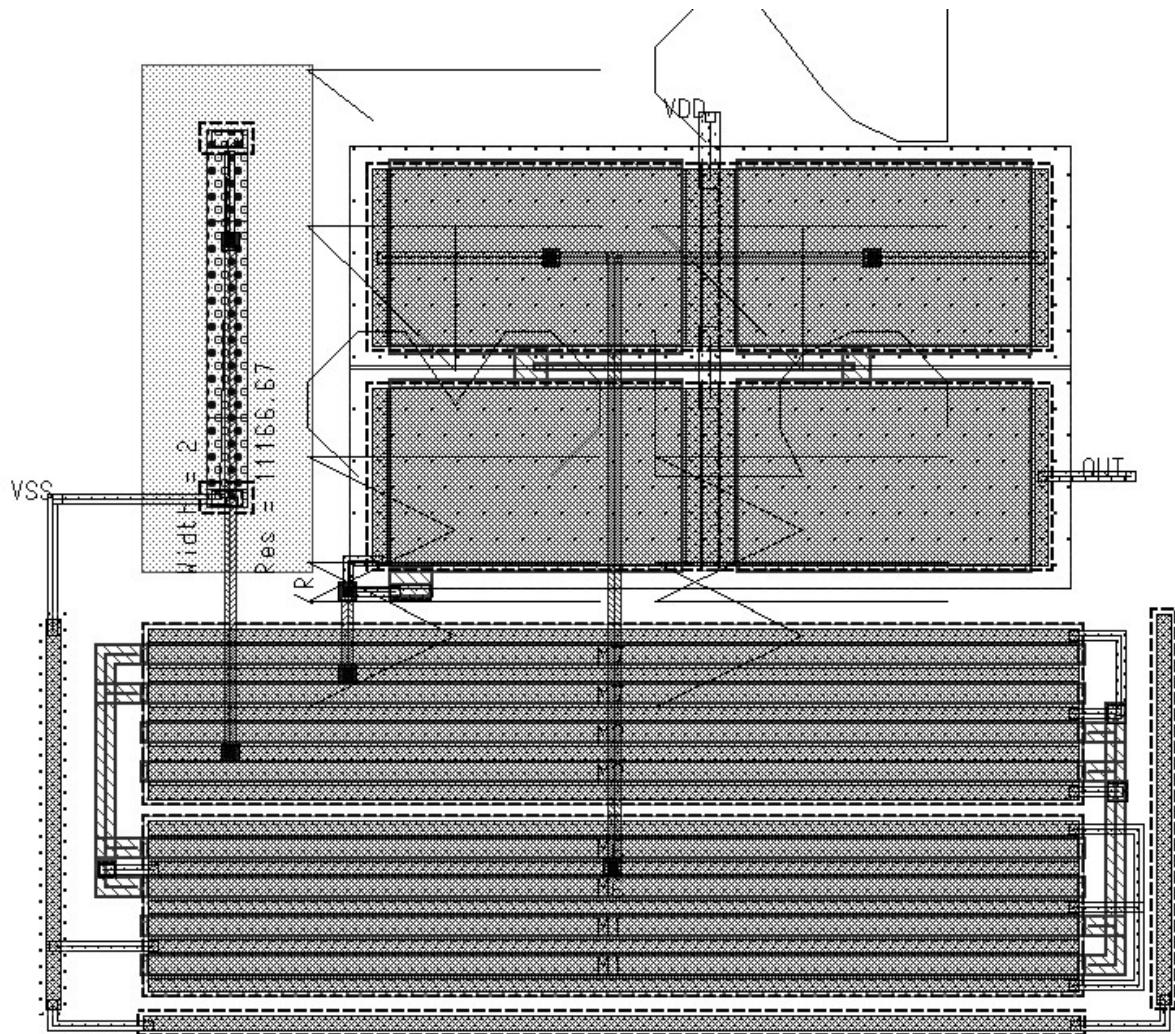


Figura 15: *Layout* final do circuito gerador de corrente de referência, com as devidas verificações de DRC e LVS.

Questão 16

Enunciado: Extrair o circuito do *layout* e determinar:

- corrente de saída para $V_{DD} = 3,0$ V (usar modelo típico);
- com simulação Monte Carlo, ao menos 200 simulações, traçar o gráfico **número de resultados X corrente de saída** em $V_{DD} = 3,0$ V. Ache o valor médio;
- Para $V_{DD} = 3,0$ V, qual é a máxima tensão que podemos aplicar na saída e a fonte continuar funcionando (considere que quando a corrente variou 2%, deixou de funcionar).

Resposta:

Esta etapa consiste na verificação pós-layout do circuito, utilizando o netlist extraído ('circuit.pex.netlist') que inclui os efeitos parasitas de interconexão, fornecendo uma visão mais realista do comportamento do circuito fabricado.

16.a. Corrente de Saída Pós-Layout

Com o netlist extraído do layout, a simulação DC abaixo foi executada para determinar a corrente de saída nominal com $V_{DD} = 3,0$ V.

```

1 * Instancia o subcircuito do layout
2 Xfc VDD VSS OUT CIRCUIT
3
4 * Fontes de Alimentacao
5 Vdd VDD 0 DC 5V
6 Vss VSS 0 DC 0V
7
8 * Conecta uma fonte de 0V na saida para medir a corrente
9 Vout OUT 0 DC 0V
10
11 * Varre a tensao de alimentacao de 0V a 5V
12 .DC Vdd 0V 5V 0.1mV
13
14 * Sonda a corrente de saida
15 .probe DC I(Vout)
16
17 * Inclusao de todos os arquivos necessarios com caminho absoluto
18 .include "circuit.pex.netlist"
19 .include "Model35_eldo"
20 .include "restm.mod"
21
22 .end

```

Listing 6: Netlist para simulação da corrente de saída nominal pós-layout.

O resultado da simulação, apresentado na Figura 16, mostra a curva da corrente de saída em função da tensão de alimentação. Para $V_{DD} = 3,0$ V, o valor obtido foi de **1,898 μ A**.

16.b. Simulação Monte Carlo

Para avaliar o impacto das variações de processo e do descasamento (mismatch) dos componentes, foi realizada uma simulação Monte Carlo com 500 execuções, utilizando o netlist a seguir.

```

1 * Instancia o subcircuito do layout
2 Xfc VDD VSS OUT CIRCUIT
3
4 * Fontes de Alimentacao (VDD fixo em 3V)
5 Vdd VDD 0 DC 3V
6 Vss VSS 0 DC OV
7 Vout OUT 0 DC OV
8
9 * Mede a corrente de saida I(Vout) para cada execucao
10 .meas DC Iout VAL I(Vout)
11
12 * Comando Monte Carlo para 500 execucoes
13 .MC 500 op Iout NBBINS=20 mismatch process
14
15 * Inclusao dos demais arquivos
16 .include "circuit.pex.netlist"
17 .include "restm.mod"
18
19 .end

```

Listing 7: Netlist para simulação Monte Carlo.

O resultado da análise é apresentado no histograma da Figura 17. A distribuição das correntes de saída mostra um comportamento centrado em torno do valor nominal, com um **valor médio de $1,900 \mu\text{A}$** .

16.c. Tensão de Saída Mínima (Compliance Voltage)

Para determinar a faixa de tensão na saída em que a fonte opera corretamente, uma simulação DC foi realizada, fixando $V_{DD} = 3,0 \text{ V}$ e varrendo a tensão do nó de saída (V_{out}). A fonte é considerada não funcional quando a corrente de saída varia mais de 2%.

```

1 * Instancia o subcircuito do layout
2 Xfc VDD VSS OUT CIRCUIT
3
4 * Fontes de Alimentacao (VDD fixo em 3V)
5 Vdd VDD 0 DC 3V
6 Vss VSS 0 DC OV
7
8 * A fonte na saida (Vo) sera a variavel da varredura
9 Vo OUT 0 OV
10
11 * Varre a tensao de saida Vo de 0V a 3V
12 .DC Vo 0V 3V 1mV
13
14 * Sonda a corrente de saida
15 .probe DC I(Vo)
16
17 * Inclusao de todos os arquivos necessarios
18 .include "circuit.pex.netlist"
19 .include "Model35_eldo"
20 .include "restm.mod"
21
22 .end

```

Listing 8: Netlist para determinar a tensão de saída mínima.

O resultado, plotado na Figura 18, mostra a corrente de saída em função da tensão de saída. Analisando o gráfico, a tensão máxima na saída para a qual a variação da corrente é inferior a 2% é de **2,61 V**.

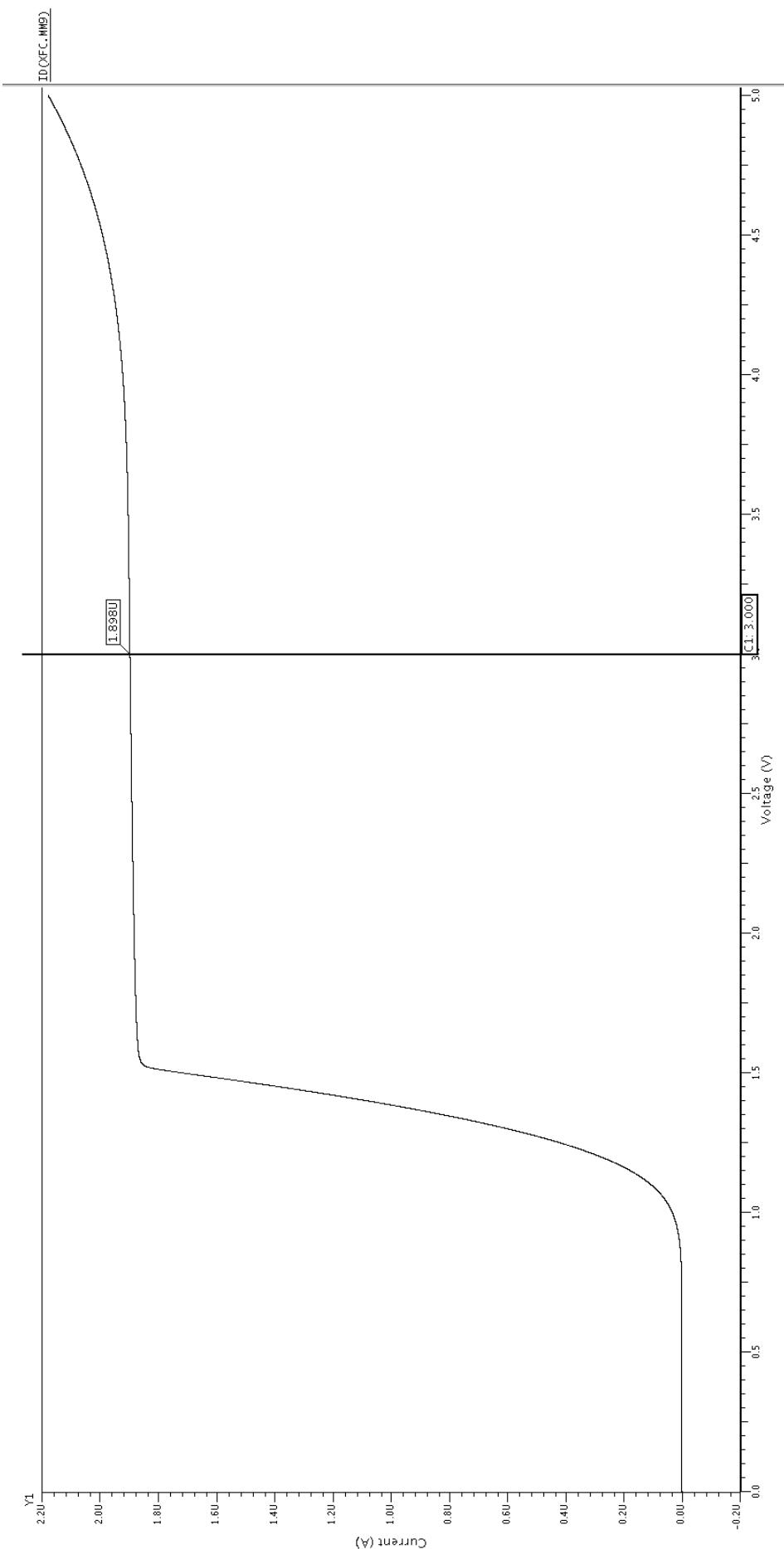


Figura 16: Corrente de saída I_S em função da tensão de alimentação V_{DD} , para o circuito extraído a partir do *layout*.

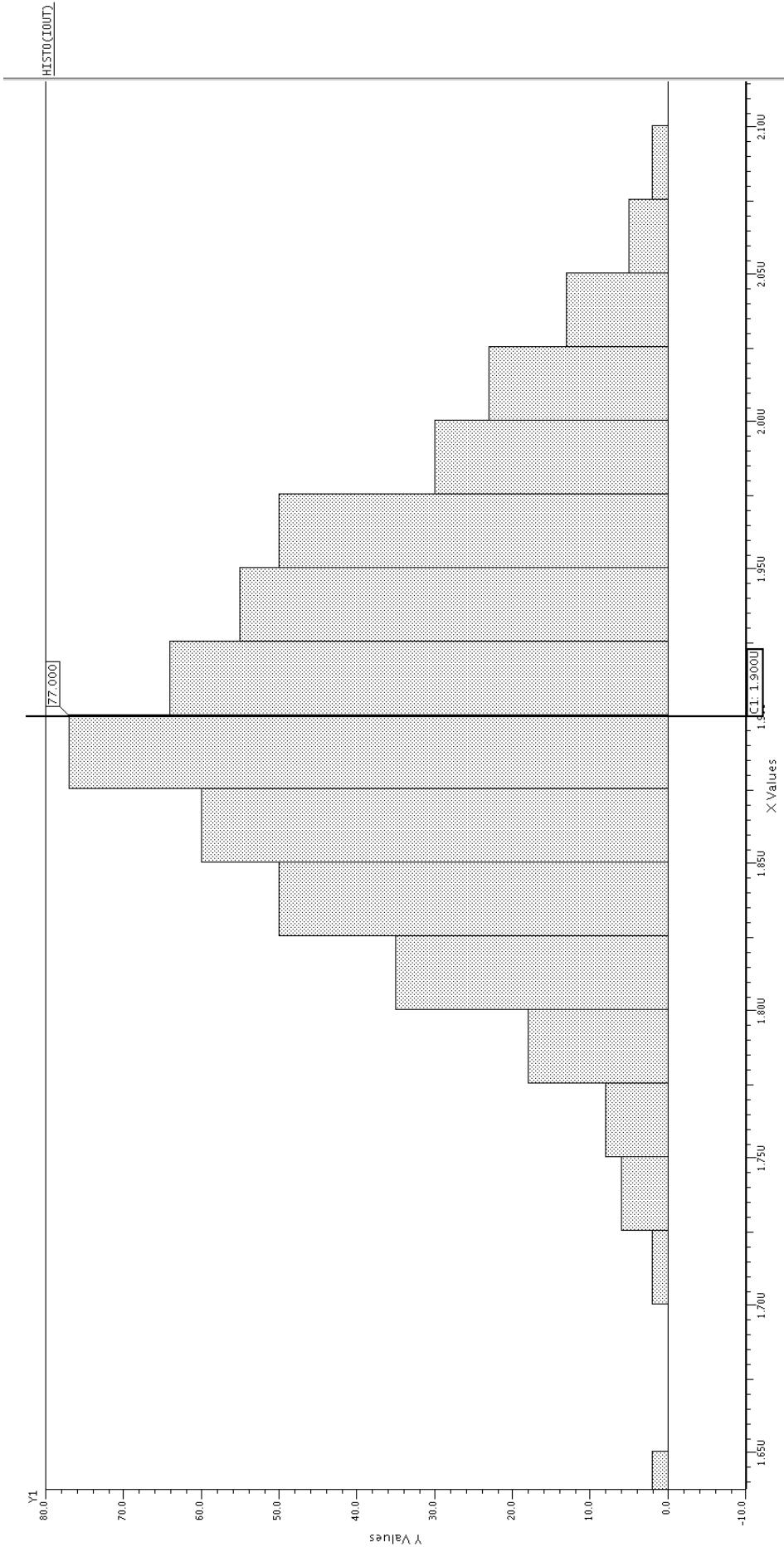


Figura 17: Histograma do número de resultados da corrente de saída para 500 simulações Monte Carlo com $V_{DD} = 3,0\text{ V}$.

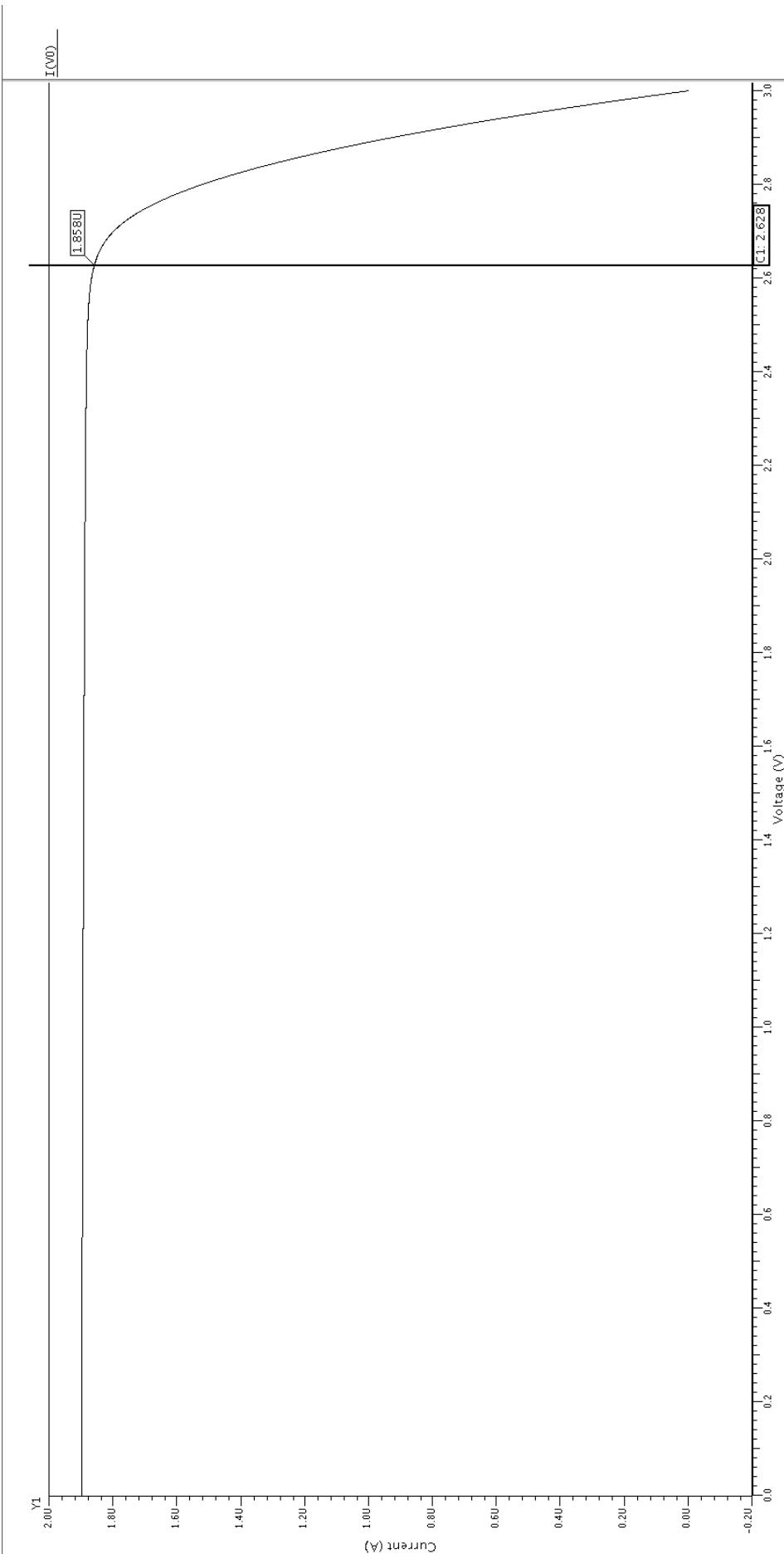


Figura 18: Corrente de saída em função da tensão aplicada na saída, para $V_{DD} = 3\text{ V}$.

Questão 17

Enunciado: Realize a simulação DC do circuito com a temperatura variando de -20°C até 100°C, em passos de 5,0°C ($V_{DD} = 3,0$ V). Abaixo há um exemplo de como devem ficar os comandos:

```
.option precise
.DC temp -30 120 10
.probe DC Id(Mp1)
```

Resposta:

Para avaliar o comportamento do circuito em diferentes temperaturas, foi utilizada uma análise DC com a temperatura ('temp') como variável de varredura. A tensão de alimentação V_{DD} foi mantida constante em 3,0 V.

O netlist abaixo, que utiliza o circuito extraído do layout, foi configurado para executar esta análise no ELDO. O resultado desta simulação permitirá traçar o gráfico da corrente de saída em função da temperatura.

```
1 *
2 .DEFMOD PMOS4 MODP
3 .DEFMOD NMOS4 MODN
4
5 .include "Model35_eldo"
6 .include "restm.mod"
7 .include "circuit.pex.netlist"
8
9 Xfc VDD VSS OUT CIRCUIT
10
11 Vdd VDD 0 DC 3V
12 Vss VSS 0 DC 0V
13
14 Vo OUT 0 0V
15 .DC Vo 0V 3V 1mV
16
17 .option precise
18 .DC temp -20 100 5
19
20 .probe DC Id(Xfc.mM9)
21
22 .end
```

Listing 9: Netlist para simulação com varredura de temperatura.

Explicação dos Comandos:

- ‘**Xfc ... CIRCUIT**’: Instancia o circuito completo a partir do netlist extraído do layout.
- ‘**Vdd VDD 0 DC 3V**’: Fixa a tensão de alimentação em 3,0 V, conforme solicitado.
- ‘**.option precise**’: Instrui o simulador a utilizar tolerâncias numéricas mais rigorosas para uma simulação mais precisa.

- ‘**.DC temp -20 100 5**‘: Este é o comando principal da análise. Ele executa uma série de simulações de ponto de operação, varrendo a temperatura global do circuito de -20°C a 100°C, com um incremento de 5°C a cada passo.
- ‘**.probe DC I(Vo)**‘: Salva o valor da corrente de saída (medida através da fonte ‘Vo’) para cada ponto de temperatura, permitindo que os dados sejam plotados.

Questão 18

Enunciado: Apresente a curva $I_S \times$ Temperatura e determine os valores extremos da corrente. Compare a dependência teórica de I_S com a temperatura e os resultados?

Resposta:

Esta questão analisa os resultados da simulação de varredura de temperatura configurada na Questão 17.

1. Curva $I_S \times$ Temperatura e Valores Extremos

O gráfico resultante da simulação, apresentado na Figura 19, mostra a variação da corrente de saída I_S em função da temperatura do circuito. Utilizando os marcadores no visualizador de formas de onda, foi possível medir os valores da corrente nos extremos da faixa de temperatura simulada (de -20°C a 100°C).

Os valores medidos foram:

- **Corrente Mínima (em -20°C):** $I_{min} = 1,655 \mu\text{A}$.
- **Corrente Máxima (em 100°C):** $I_{max} = 2,535 \mu\text{A}$.

2. Comparaçāo com a Dependência Teórica

- **Dependência Teórica:** A expressão teórica para a corrente de saída é:

$$I_S = X \frac{U_T}{R} \ln(MN)$$

O principal termo nesta equação que depende da temperatura é a tensão térmica, \mathbf{U}_T . A tensão térmica é definida como $U_T = kT/q$, onde T é a temperatura absoluta em Kelvin. Isso significa que U_T é diretamente proporcional à temperatura absoluta. Consequentemente, a teoria prevê que a corrente de saída I_S também terá uma dependência diretamente proporcional e linear com a temperatura. Este comportamento é conhecido como **PTAT (Proportional To Absolute Temperature)**.

- **Análise dos Resultados:** O gráfico obtido na Figura 19 confirma essa previsão teórica. A curva de I_S em função da temperatura apresenta uma inclinação **positiva e aproximadamente linear**. Isso indica que, conforme a temperatura aumenta, a corrente de saída também aumenta de forma previsível, validando o comportamento PTAT do circuito. Pequenos desvios da linearidade perfeita podem ocorrer devido aos coeficientes de temperatura do resistor e dos parâmetros dos transistores, mas o efeito dominante é o da tensão térmica U_T .

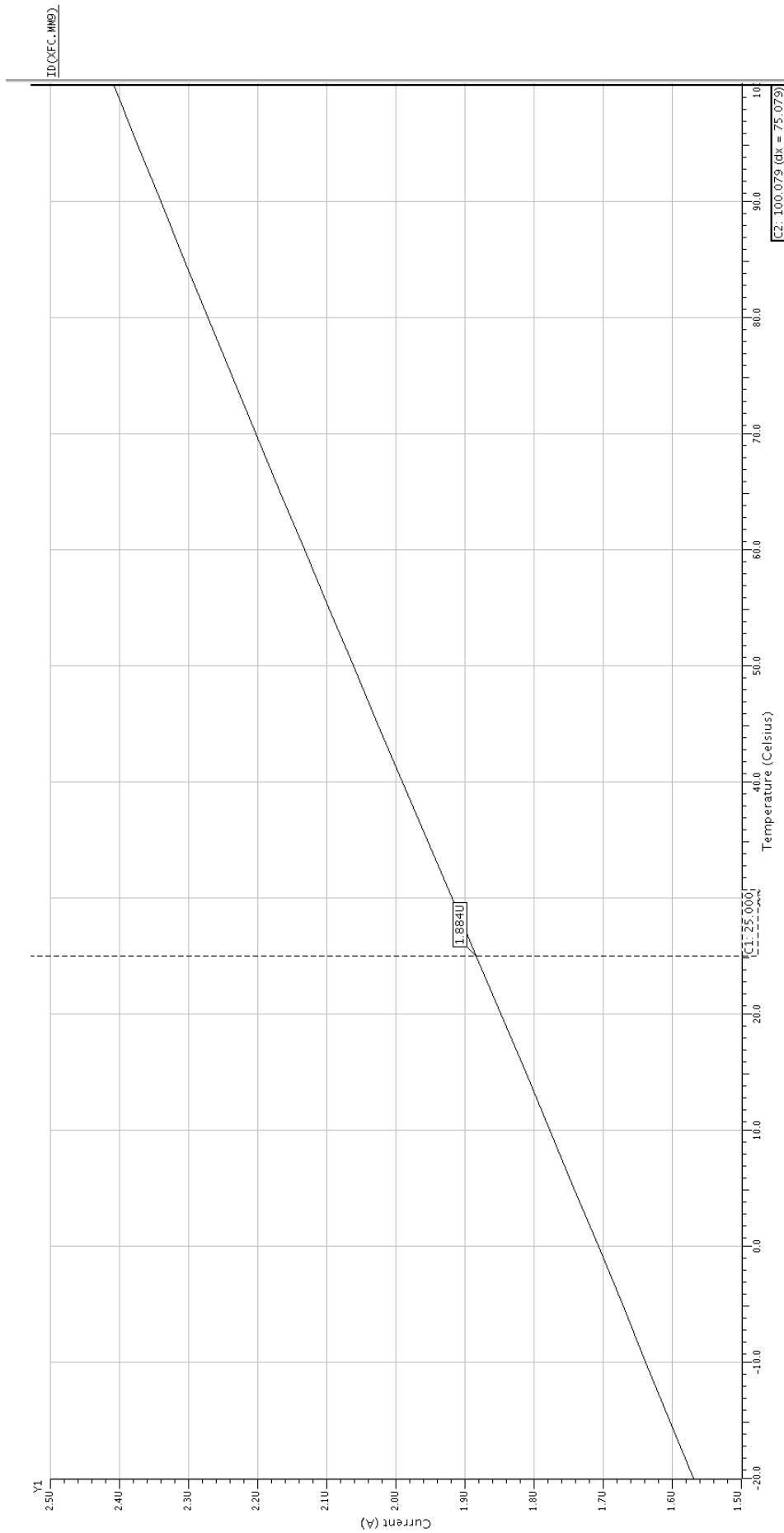


Figura 19: Gráfico da corrente de saída (I_S) em função da temperatura, obtido a partir da simulação do circuito extraído.

Questão 20

Enunciado: Aplique um sinal AC de 1,0V na tensão de alimentação e faça uma simulação AC de 1,0 KHz a 100 MHz analisando 10 pontos por década (ver comando .AC). Abaixo há um exemplo de como devem ficar os comandos:

```
Vd vd 0 3V AC 1
.AC DEC 10 1K 10MEG
.probe AC Id(Mn4) Vd(5) v(6)
```

Resposta:

Esta simulação tem como objetivo realizar uma análise em frequência (AC) para avaliar a sensibilidade da corrente de saída (I_S) a ruídos ou variações na linha de alimentação (V_{DD}). Este parâmetro é conhecido como **Rejeição à Fonte de Alimentação (PSRR - Power Supply Rejection Ratio)**.

Para isso, configuramos um netlist que utiliza o circuito extraído do layout e aplica os comandos de análise AC conforme especificado.

```

1 *
2 .DEFMOD PMOS4 MODP
3 .DEFMOD NMOS4 MODN
4
5 .include "Model35_eldo"
6 .include "restm.mod"
7 .include "circuit.pex.netlist"
8
9 Xfc VDD VSS OUT CIRCUIT
10
11 Vdd VDD 0 3V AC 0.1
12 Vss VSS 0 DC 0V
13 Vo OUT 0 DC 0V
14
15 * Análise AC
16 .AC DEC 10 1K 100MEG
17
18 * Corrente na saída
19 .probe AC Id(Xfc.mM9)
20
21 .end
```

Listing 10: Netlist para simulação AC (análise de PSRR).

Explicação dos Comandos:

- ‘**Vdd VDD 0 DC 3V AC 1**’: Esta linha define a fonte de alimentação. O parâmetro ‘DC 3.0’ estabelece o ponto de operação do circuito, enquanto ‘AC 1.0’ aplica o sinal senoidal de 1,0 V de amplitude que será varrido em frequência, simulando o ruído na alimentação.
- ‘**.AC DEC 10 1k 100MEG**’: Este comando executa a análise em frequência. Ele instrui o simulador a fazer uma varredura logarítmica (‘DEC’), calculando 10 pontos por década, na faixa de 1 KHz até 100 MHz.

- ‘**.probe AC Id(Xfc.mM9)**’: Salva a componente AC da corrente de saída para cada ponto de frequência. Este dado será utilizado na próxima questão para plotar o gráfico de resposta em frequência.

Questão 21

Enunciado: Apresente o gráfico I_S (em dB) x frequência (em escala logarítmica) (mostre os comando do ELDO utilizados). Caso se deseje que o ruído na saída se mantenha inferior a 1% da corrente nominal, para um ruído de 0,1 V na fonte de alimentação, qual a máxima frequência que o ruído pode ter?

Resposta:

Esta questão analisa os resultados da simulação AC (PSRR) configurada na Questão 20 para determinar a imunidade do circuito a ruídos na alimentação em função da frequência.

1. Gráfico I_S (dB) vs. Frequência

Os comandos do ELDO utilizados na Questão 20 geraram a resposta em frequência da corrente de saída a uma perturbação na fonte de alimentação. Para obter o gráfico em decibéis (dB), a seguinte expressão foi plotada no visualizador de formas de onda: ‘ $20*\log10(|I(V_o)|)$ ’. O resultado é apresentado na Figura 20.

2. Cálculo da Frequência Máxima de Ruído

O problema estabelece um limite para a ondulação (ruído) na corrente de saída, que é usado para encontrar a frequência máxima permitida para um ruído de 0,1 V na fonte. O cálculo é feito em dois passos:

1. Calcular a variação máxima permitida na corrente de saída ($|i_{out,max}|$):

O ruído na saída deve ser inferior a 1% da corrente nominal ($I_S = 1,9 \mu A$).

$$|i_{out,max}| = 0,01 \times 1,9 \mu A = 19 \text{ nA}$$

2. Converter para o limite em dB:

O critério de um ruído de 0,1V na entrada causando no máximo 19nA de ruído na saída define uma relação de ganho máxima. Como o gráfico já está em dB (normalizado para uma entrada de 1V), podemos converter o limite de corrente de 19nA para a mesma escala:

$$G_{\text{dB}} = 20 \log_{10}(19 \times 10^{-9}) \approx -154,42 \text{ dB}$$

3. Encontrar a Frequência no Gráfico:

Analisando o gráfico da Figura 20, utilizamos um cursor para encontrar em qual frequência a curva cruza o limite de -154,42 dB.

- Frequência máxima permitida para o ruído: $\approx 180 \text{ kHz}$.

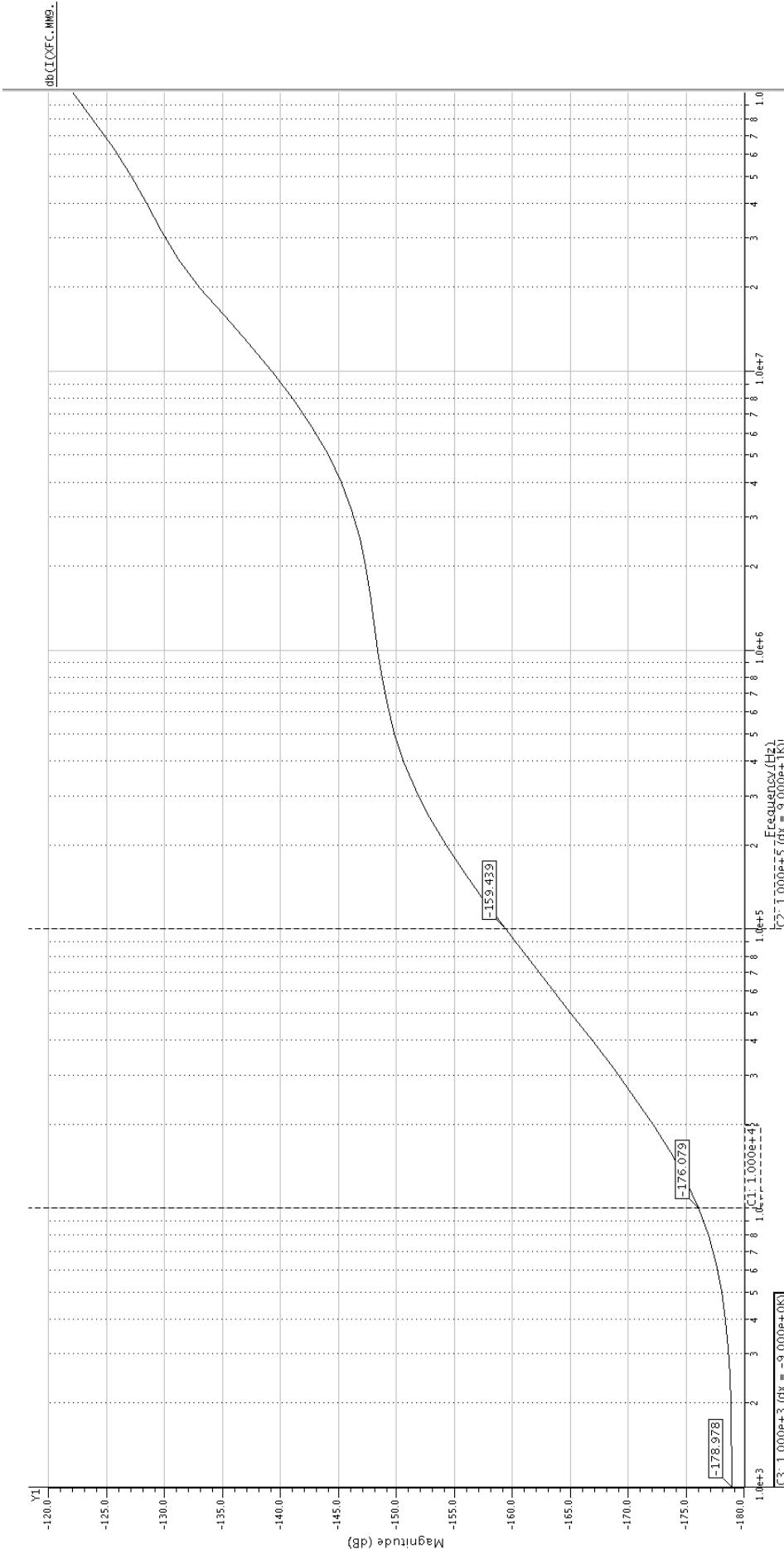


Figura 20: Gráfico da PSRR: Magnitude da corrente de saída (dB) vs. Frequência (Hz), obtido da simulação da Questão 20.

Questão 22

Enunciado: Caso a fonte de alimentação apresente ruídos acima de 0,1 V em frequências acima da permitida, qual providência simples pode ser tomada para reduzir seu efeito?

Resposta:

A providência mais simples e eficaz para reduzir o efeito de ruídos de alta frequência na linha de alimentação (V_{DD}) é a implementação de um **filtro passa-baixas** diretamente na entrada de alimentação do circuito.

A forma mais comum de realizar esta filtragem é através da adição de um **capacitor de desacoplamento** (*decoupling capacitor*).

Como Funciona:

- **Implementação:** Um capacitor é conectado fisicamente o mais próximo possível dos pinos de VDD e VSS do circuito integrado.
- **Princípio de Operação:** O capacitor atua como um caminho de baixa impedância para os sinais de alta frequência. A impedância de um capacitor ($Z_C = 1/(j\omega C)$) diminui à medida que a frequência (ω) aumenta.
 - Para a tensão DC de alimentação (frequência zero), o capacitor comporta-se como um circuito aberto, não afetando a polarização do circuito.
 - Para os ruídos de alta frequência, o capacitor oferece um caminho de baixa impedância para o terra (VSS), desviando eficazmente a energia do ruído da alimentação do circuito sensível.

Essencialmente, o capacitor de desacoplamento "limpa" a tensão de alimentação que o circuito enxerga, melhorando significativamente a sua imunidade a ruídos e, consequentemente, a sua Rejeição à Fonte de Alimentação (PSRR) em altas frequências.

Para uma filtragem ainda mais eficaz, o capacitor pode ser associado a um resistor para formar um **filtro RC passa-baixas**, que atenua os ruídos com uma frequência de corte definida por $f_c = 1/(2\pi RC)$. No entanto, a utilização de apenas um capacitor já é uma providência simples e muito efetiva.

Questão 23

Enunciado: Tecnologias CMOS são desenvolvidas para fornecer transistores MOS, NMOS e PMOS. Apesar disso, não raramente são também disponibilizados transistores bipolares. Verifique os transistores bipolares LAT2 e Vert10 fornecidos pela AMS, manual ENG-183. Que tipo de transistores são (NPN ou PNP) e por que são chamados de lateral, LAT2, e vertical, VERT10?

Resposta:

1. Tipo dos Transistores (NPN ou PNP)

De acordo com o manual ENG-183, ambos os transistores bipolares disponíveis no processo da AMS, o LAT2 e o VERT10, são do tipo **PNP**.

Esses transistores são inerentes ao processo CMOS, formados pelas mesmas camadas de dopagem utilizadas para construir os transistores MOS. A estrutura típica deles é:

- **Vertical PNP (VERT10):** É formado utilizando uma difusão P+ (Emissor), inserida em um poço N (Base), que por sua vez é construído sobre o substrato tipo P (Coletor). O coletor deste dispositivo está, portanto, sempre conectado ao substrato.
- **Lateral PNP (LAT2):** É construído inteiramente dentro de um poço N (que atua como a Base). Duas difusões P+ adjacentes são criadas dentro deste poço para servirem como Emissor e Coletor.

2. Nomenclatura "Lateral" e "Vertical"

Os nomes "lateral" e "vertical" referem-se à **direção principal do fluxo de corrente** dos portadores minoritários (lacunas, no caso de um PNP) através da região da base do transistor.

- **Lateral (LAT2):** A corrente flui **paralelamente** à superfície do chip. As lacunas são injetadas do Emissor P+, viajam horizontalmente através da região da base (poço N) e são coletadas pela difusão P+ adjacente que forma o Coletor.
- **Vertical (VERT10):** Neste transistor, a corrente flui **perpendicularmente** à superfície do chip. As lacunas são injetadas do Emissor P+ (no topo), atravessam verticalmente a base (poço N) e são coletadas pelo substrato P (na parte inferior).

Questão 24

Enunciado: Verifique o comportamento do transistor VERT10 com a temperatura. Para isso conecte o emissor dele a uma fonte de corrente (valor de corrente igual ao que você usou no projeto), a base e coletor ao terra e faça. Apresente o gráfico V_{BE} x Temperatura. A declaração do transistor é:

```
Qname coletor base emissor VERT10
```

O modelo VERT10 encontra-se no fim do material.

Resposta:

Esta simulação visa caracterizar a dependência da tensão base-emissor (V_{BE}) de um transistor bipolar com a temperatura. Este é um efeito fundamental utilizado no projeto de referências de tensão.

1. Configuração e Script da Simulação

O circuito foi montado conforme o enunciado: o coletor e a base do transistor ‘VERT10‘ são conectados ao terra, e o emissor é polarizado por uma fonte de corrente constante com o valor nominal do nosso projeto, $I_S = 1,9 \mu A$. Em seguida, realiza-se uma varredura na temperatura utilizando o netlist abaixo.

```

1 *
2
3 * TJB PNP
4 Q1 C B E VERT10
5 .connect C 0
6 .connect B 0
7
8 * Fonte de corrente
9 I1 0 E DC 1.9uA
10
11 * Variar temperatura de -20C ate 100C
12 .option precise
13 .DC temp -20 100 5
14
15 * Corrente na saida
16 .probe DC V(B,E)
17
18 .include 'Model_Vert10'
19
20 .end

```

Listing 11: Netlist para caracterização de V_{BE} vs. Temperatura.

2. Gráfico V_{BE} x Temperatura e Análise

O resultado da simulação, apresentado na Figura 21, mostra a tensão V_{BE} em função da temperatura.

O gráfico demonstra que a tensão V_{BE} diminui de forma quase perfeitamente linear com o aumento da temperatura. Este comportamento é conhecido como CTAT (Complementary To Absolute Temperature), ou seja, complementar (inversamente proporcional) à temperatura absoluta.

Para uma junção PN de silício, a tensão V_{BE} possui um coeficiente de temperatura de aproximadamente -1.5 a -2.5 mV/°C. Esta propriedade previsível é a base para a criação de referências de tensão estáveis (bandgap), pois este coeficiente de temperatura negativo pode ser combinado com um coeficiente positivo (PTAT) para gerar uma tensão de referência com dependência térmica próxima de zero.

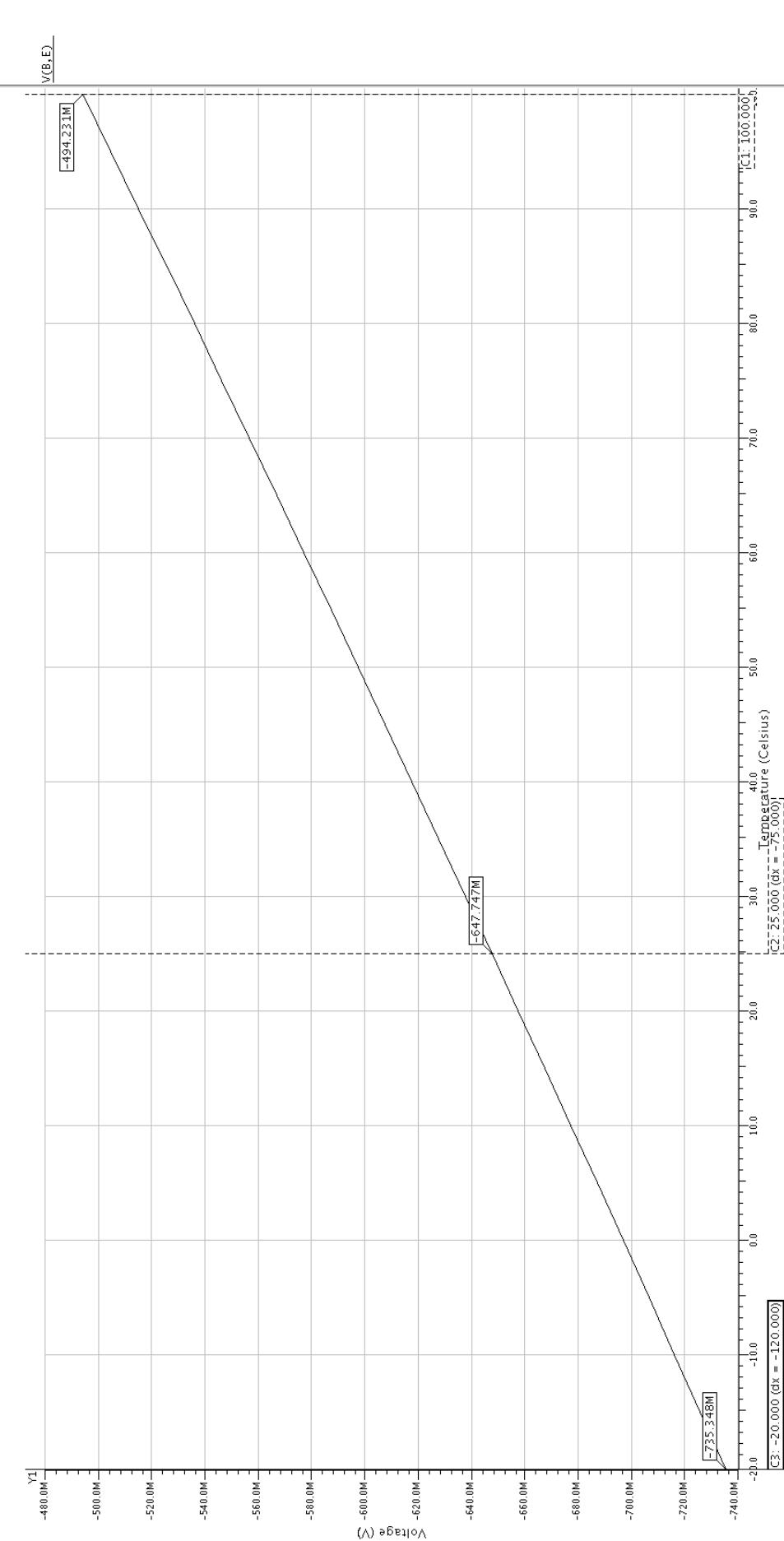


Figura 21: Gráfico da tensão V_{BE} (V) em função da Temperatura ($^{\circ}\text{C}$) para o transistor VERT10 polarizado com 1, 9 μA .

Questão 25

Enunciado: Projete uma fonte de tensão de referência similar a da figura 4 mas utilize a fonte de corrente que você projetou (questão 15). Na fonte de tensão faça com que a corrente do bipolar seja igual à corrente que passa pelo resistor R_1 (Figura 4). O valor de R_2 deve ser ajustado para que o Coeficiente de Temperatura seja inferior a 50 ppm/ $^{\circ}\text{C}$, para as temperaturas variando entre -10°C e 100°C . Apresente o esquemático do circuito completo, as dimensões dos transistores e os valores dos resistores. Apresente também o gráfico $\mathbf{V_{REF} \times Temperatura}$.

$$* \text{Coeficiente de Temperatura [ppm/}^{\circ}\text{C}] = \frac{V_{MAX}-V_{MIN}}{V_{REF,nominal}} \times \frac{1}{T_{MAX}-T_{MIN}} \times 10^6$$

Resposta:

O projeto consiste em criar uma referência de tensão **bandgap**, que combina uma tensão com coeficiente de temperatura negativo (CTAT) com uma tensão de coeficiente positivo (PTAT) para gerar uma saída estável. A tensão de saída é a soma $V_{REF} = V_{BE} + I_R \cdot R_2$, onde o valor de R_2 é o parâmetro de ajuste para minimizar a variação térmica.

1. Otimização do Resistor R_2 para Mínimo Coeficiente de Temperatura

Para encontrar o valor ótimo de R_2 , foi realizada uma simulação de varredura aninhada. Para cada valor de R_2 , o circuito foi simulado na faixa de temperatura de -10°C a 100°C para calcular o Coeficiente de Temperatura (TC), utilizando o netlist.

```

1 * Fonte de corrente
2 Xfc VDD VSS OUT CIRCUIT
3 * TJB PNP
4 Q1 C B E VERT10
5 .connect C 0
6 .connect B 0
7 * Resistor
8 R2 OUT E 200k
9
10 Vdd VDD 0 DC 3V
11 Vss VSS 0 DC 0V
12
13 * Variar temperatura de -10C ate 100C
14 .option precise
15 .DC temp -10 100 5 SWEEP R2 INCR 100 200k 340k
16
17 * Coeficiente de temperatura (CT)
18 .meas DCSWEEP Vmax MAX V(OUT)
19 .meas DCSWEEP Vmin MIN V(OUT)
20 .meas DCSWEEP Vref FIND V(OUT) at 25
21 .meas CT param='(Vmax-Vmin)*1MEG/(Vref*110)'
22
23 .include "circuit.pex.netlist"
24 .include "Model35_Eldo"
25 .include 'Model_Vert10'
26
27 .end

```

Listing 12: Netlist para otimização de R_2 .

O resultado, plotado na Figura 23, mostra que o TC mínimo obtido é de 24,07 ppm/ $^{\circ}\text{C}$. A faixa de valores de R_2 para a qual o TC se mantém abaixo de 50 ppm/ $^{\circ}\text{C}$ é de [267,21 k Ω ; 281,17 k Ω]. O ponto de TC mínimo ocorre visualmente em aproximadamente 274 k Ω .

2. Verificação do Casamento de Correntes

A segunda condição do projeto é que a corrente no ramo do bipolar (I_{R2}) seja igual à corrente de referência interna (I_{R1}). Uma nova simulação foi executada para verificar a razão I_{R2}/I_{R1} dentro da faixa otimizada de R_2 .

```

1 * Fonte de corrente
2 Xfc VDD VSS OUT CIRCUIT
3 * TJB PNP
4 Q1 C B E VERT10
5 .connect C 0
6 .connect B 0
7 * Resistor
8 R2 E OUT 200k
9
10 Vdd VDD 0 DC 3V
11 Vss VSS 0 DC 0V
12
13 .option precise
14 .DC temp 24 26 1 SWEEP Rvalue INCR 100 267k 281k
15
16 .meas DCSWEEP IR1 FIND I(Xfc.XR0.R1) AT 25
17 .meas DCSWEEP IR2 FIND I(R2) AT 25
18 .meas DCSWEEP ratio param='IR2/IR1'
19
20 .include "circuit.pex.netlist"
21 .include "Model35_Eldo"
22 .include 'Model_Vert10'
23 .end

```

Listing 13: Netlist para verificação da razão de correntes.

O gráfico da Figura 24 mostra que, na faixa de interesse, a razão das correntes é de aproximadamente 1,0027 , um erro de apenas 0,27

3. Resultados Finais do Projeto

Com base na análise, os componentes finais do projeto estão resumidos na Tabela 4. O esquemático final é apresentado na Figura 22. Uma simulação final foi realizada para verificar o comportamento da tensão de referência com o valor de R2 otimizado.

```

1 * Fonte de corrente
2 Xfc VDD VSS OUT CIRCUIT
3 * TJB PNP
4 Q1 C B E VERT10
5 .connect C 0
6 .connect B 0
7 * Resistor
8 R2 E OUT 274k
9
10 Vdd VDD 0 DC 3V
11 Vss VSS 0 DC 0V
12
13 * Variar temperatura de -10C ate 100C
14 .option precise
15 .DC temp -10 100 1
16
17 * Tensao
18 .probe DC V(OUT)
19
20 .include "circuit.pex.netlist"
21 .include "Model35_Eldo"
22 .include 'Model_Vert10'
23 .end

```

Listing 14: Netlist para a simulação final de Vref vs. Temp.

O gráfico final, na Figura 25, confirma o excelente desempenho do projeto. A tensão de referência se mantém extremamente estável, com uma variação total (pico a pico) de apenas 3,22 mV em toda a faixa de -10°C a 100°C.

Tabela 4: Tabela de dimensões e valores finais para a fonte de tensão de referência.

Componente	(W/L)	Escolhido	L (μm)	W (μm)	Valor
M1, M2, M6, M7	95		1,0	95,0	-
M3, M4 _a , M4 _b , M5	0,6		15,0	9,0	-
Q1	-		-	-	VERT10
R1 (na fonte)	-		-	-	11,152 k Ω
R2	-		-	-	274 k Ω

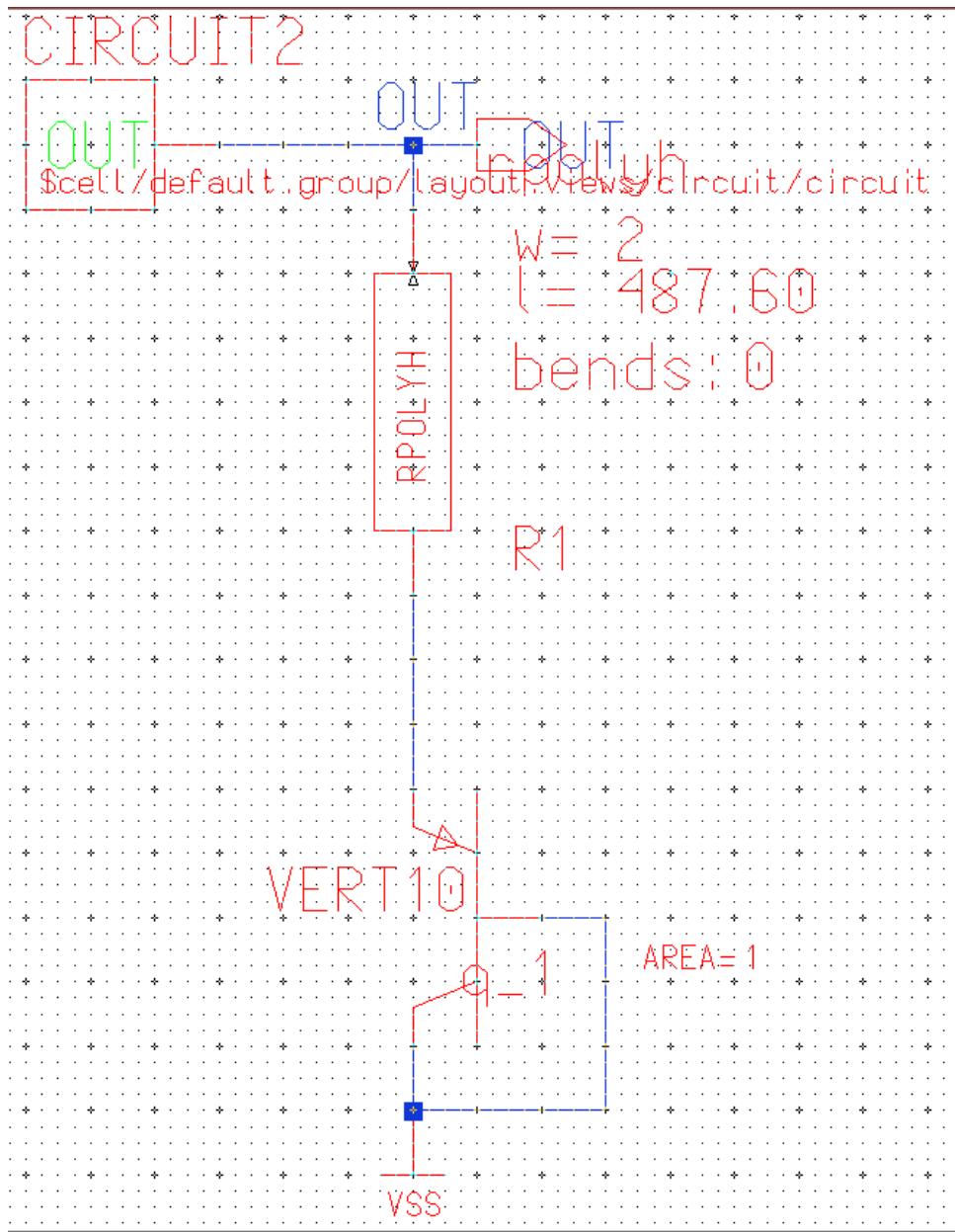


Figura 22: Esquemático da fonte de tensão de referência. O bloco "CIRCUIT" corresponde à fonte de corrente projetada.

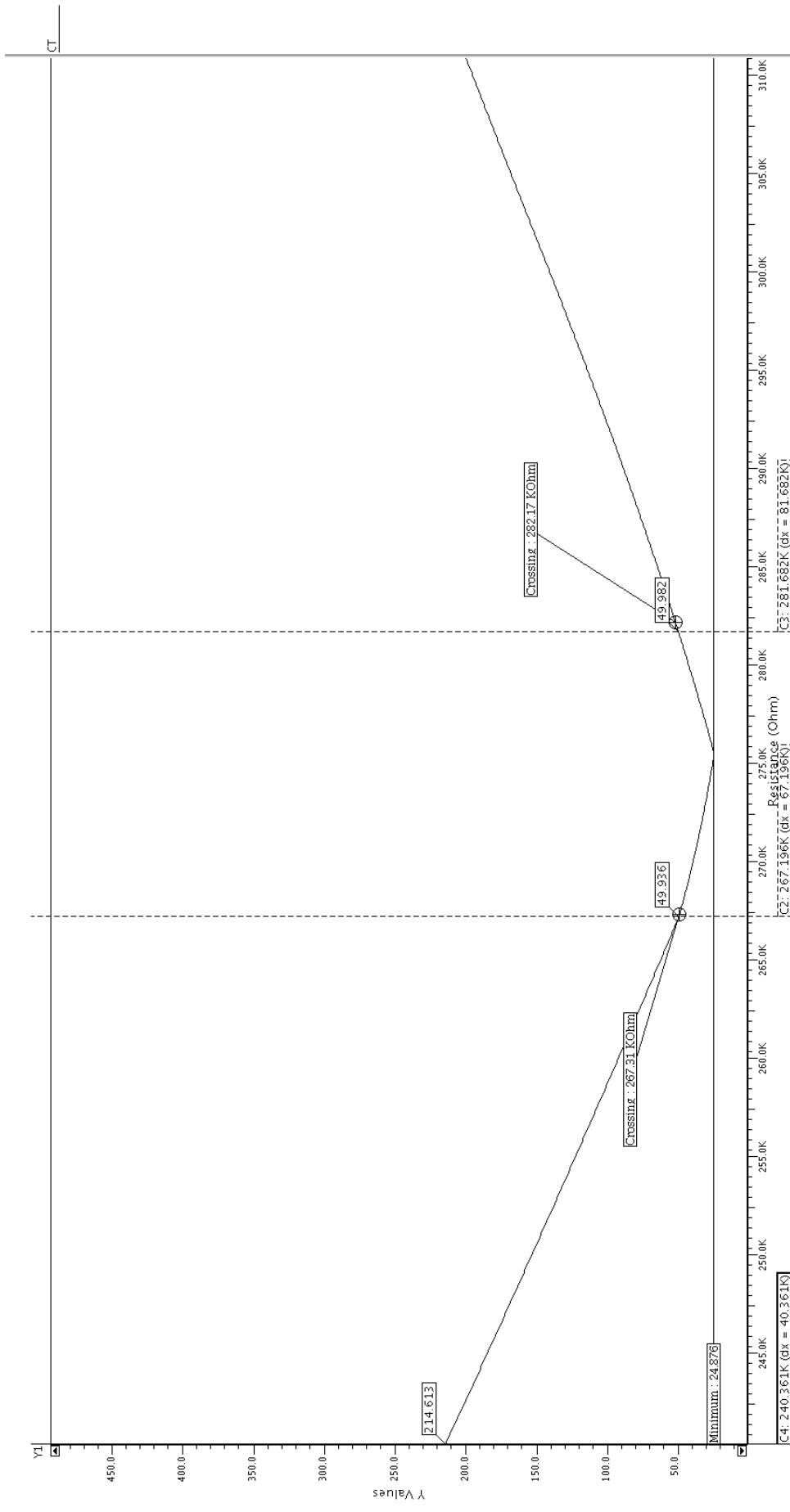


Figura 23: Coeficiente de Temperatura ($\text{ppm}/\text{°C}$) em função do valor de R_2 (Ω).

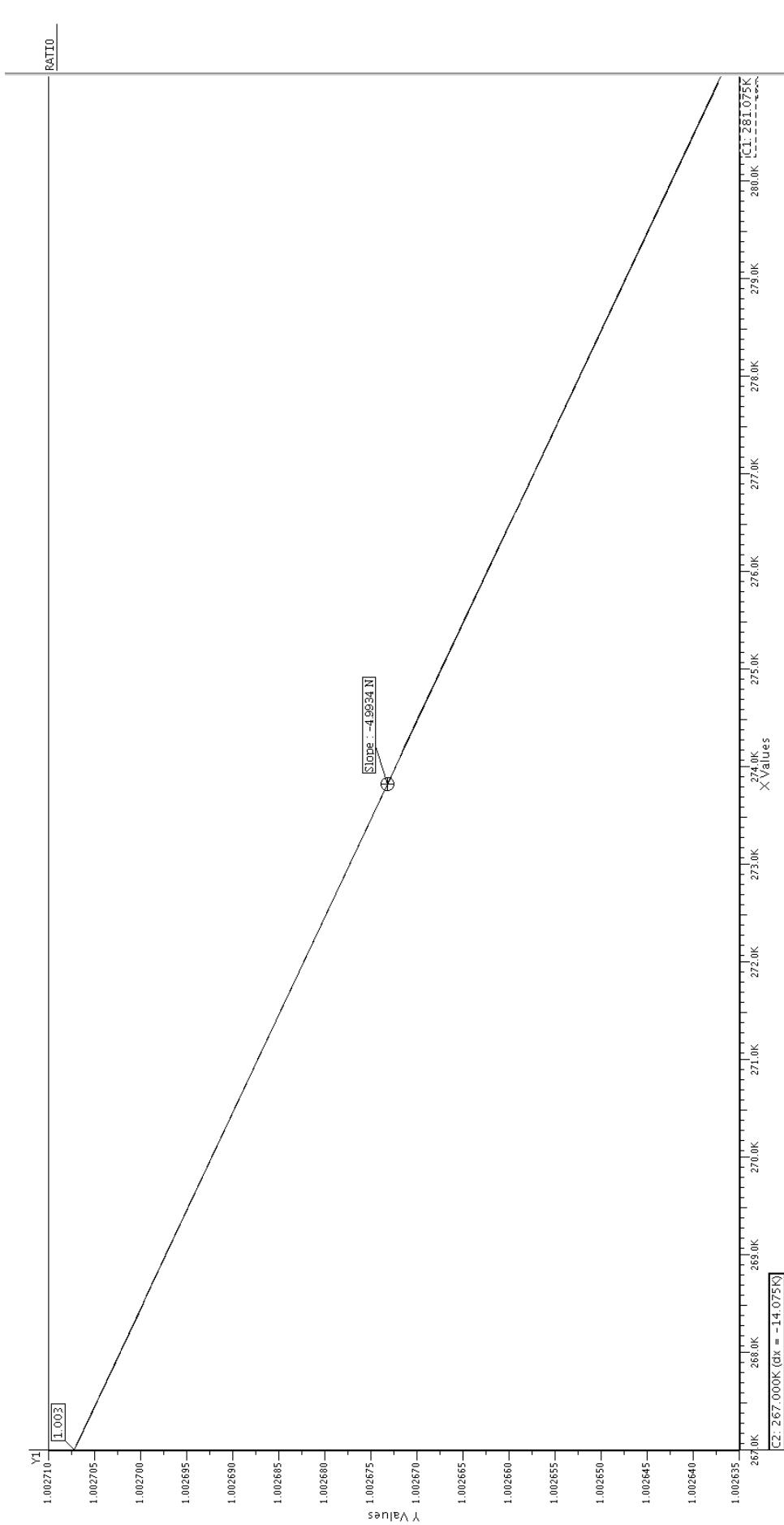


Figura 24: Razão entre as correntes I_{R2} e I_{R1} em função do valor de R_2 (Ω).

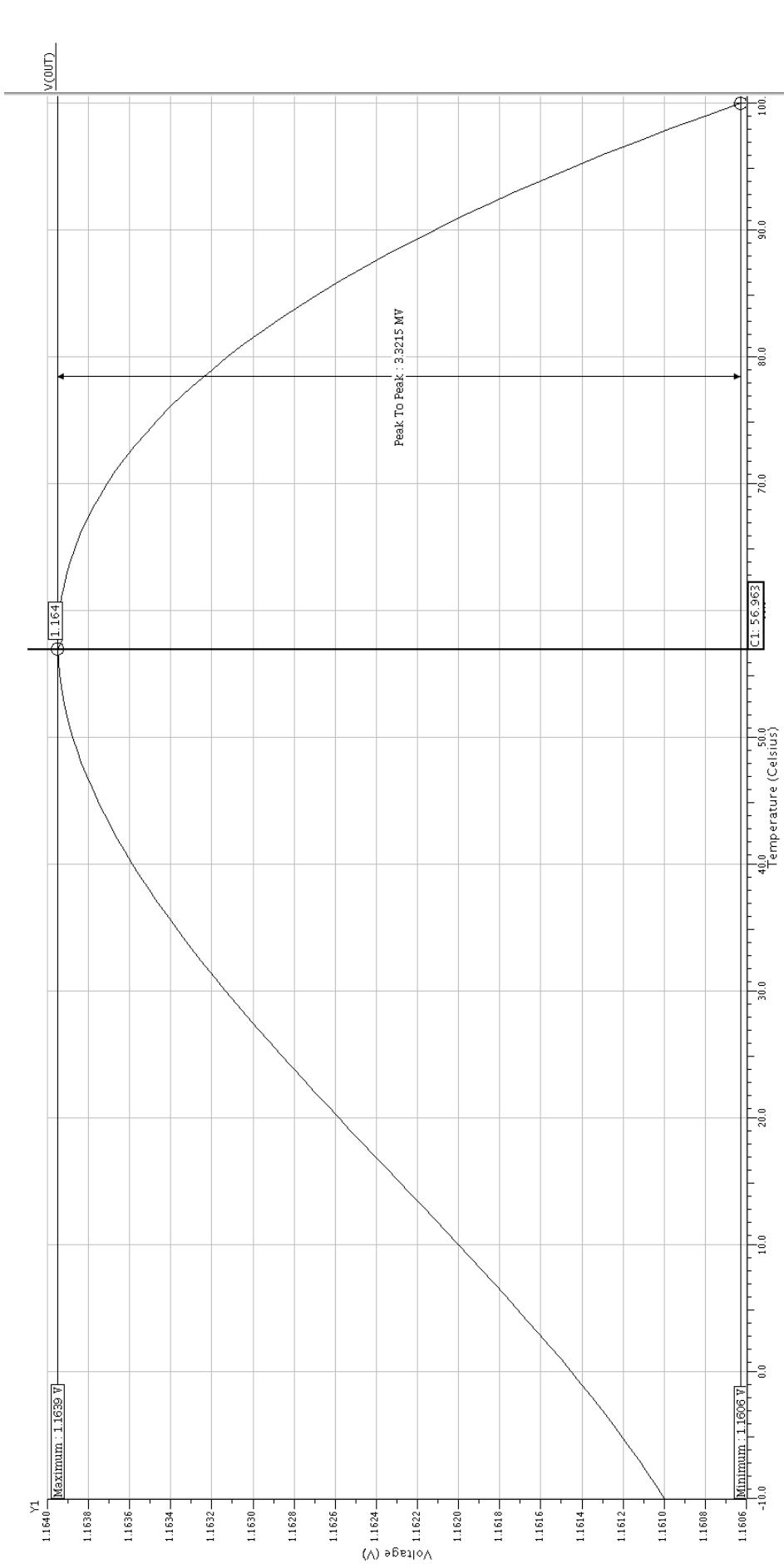


Figura 25: Comportamento final de V_{REF} (V) em função da Temperatura (°C) com R2 otimizado.

Questão 26

Enunciado: Desenhe o *layout* da fonte de tensão completa. Utilize o transistor vertical PRIMLAB/VERT10 da biblioteca. Ajuste o comprimento de R₂ no *layout* para que o coeficiente de temperatura do circuito extraído se mantenha abaixo de 50 ppm/°C.

Obs.: o transistor bipolar extraído vem com o parâmetro Area. Apague este parâmetro senão ficará errado.

Resposta:

Esta etapa move o projeto da referência de tensão do nível de esquemático para o nível físico (*layout*), incluindo um ciclo de otimização pós-layout para garantir que o desempenho real, considerando os efeitos parasitas, atenda à especificação do coeficiente de temperatura (TC).

1. Criação e Otimização Pós-Layout

O processo iniciou-se com a criação do layout da fonte de tensão completa, instanciando o layout da fonte de corrente (Questão 15), o transistor bipolar ‘VERT10’ e desenhando o resistor R2 com as dimensões calculadas na Questão 25.

Devido aos efeitos parasitas (capacitâncias e resistências das interconexões) que não são considerados na simulação de esquemático, o TC do circuito extraído do layout difere do valor previamente otimizado. Para corrigir isso, um ciclo de ajuste foi necessário:

1. O netlist do circuito foi extraído do layout (PEX).
2. O parâmetro ‘Area’ do transistor BJT foi removido do netlist extraído, conforme a observação do enunciado.
3. Uma simulação de varredura, similar à da Questão 25, foi executada. Desta vez, em vez de varrer o valor da resistência, a simulação varreu o **comprimento (L) do resistor R2** para encontrar o ponto de TC mínimo.

O resultado desta simulação de otimização pós-layout é apresentado na Figura 26. A partir do gráfico, foi escolhido o valor de comprimento para o qual o coeficiente de temperatura é mínimo, ou seja, **L = 487,60 μm**.

2. Layout Final

Após o ajuste do comprimento de R2 no ICStation e a verificação final (DRC e LVS), o layout completo da fonte de tensão de referência foi finalizado. O resultado é apresentado na Figura 27.

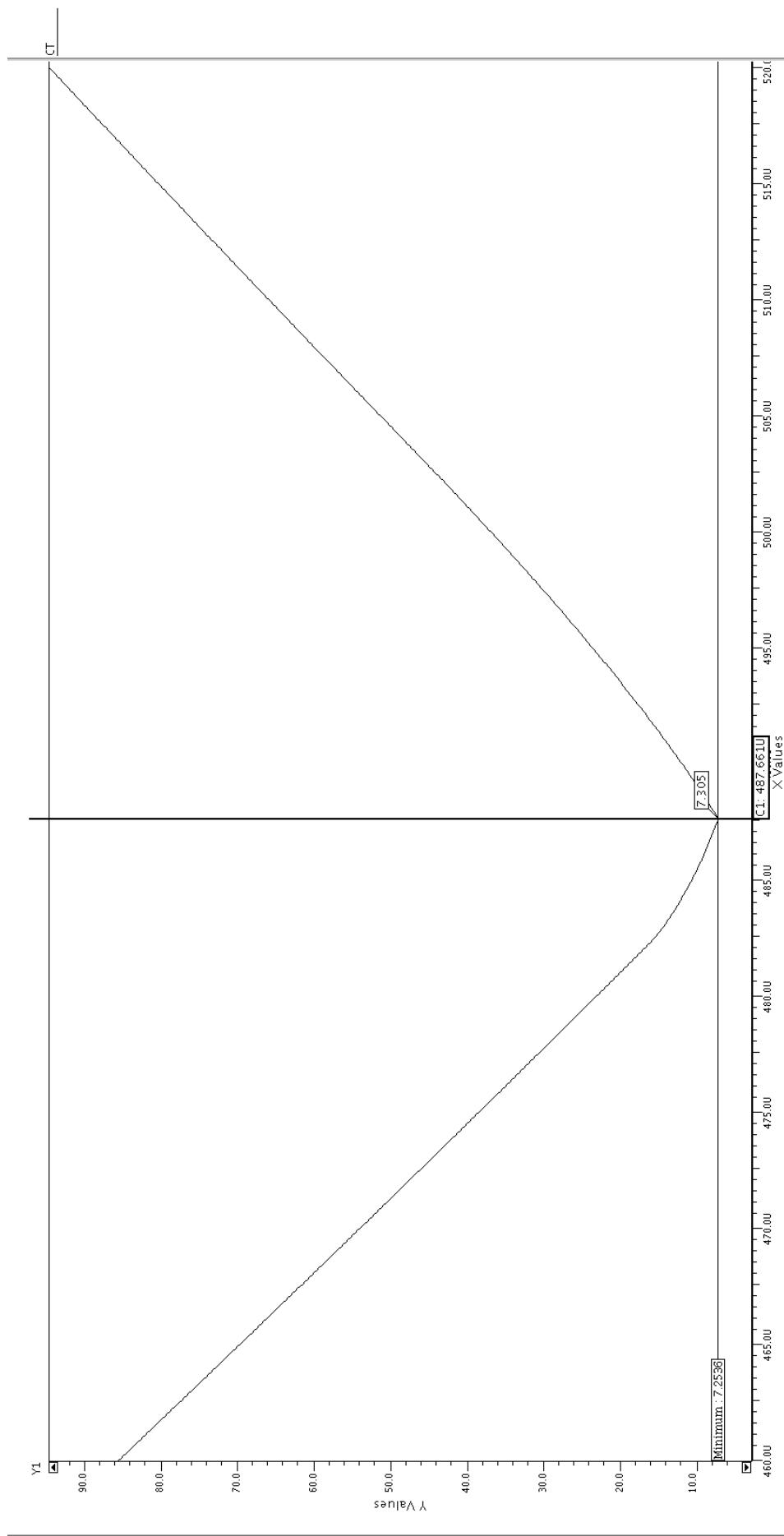


Figura 26: Coeficiente de Temperatura (ppm/°C) em função do comprimento de R_2 (μm), para o circuito extraído a partir do layout.

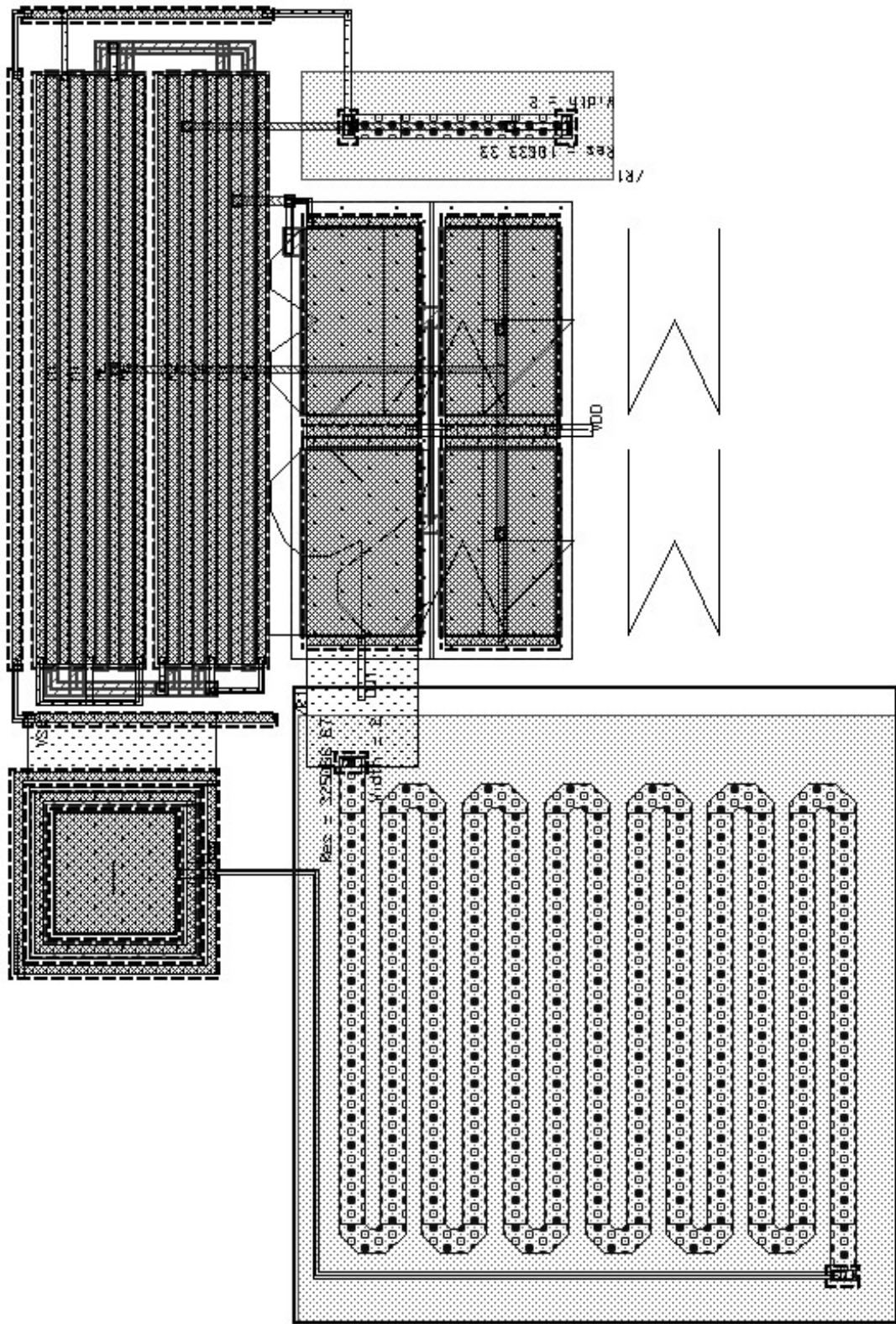


Figura 27: Layout final da fonte de tensão de referência bandgap, com R2 ajustado para o TC especificado.

Questão 27

Enunciado: Adicione ao *layout Pads* de V_{DD} e GND. Passar o DRC para verificar se tudo está correto. Quais são as dimensões do circuito com os *Pads*? Apresente o *layout* do circuito e o gráfico $V_{REF} \times$ Temperatura para valores de V_{DD} de 2,0 V, 2,5 V e 3,0V.

Obs.: um bloco de Pad pode ser encontrado na biblioteca IOLIB_4M, célula g-padonly.

Resposta:

Na etapa final de implementação física, o "núcleo" do circuito da Questão 26 foi conectado a pads de VDD, VSS (GND) e VREF, utilizando a célula 'g-padonly' da biblioteca 'IOLIB4M'. Após o roteamento, o layout completo do chip foi verificado com DRC, resultando no projeto final apresentado na Figura 28.

As dimensões totais do chip foram obtidas no ICStation com o comando **Report > Windows**:

$$P_{IE} = [92,100 \mu\text{m}; -68,050 \mu\text{m}]$$

$$P_{SD} = [199,643 \mu\text{m}; 201,150 \mu\text{m}]$$

Isso resulta em uma largura de **107,543 μm**, uma altura de **269,200 μm**, e uma área total de aproximadamente **28950,58 μm²**.

Por fim, foi realizada uma simulação de regulação de linha com o netlist extraído do núcleo, varrendo a temperatura e a tensão de alimentação (V_{DD}) para verificar a estabilidade da tensão de referência (V_{REF}).

```

1 *
2 * Instancia a fonte de tensao extraida do layout da Questao 26
3 Xft VDD VSS OUT TENSION
4
5 Vdd VDD 0 DC 3V
6 Vss VSS 0 DC OV
7
8 * --- Comandos de Analise ---
9 * Varredura aninhada: temperatura e, para cada temperatura, os valores de VDD
10 .option precise
11 .DC temp -10 100 1 SWEEP Vdd LIST 2.0 2.5 3.0
12
13 * Sonda a tensao de saida V(OUT)
14 .probe DC V(OUT)
15
16 * Inclusao dos arquivos de modelo e do circuito
17 .include "tension_new_L.cir"
18 .include "Model35_Eldo"
19 .include "Model_Vert10"
20 .end

```

Listing 15: Netlist para análise de VREF vs. Temp para diferentes VDD.

O resultado, na Figura 29, mostra as curvas de V_{REF} para V_{DD} de 2,0V, 2,5V e 3,0V. A proximidade entre as curvas confirma a excelente regulação de linha do circuito, indicando baixa sensibilidade a variações na tensão de alimentação em toda a faixa de temperatura.

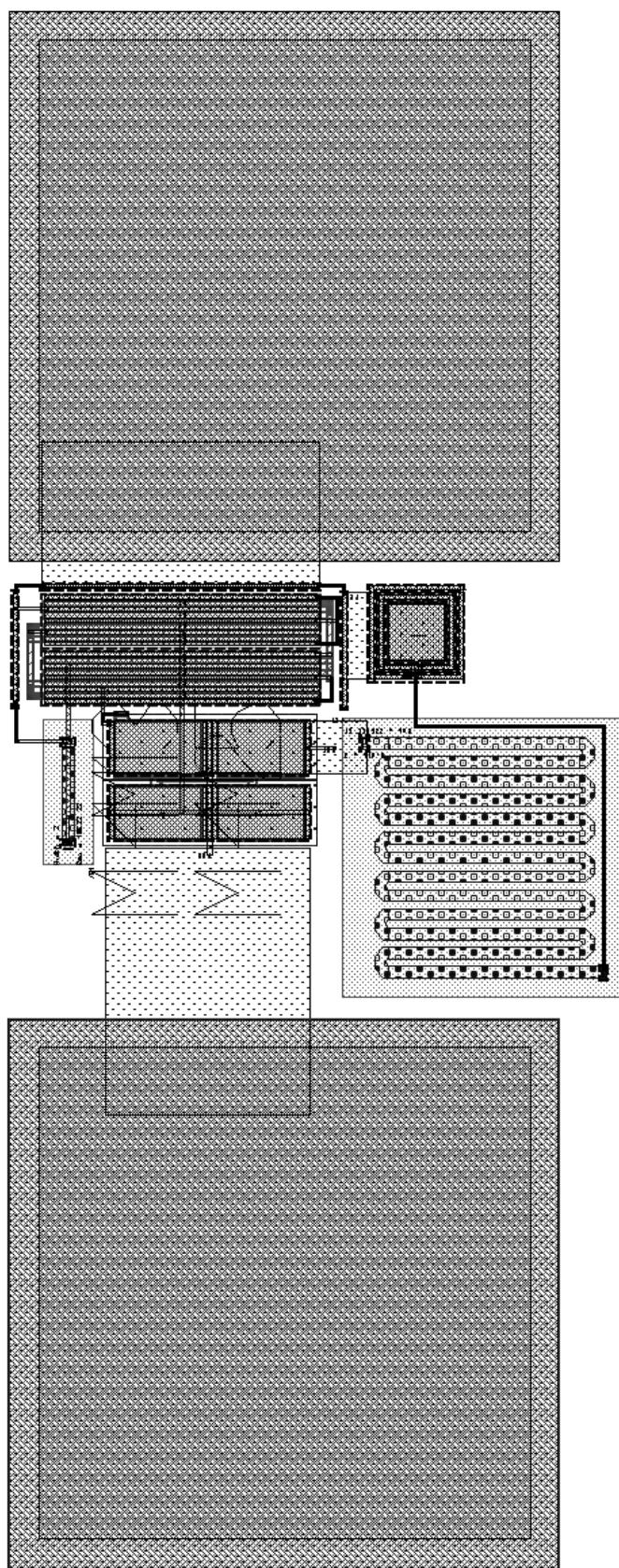


Figura 28: Layout final do circuito completo com os pads de alimentação e saída.

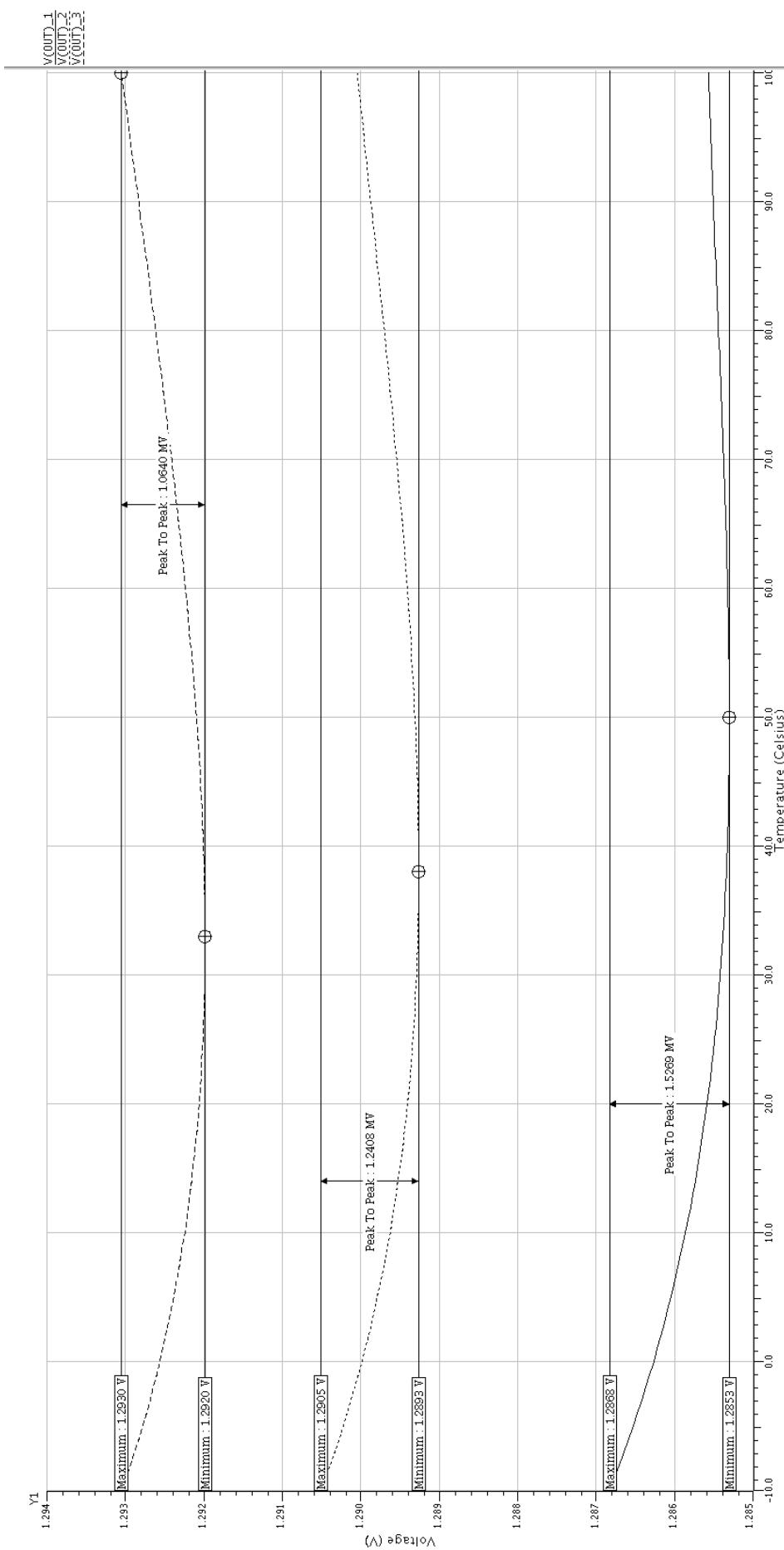


Figura 29: Tensão de saída V_{REF} (V) em função da Temperatura (°C). De cima para baixo, as curvas correspondem a $V_{DD} = 3,0\text{ V}$, $V_{DD} = 2,5\text{ V}$ e $V_{DD} = 2,0\text{ V}$.

Referências

- [1] Austria Micro Systems, *0.35 μm CMOS C35 Process Parameters*, ENG-182, 2003.
- [2] Austria Micro Systems, *0.35 μm CMOS C35 Design Rules*, ENG-183, 2003.
- [3] Mentor Graphics, *Eldo User's Manual*, 2005.
- [4] Mentor Graphics, *Calibre xRC User's Manual*, 2009.
- [5] Mentor Graphics, *Eldo Device Equations Manual*, 2005.