

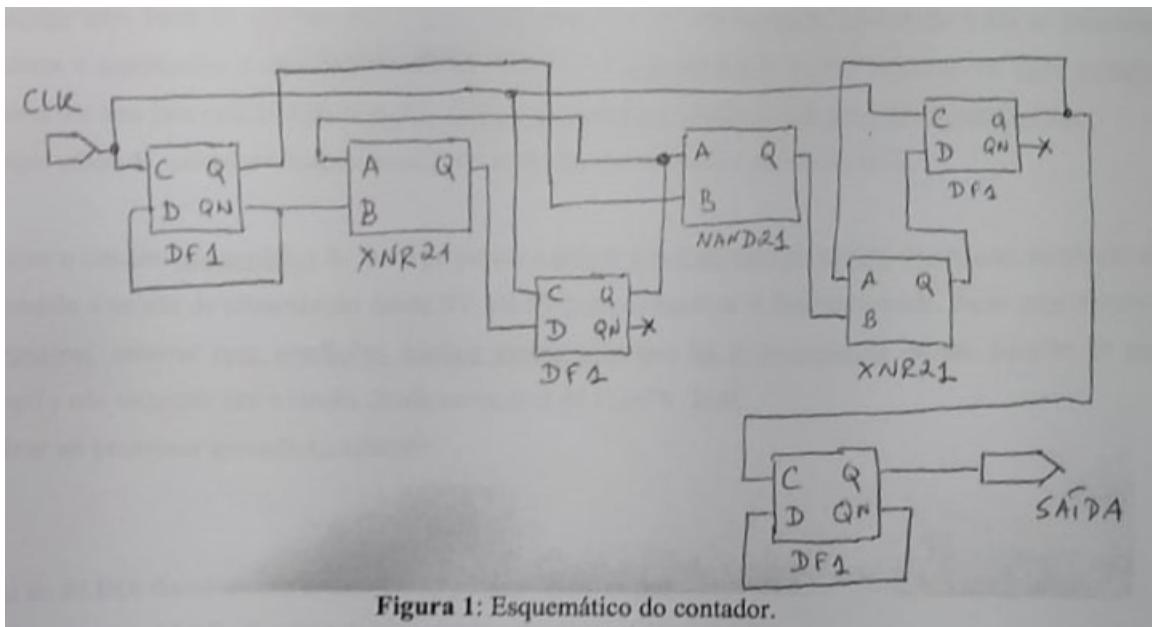
## Prova 2022a - Circuitos Integrados Digitais I

Considerar uma porta CMOS estática que realiza a função lógica  $(a \cdot b + c)$ . Supor que as dimensões dos NMOS são todas iguais, acontecendo o mesmo com os PMOS. Para os NMOS tem-se  $W_n = 4\mu m$ .

1. Fazer o circuito esquemático da porta CMOS e gerar o símbolo. Fazer todas as verificações necessárias no esquemático e no símbolo, não deixando nenhum erro ou aviso. As dimensões dos PMOS devem ser escolhidas de forma que o pior tempo de subida seja igual ao melhor tempo de descida.
2. Gerar a partir do esquemático o layout da porta tomando cuidado para que este seja bem feito. Fazer a verificação com o DRC, eliminando todos os erros, e executar o LVS calibre (podem restar apenas os erros normalmente ignorados em aula; na dúvida perguntar ao professor).

Se não respondeu à questão anterior,  $W_n = 4\mu m$ ,  $W_p = 12\mu m$  e  $L_n = L_p = 0.35\mu m$ .

3. Extrair o circuito de simulação a partir do layout, usando a opção R+C+CC. Fazer uma simulação de Monte Carlo com 75 pontos. Na simulação determinar e apresentar graficamente os tempos de subida e descida para as seguintes condições:  
 $V_{DD} = 2.8V$ ,  $C_L = 25fF$ ,  $A = 3V$ ,  $B = 0V$  e  $C$  sendo uma onda quadrada com  $3ns$  de período e  $0.2ns$  de tempo de subida e descida. Ajustar os parâmetros no comando de simulação para serem adequados às entradas usadas. Calcular também a área ocupada pela célula.
4. Acrescentar PADs ao layout para  $V_{DD}$  e  $V_{SS}$ . Eliminar erros e verificar com DRC.
5. Considerar o esquemático da Figura 1. É um circuito contador onde o sinal de saída tem frequência igual ao do sinal de relógio (clock) dividida por um fator  $M$ . Fazer o esquemático do circuito e gerar o seu símbolo. Fazer todas as verificações necessárias no esquemático e no símbolo, não deixando nenhum erro ou aviso.



**Figura 1:** Esquemático do contador.

**6. Determinar o fator de divisão M por simulação a partir do netlist do esquemático. Determinar da mesma forma a máxima frequência de operação. Usar  $V_{DD} = 3.0V$ , modelo worse-speed e como relógio (clock) uma onda quadrada com tempo de subida/descida de 5% do período.**

**7. Gerar o layout a partir do esquemático do contador. Fazer isso com o método automático para standard cells. Tomar cuidado para que o layout seja bem feito. Fazer a verificação com o DRC, eliminando todos os erros e executar o LVS calibre.**

**8. Extrair o circuito de simulação a partir do layout, usando a opção C+C+CC. Determinar a máxima frequência de operação. Utilizar  $V_{DD} = 3.0V$ , modelo worse-power e como relógio (clock) uma onda quadrada com tempo de subida/descida de 10% do período.**

**7. Projetar uma fonte de corrente de  $0.7\mu A$  para  $V_{DD} = 3.0V$  desenhando, calculando todas as dimensões de transistores e resistências e implementando no Mentor. Os transistores P devem trabalhar em forte inversão e a fonte deve ter uma boa estabilidade com  $V_{DD}$ . Utilizar no projeto a melhor topologia vista durante o curso. Topologia utilizada, cálculos e valores encontrados devem ser colocados na prova.**

**10. Fazer o circuito esquemático da fonte projetada e extrair o netlist para simulação. Fazer uma simulação do tipo DC variando a tensão de alimentação desde 0V até 3V para comprovar o funcionamento. Fazer uma simulação do tipo transient, mostrar com condições iniciais apropriadas que há necessidade de um**

**círcuito de arranque (start-up) e não esquecer que a tensão de alimentação é de  $V_{DD} = 3.0V$ .**