

Metodologia de Pesquisa (BCC36A)

Escrita de textos científicos Resumo

Prof. Dr. João Fabrício Filho

Monografia

- Para quem lê pela primeira vez uma monografia, pode ficar a impressão de que o trabalho foi escrito sequencialmente da mesma maneira como se apresenta.
- Normalmente esse não é o caso.

Ordem usual de apresentação

- 1)Resumo
- 2)Introdução
- 3)Revisão bibliográfica
- 4)Desenvolvimento
- 5)Conclusões
- 6)Referências

Partes da monografia

- Resumo: do quê se trata o trabalho
- Introdução: contextualização, objetivos, e procedimento metodológico
- Revisão bibliográfica: trabalhos similares e conceitos fundamentais
- Desenvolvimento: o trabalho propriamente dito
- Conclusões: fechamento, limitações e trabalhos futuros

Título

- Primeiro meio para chamar a atenção de um potencial leitor
- Deve destacar a principal contribuição do trabalho de forma sintética
- Um bom título é claro e conciso
 - Não deve ser genérico nem muito extenso

Exemplos de título

- Path Sensitive Signatures for Control Flow Error Detection
- Compiler-Assisted Selection of Hardware Acceleration Candidates from Application Source Code
- A 0.80 pJ/flop, 1.24 Tflop/sW 8-to-64 bit Transprecision Floating-Point Unit for a 64 bit RISC-V Processor in 22 nm FD-SOI

Resumo

- Muitos leitores se limitam a ler o título e o resumo de um trabalho
- Deve contextualizar e informar sobre o trabalho
 - Dispensar a consulta ao restante do texto para se ter a ideia do que trata o trabalho
 - Estimular o interesse pela leitura do texto completo
 - Destacar a principal contribuição do trabalho
 - Deve informar objetivos, resultados e conclusões

Resumos

- Importante
 - Resumos DEVEM conter SPOILERS!
- O resumo deve responder:
 - Qual é o problema? (WHAT)
 - Por que é importante? (WHY)
 - Como o problema foi tratado? (HOW)
 - O que foi encontrado? (WHAT did you find)
 - E agora o que mudou no mundo depois do trabalho? (NOW WHAT)

O Retorno de Jedi

O Império Galáctico tem adotado uma estratégia de opressão pela galáxia nas últimas décadas. Derrubar esse regime tem sido a prioridade da comunidade democrática. Em particular, remover o poder do Imperador é visto como a chave do retorno à paz e à prosperidade.

Esforços anteriores da Aliança Rebelde obtiveram sucesso em destruir a Estrela da Morte, contudo, falharam em destronar o Imperador, o que permitiu a criação de uma nova e mais poderosa Estrela da Morte, em construção em Endor.

Neste trabalho, nós assassinamos o Imperador e destruimos a nova Estrela da Morte. Para tanto, construímos uma parceria entre Luke Skywalker e os Ewok, a população nativa de Endor. Ewoks, que sozinhos não representam ameaça ao império, causam destruições e distrações para as tropas imperiais, para que Skywalker possa se infiltrar nas fortificações imperiais. Assim, Skywalker consegue confrontar Darth Vader e o Imperador. Na conjectura que Darth Vader é o pai de Skywalker, mostramos como Vader pode ser trazido de volta ao lado luminoso da força e utilizado para derrotar o Imperador.

Este trabalho não apresenta uma solução completa para o problema de destruir o Império Galáctico, porém pode alavancar a reinstalação democrática do senado galáctico em um futuro próximo.

Estrutura de um resumo

- Similaridades entre várias áreas
 - A informação incluída e a ordem são convencionais
 - Podem variar as ênfases em cada componente
- Embora cada autor tenha sua forma de expressar um modelo de resumo, existe um consenso sobre elementos típicos e sua ordem

Resumo

- Contexto
- Problema
- Objetivo
- Metodologia
- Principais resultados
- Conclusão

Resumo

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Contexto
- Problema
- Objetivo
- Metodologia
- Principais resultados
- Conclusão

Resumo

- Contexto

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Problema

Apresentar o problema
Citar necessidades/requisitos
Citar a ausência ou pouca pesquisa anterior

- Objetivo

- Metodologia

- Principais resultados

- Conclusão

Resumo

- Contexto

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Problema

Apresentar o problema
Citar necessidades/requisitos
Citar a ausência ou pouca pesquisa anterior

- Objetivo

Indicar o propósito principal
Detalhar/Especificar o propósito

- Metodologia

- Principais resultados

- Conclusão

Resumo

- Contexto

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Problema

Apresentar o problema
Citar necessidades/requisitos
Citar a ausência ou pouca pesquisa anterior

- Objetivo

Indicar o propósito principal
Detalhar/Especificar o propósito

- Metodologia

Listar critérios ou condições
Descrever e justificar materiais e métodos

- Principais resultados

- Conclusão

Resumo

- Contexto

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Problema

Apresentar o problema
Citar necessidades/requisitos
Citar a ausência ou pouca pesquisa anterior

- Objetivo

Indicar o propósito principal
Detalhar/Especificar o propósito

- Metodologia

Listar critérios ou condições
Descrever e justificar materiais e métodos

- Principais resultados

Descrever o artefato
Apresentar os resultados
Comentar/discutir os resultados

- Conclusão

Resumo

- Contexto

Declarar proeminência do tópico
Familiarizar termos e conceitos
Introduzir a pesquisa a partir da grande área

- Problema

Apresentar o problema
Citar necessidades/requisitos
Citar a ausência ou pouca pesquisa anterior

- Objetivo

Indicar o propósito principal
Detalhar/Especificar o propósito

- Metodologia

Listar critérios ou condições
Descrever e justificar materiais e métodos

- Principais resultados

Descrever o artefato
Apresentar os resultados
Comentar/discutir os resultados

- Conclusão

Contribuições/valor do trabalho
Limitações
Recomendações

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

contexto

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

problema

contexto

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

problema

contexto

objetivo

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

metodologia

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

problema

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

contexto

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

objetivo

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

metodologia

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

problema

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

resultados

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

contexto

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

objetivo

Exemplo de resumo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

metodologia

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

problema

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

conclusão

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

resultados

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

contexto

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

objetivo

Exemplo de resumo

The crisis of Moore's law and new dominant Machine Learning workloads require a paradigm shift towards finely tunable-precision (a.k.a. transprecision) computing.

contexto

More specifically, we need floating-point circuits that are capable to operate on many formats with high flexibility.

problema

We present the first silicon implementation of a 64-bit transprecision floating-point unit. It fully supports the standard double, single, and half precision, alongside custom bfloat and 8 bit formats.

objetivo

Operations occur on scalars or 2, 4, or 8-way SIMD vectors. We have integrated the 247 kGE unit into a 64 bit application-class RISC-V processor core.

metodologia

The added transprecision support accounts for an energy and area overhead of merely 11% and 9%, respectively; yet achieving speedups and per-datum energy gains of 7.3x and 7.94x.

resultados

In a design of a 22 nm FD-SOI technology, our proposal improve energy efficiency performance, across formats.

conclusão

Referências

- Wazlawick, Raul S. Metodologia de Pesquisa para Ciência da Computação. Disponível em: Minha Biblioteca, (3rd edição). Grupo GEN, 2020.
- Lucas Wanner. Abstracts must contain spoilers: example Return of the Jedi. 2019.
- S. Mach, F. Schuiki, F. Zaruba and L. Benini, "A 0.80pJ/flop, 1.24Tflop/sW 8-to-64 bit Transprecision Floating-Point Unit for a 64 bit RISC-V Processor in 22nm FD-SOI". VLSI-SoC, 2019.
- Z. Zhang, S. Park, and S. Mahlke. "Path Sensitive Signatures for Control Flow Error Detection". LCTES, 2020.
- G. Zacharopoulos, L. Ferretti, G. Ansaloni, G. Di Guglielmo, L. Carloni and L. Pozzi, "Compiler-Assisted Selection of Hardware Acceleration Candidates from Application Source Code". ICCD, 2019.
- Valéria D. Feltrim. Metodologia de Pesquisa em Computação. Material de aula. PPGCC- UEM, 2015.