



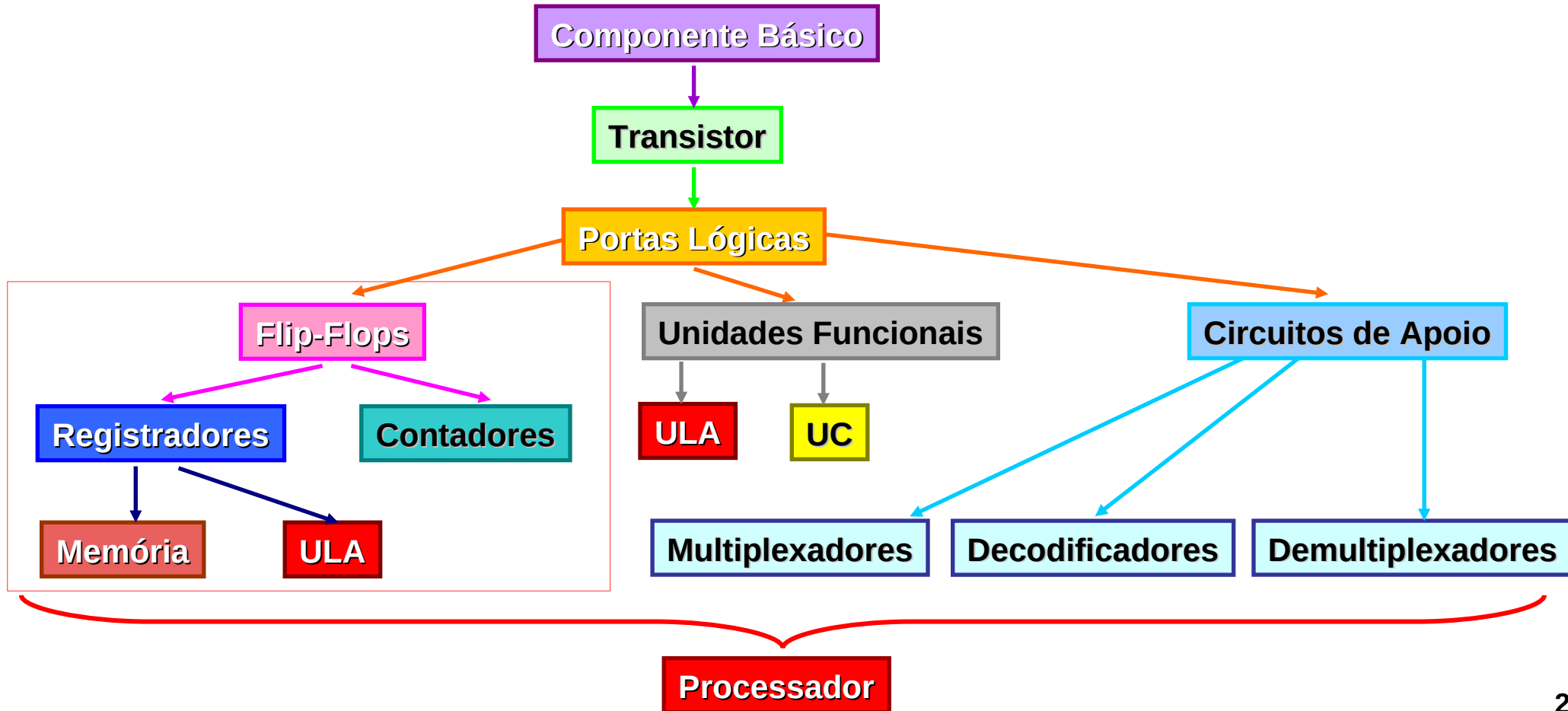
Universidade Tecnológica Federal do Paraná – UTFPR
Bacharelado em Ciência da Computação

BCC32B – Elementos de Lógica Digital

Prof. Rodrigo Hübner

Aula 13 – Circuitos sequenciais: Flip-flops e aplicações

Visão Geral

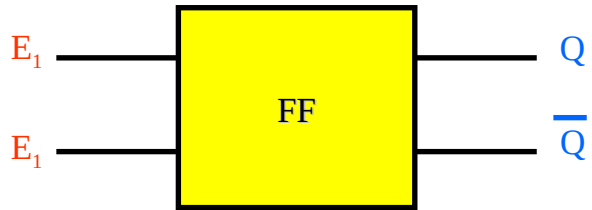


Circuitos Sequenciais

Circuitos Sequenciais: As saídas dependem das entradas atuais e também das entradas anteriores (**valor armazenado/estado – conceito de memória**).

Flip-Flops (FF): São circuitos sequenciais que podem ser usados como memória para armazenar 1 bit.

Símbolo



Condição do FF:

As saídas Q e \overline{Q} são complementares

$$\text{Se } \begin{cases} Q=0 \Rightarrow \overline{Q}=1 \\ Q=1 \Rightarrow \overline{Q}=0 \end{cases}$$

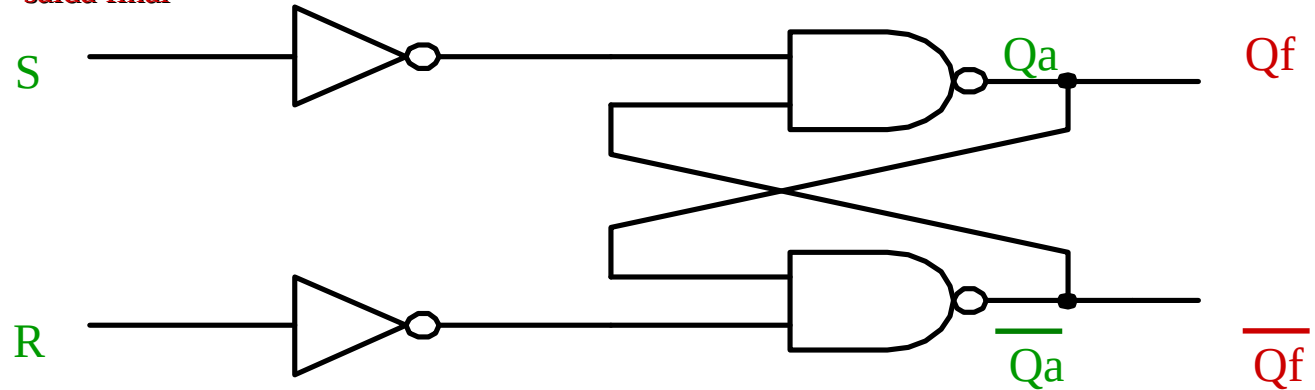
Flip-Flop RS

Nomenclatura

Qa = saída anterior

Qf = saída final

Circuito do FF RS



S	R	Qa	Qf
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

Flip-Flop RS

TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 0

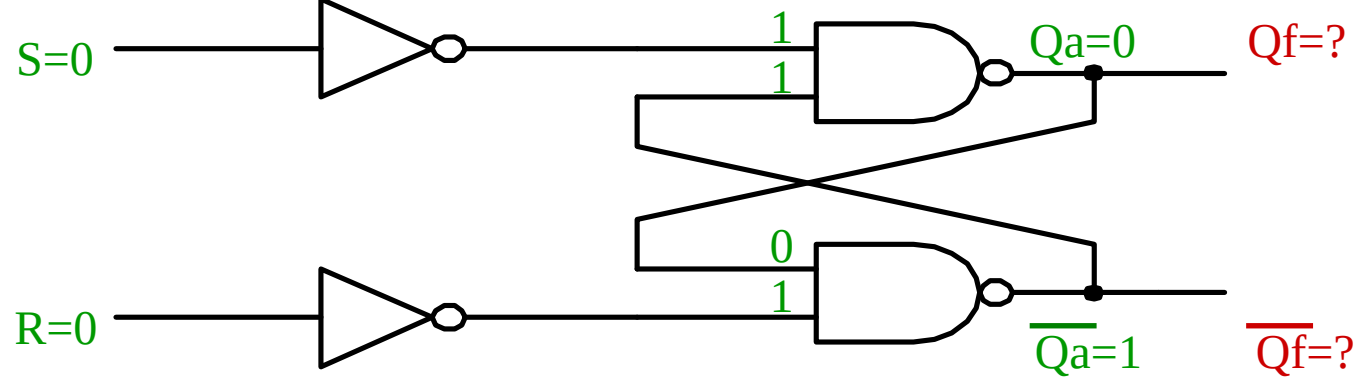
S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	0	0	1		

Nomenclatura

Qa = saída anterior

Qf = saída final

Estudo de Casos



Flip-Flop RS

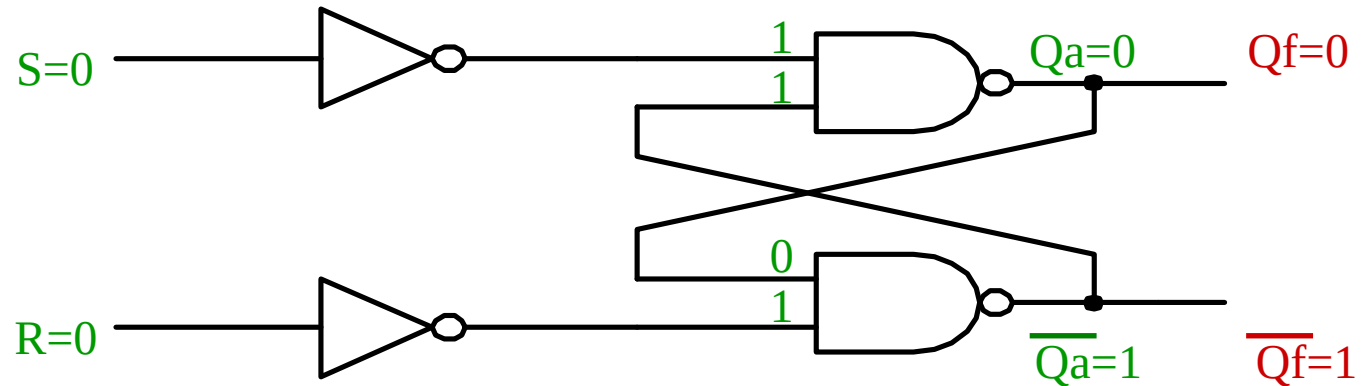
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 0

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	0	0	1	0	1

Estudo de Casos



Manteve o estado anterior das saídas

Flip-Flop RS

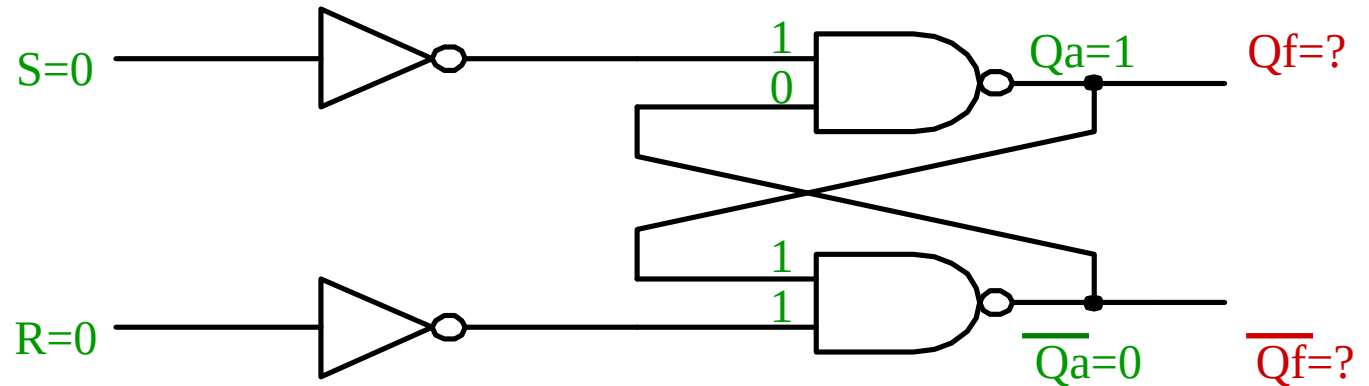
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 1

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	0	1	0		

Estudo de Casos



Flip-Flop RS

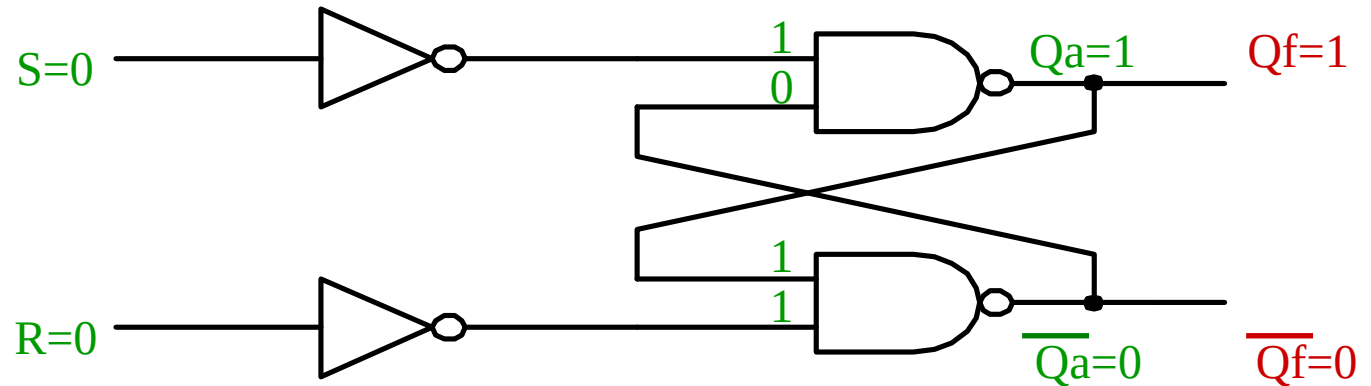
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 1

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	0	1	0	1	0

Estudo de Casos



Manteve o estado anterior das saídas

Flip-Flop RS

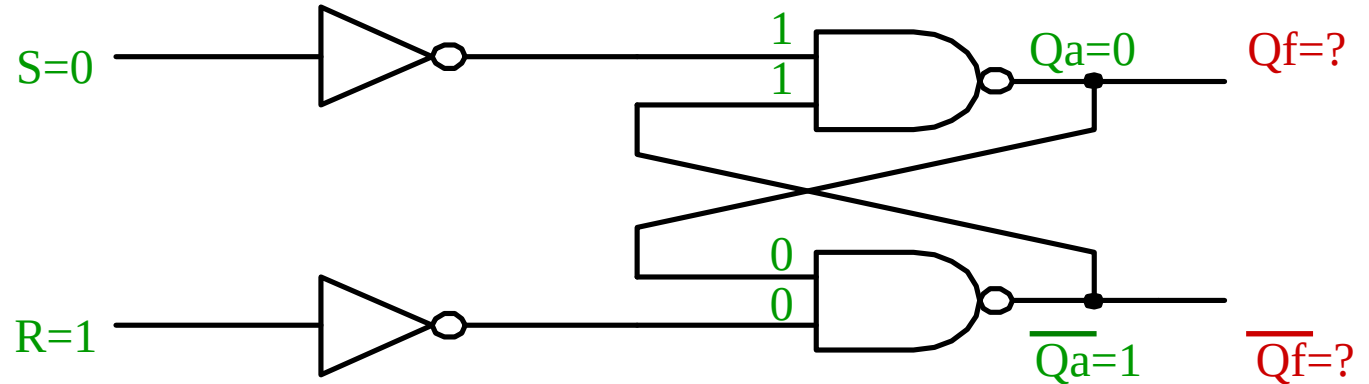
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 2

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	0	1		

Estudo de Casos



Flip-Flop RS

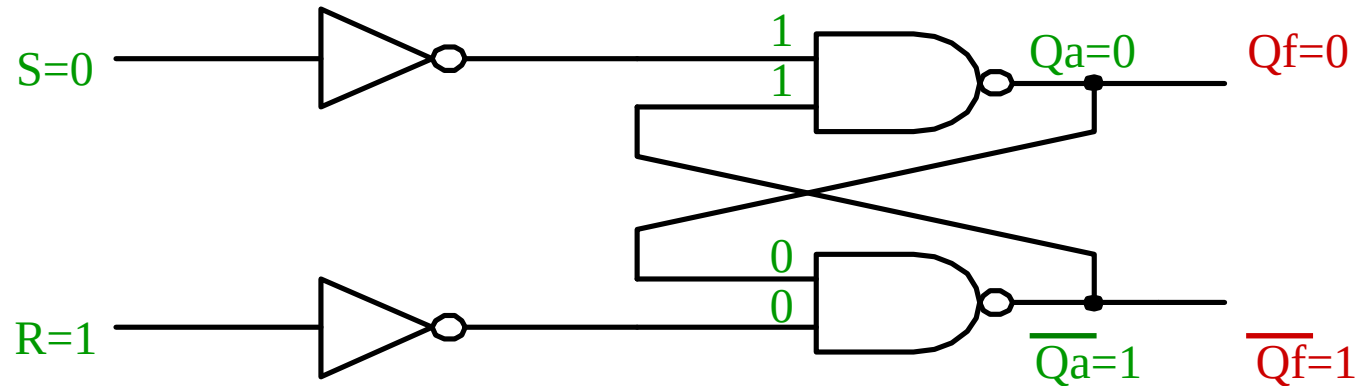
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 2

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	0	1	0	1

Estudo de Casos



Qf=0 ⇒ Reset da saída

Flip-Flop RS

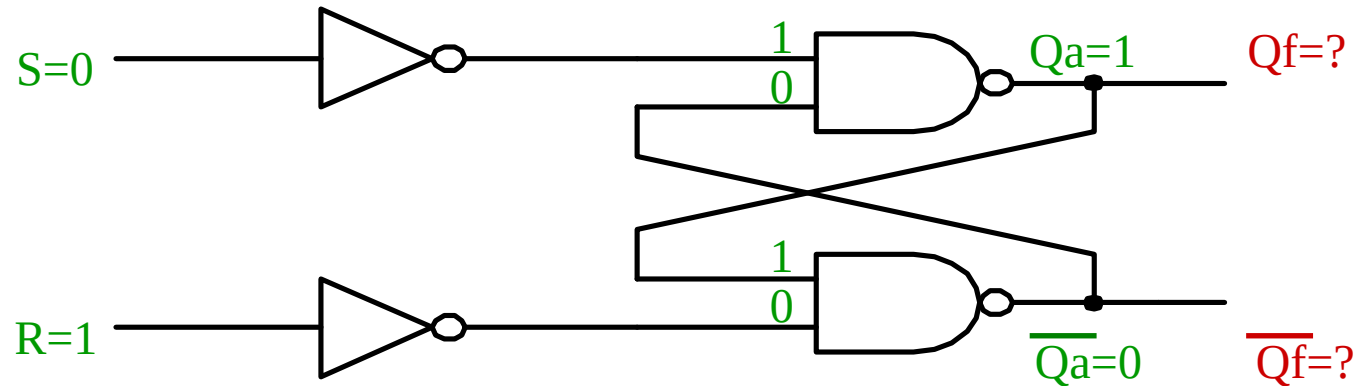
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 3

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	1	0		

Estudo de Casos



Flip-Flop RS

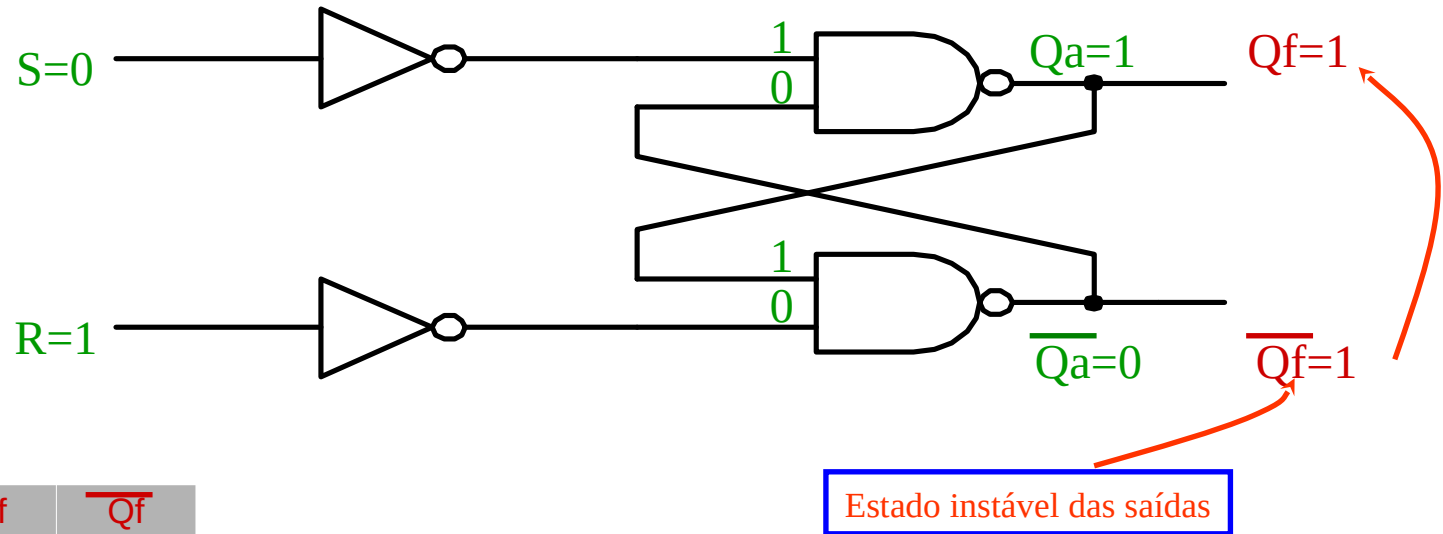
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 3

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	1	0		

Estudo de Casos



Flip-Flop RS

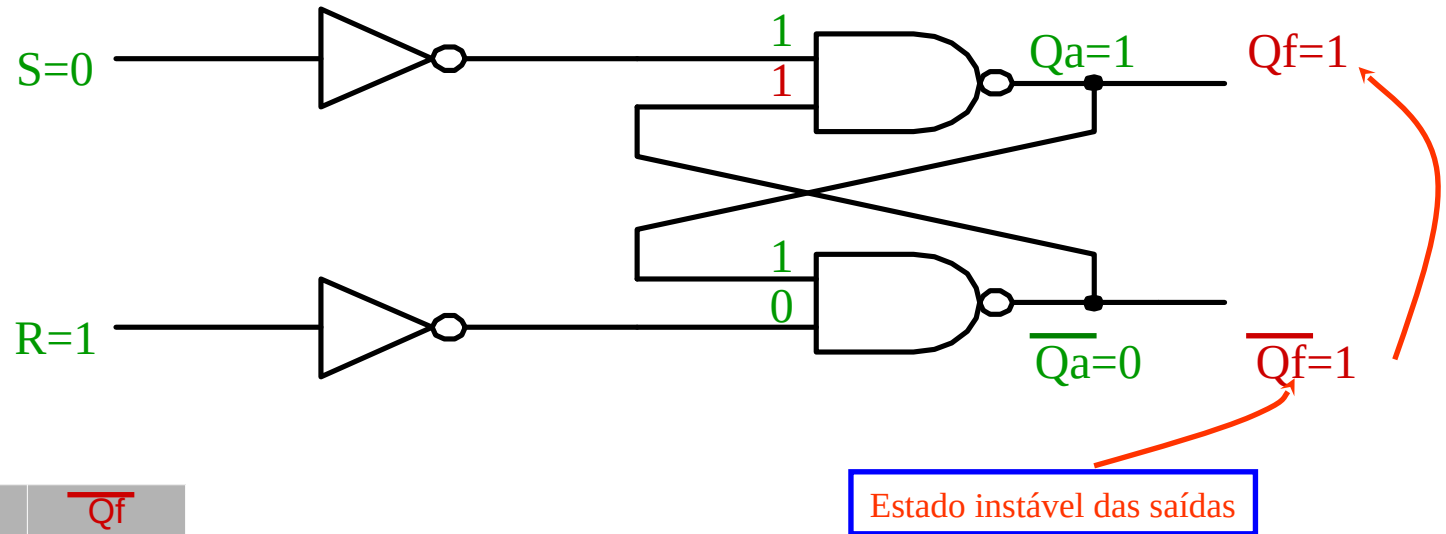
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 3

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	1	0		

Estudo de Casos



Flip-Flop RS

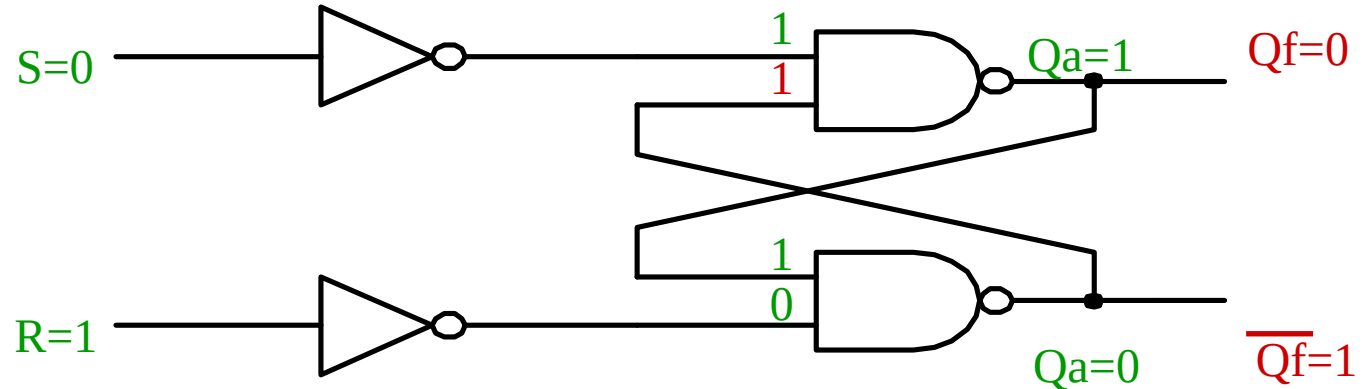
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 3

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	1	0		

Estudo de Casos



Flip-Flop RS

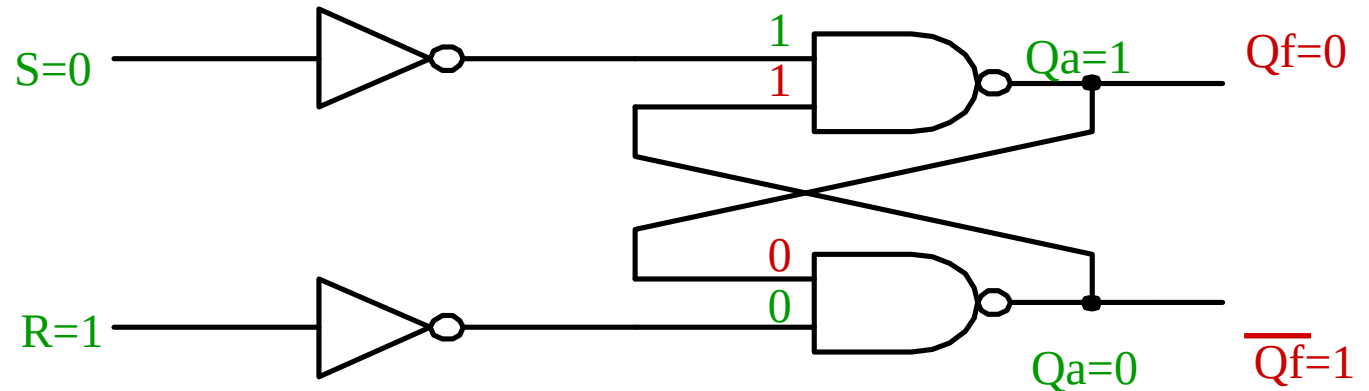
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 3

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
0	1	1	0	0	1

Estudo de Casos



$Q_f=0 \Rightarrow$ Reset da saída

Flip-Flop RS

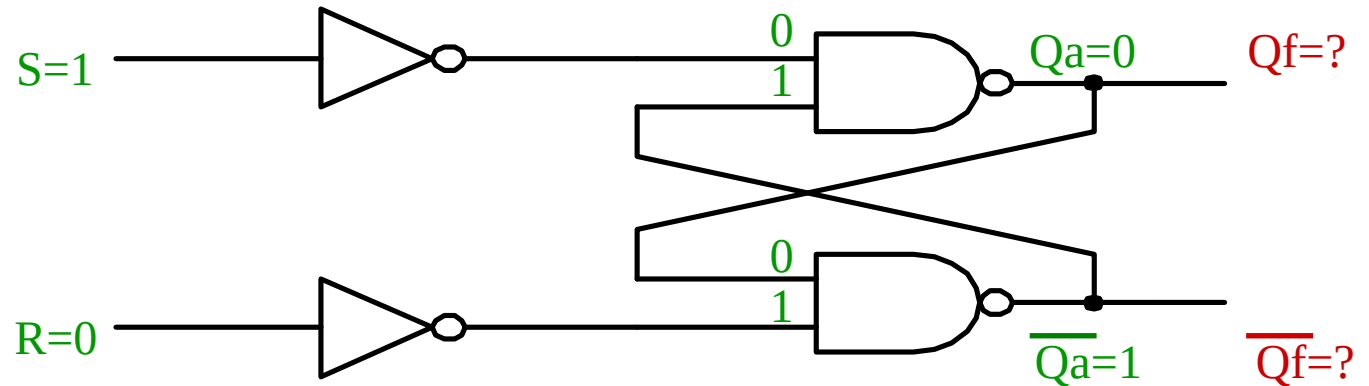
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1		

Estudo de Casos



Flip-Flop RS

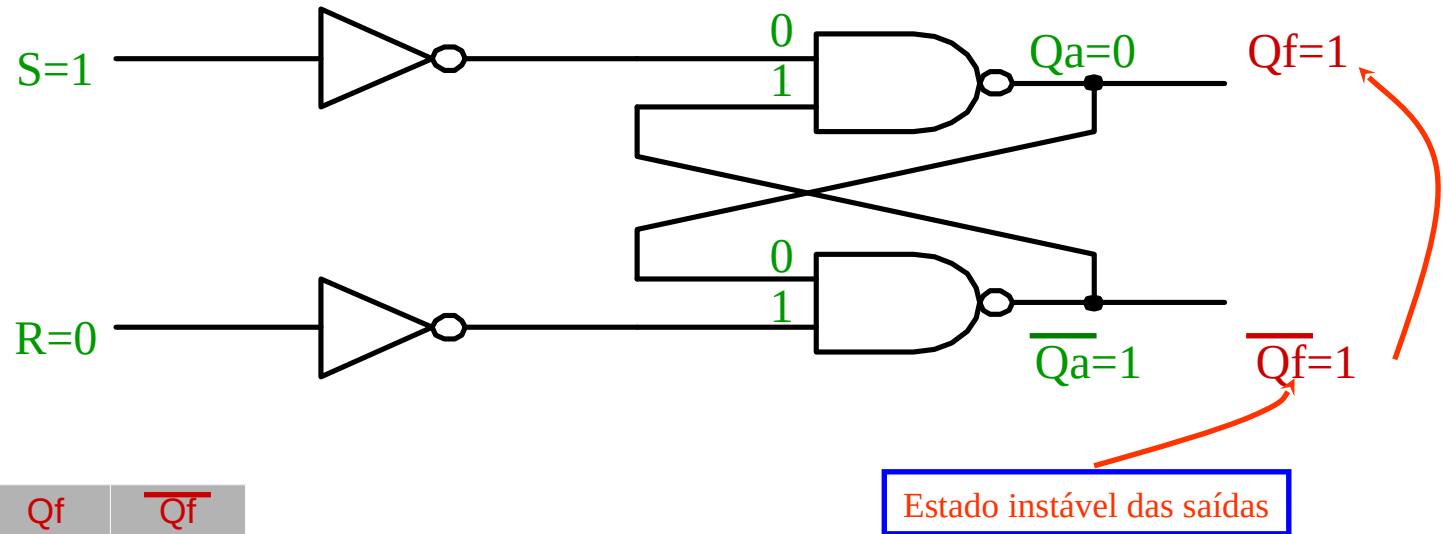
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1		

Estudo de Casos



Flip-Flop RS

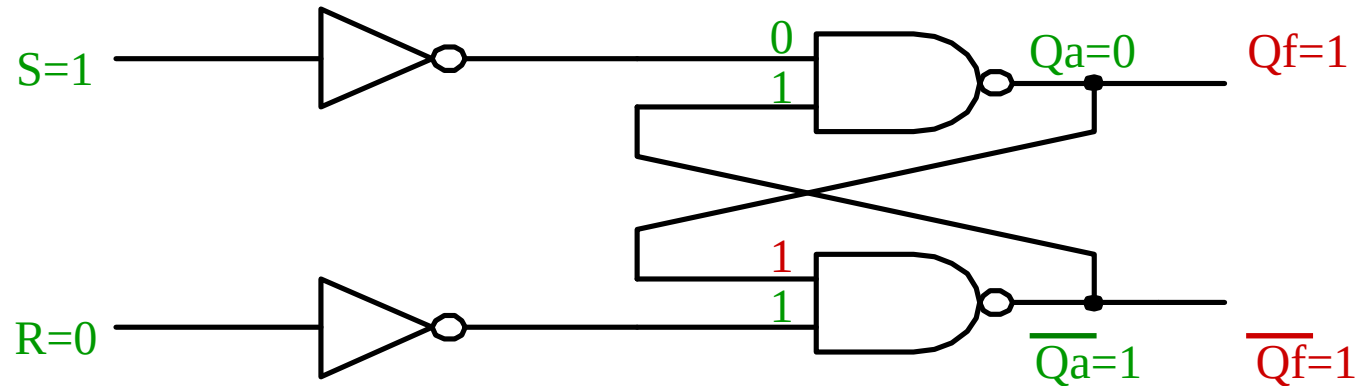
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1		

Estudo de Casos



Flip-Flop RS

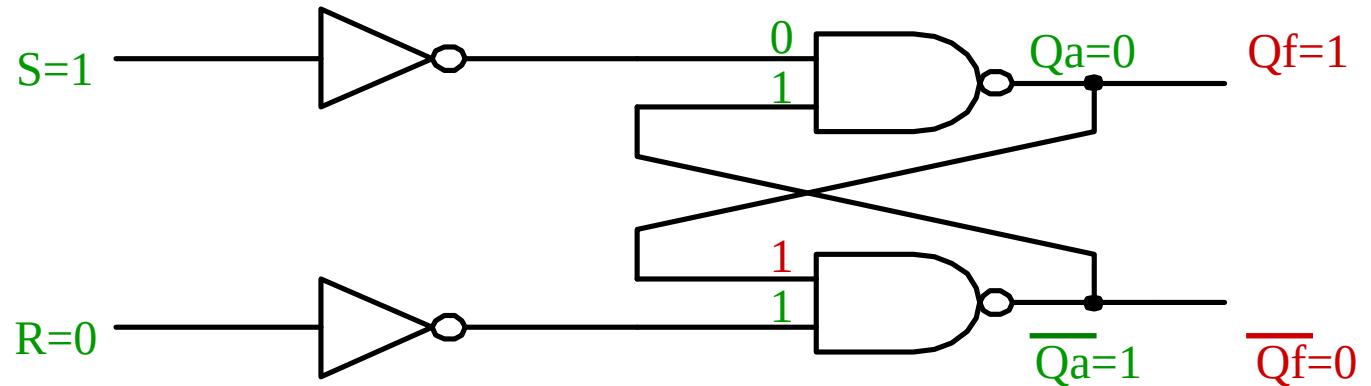
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1		

Estudo de Casos



Flip-Flop RS

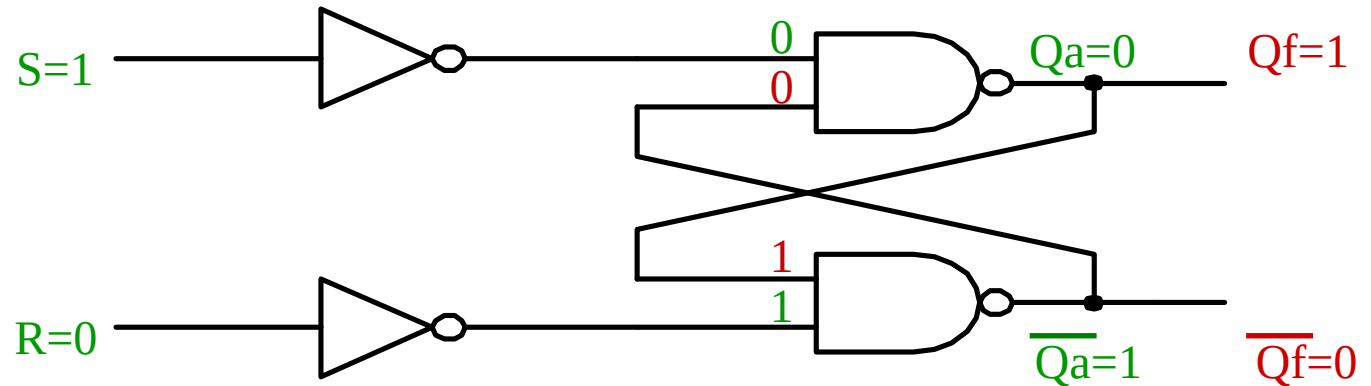
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1		

Estudo de Casos



Flip-Flop RS

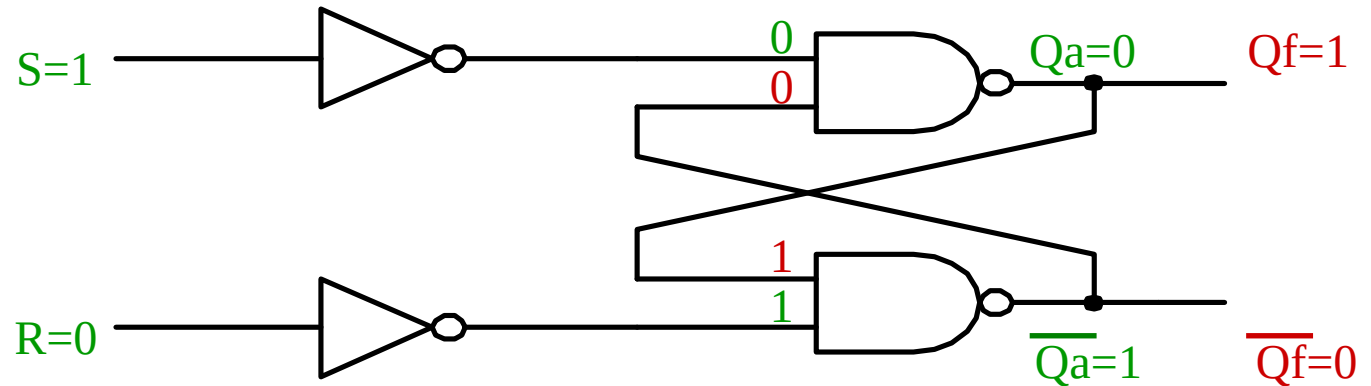
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 4

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	0	1	1	0

Estudo de Casos



Qf=1 ⇒ Set da saída

Flip-Flop RS

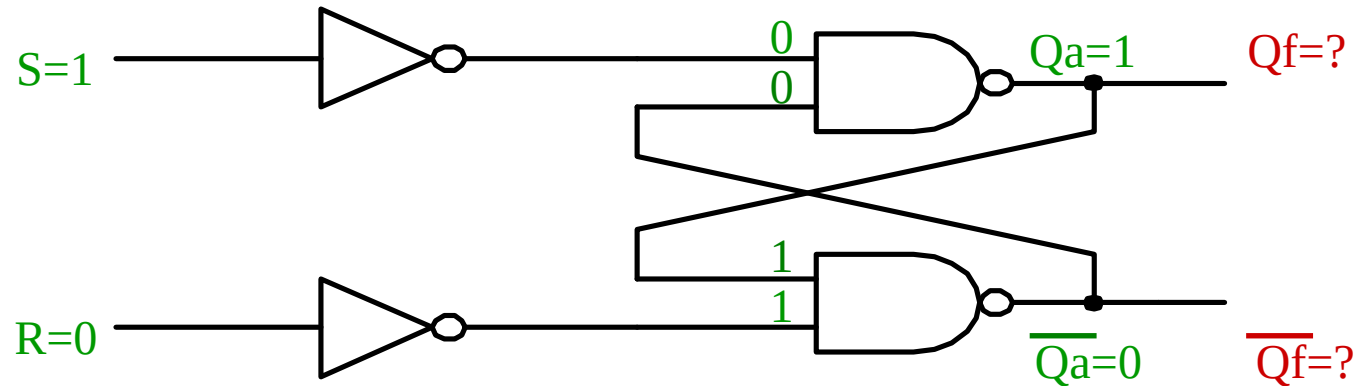
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 5

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	1	0		

Estudo de Casos



Flip-Flop RS

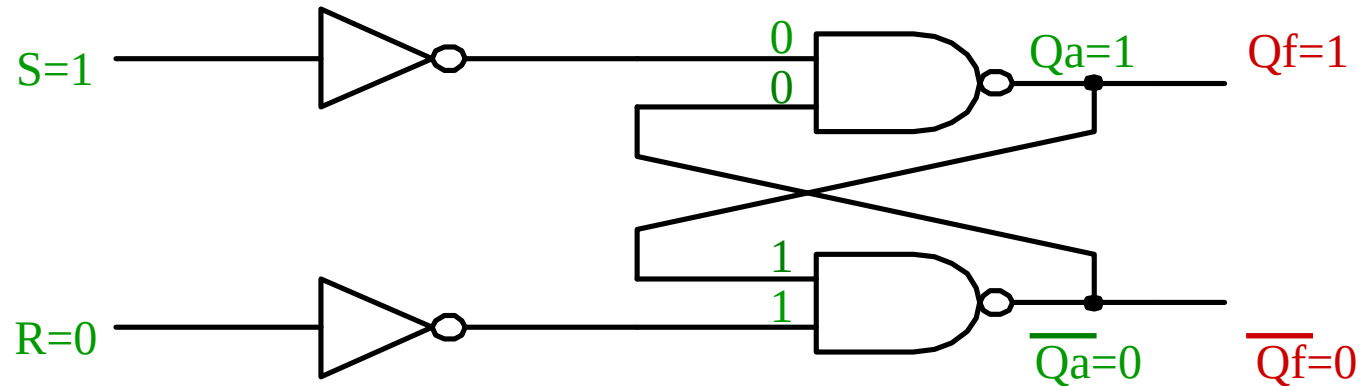
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 5

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	0	1	0	1	0

Estudo de Casos



$Qf=1 \Rightarrow$ Set da saída

Flip-Flop RS

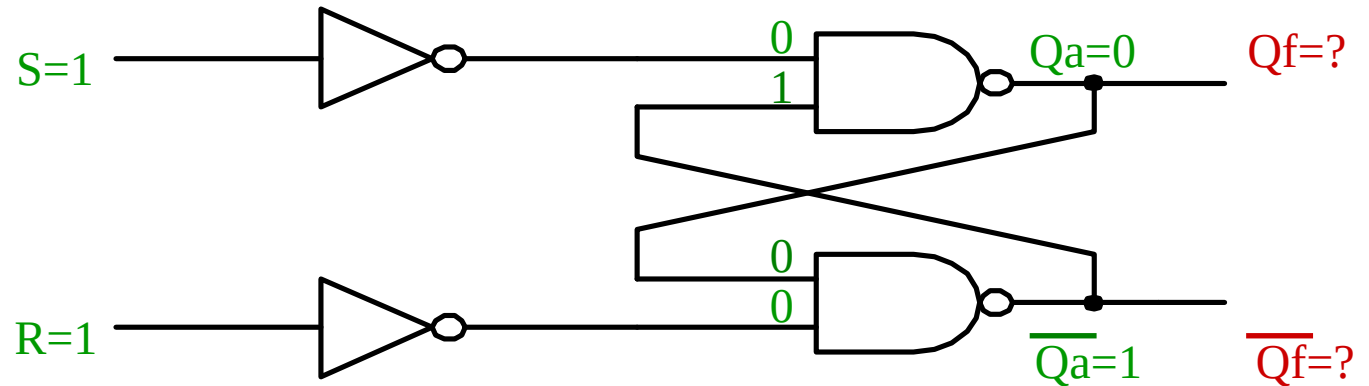
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 6

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	0	1		

Estudo de Casos



Flip-Flop RS

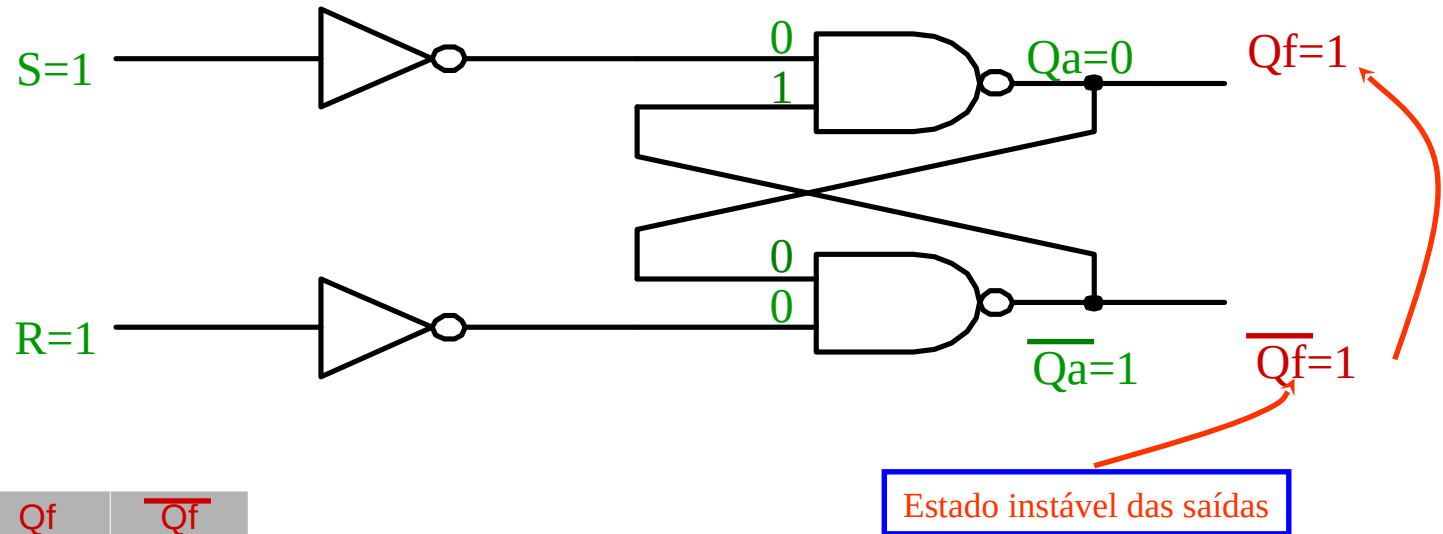
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 6

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	0	1		

Estudo de Casos



Flip-Flop RS

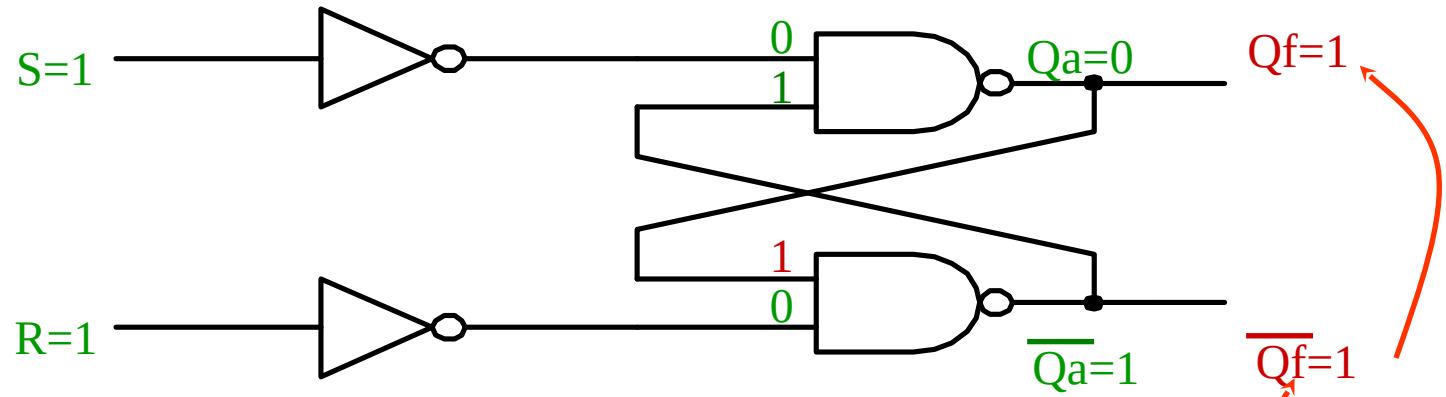
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 6

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	0	1	1	1

Estudo de Casos



Estado instável das saídas

$Q_f=Q_a=1$ Viola a condição do FF RS

Flip-Flop RS

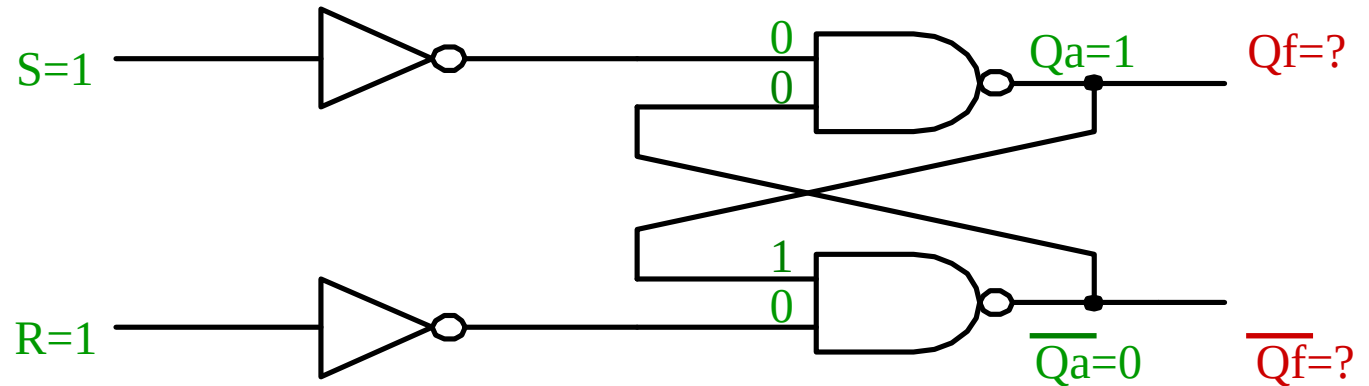
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 7

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	1	0		

Estudo de Casos



Flip-Flop RS

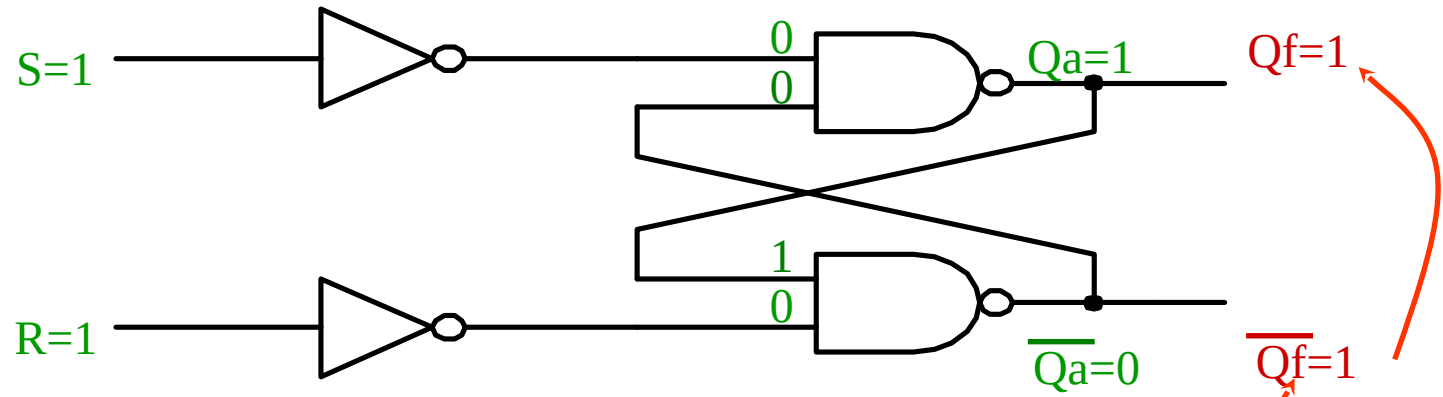
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 7

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	1	0		

Estudo de Casos



Estado instável das saídas

Flip-Flop RS

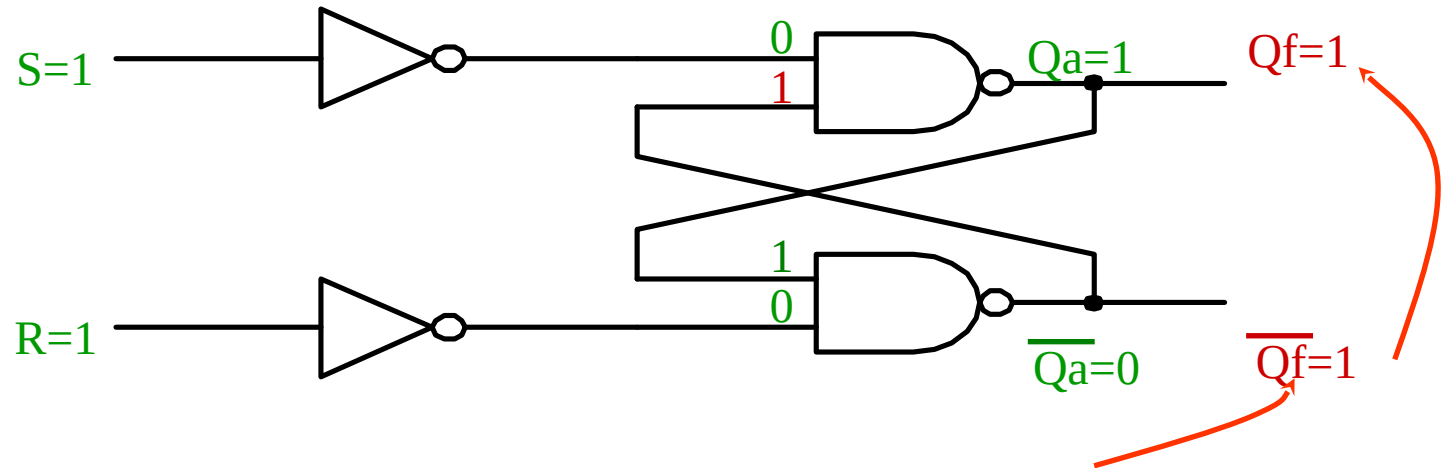
TV da NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Caso 7

S	R	Qa	\overline{Qa}	Qf	\overline{Qf}
1	1	1	0	1	1

Estudo de Casos



Estado instável das saídas

$Q_f=Q_f=1$ Viola a condição do FF RS

Flip-Flop RS

Tabela Verdade do FF RS

S	R	Qa	Qf
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

Qf=Qa Mantém a saída anterior

Qf=0 Reset da saída anterior

Qf=1 Set da saída anterior

Entradas não permitidas

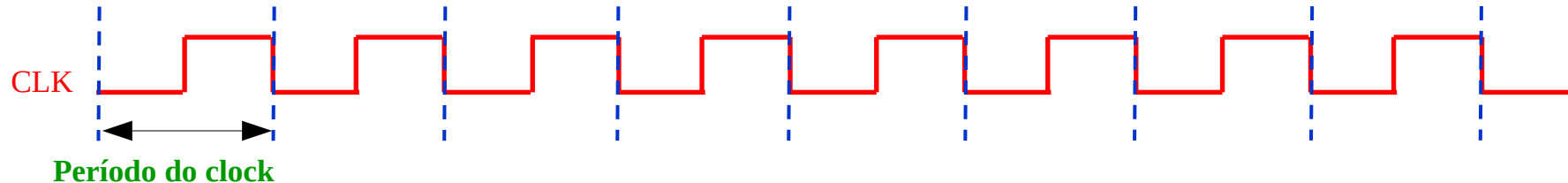
Set e Reset ao mesmo tempo

S	R	Qf
0	0	Qa
0	1	0
1	0	1
1	1	X

FF RS com entrada clock

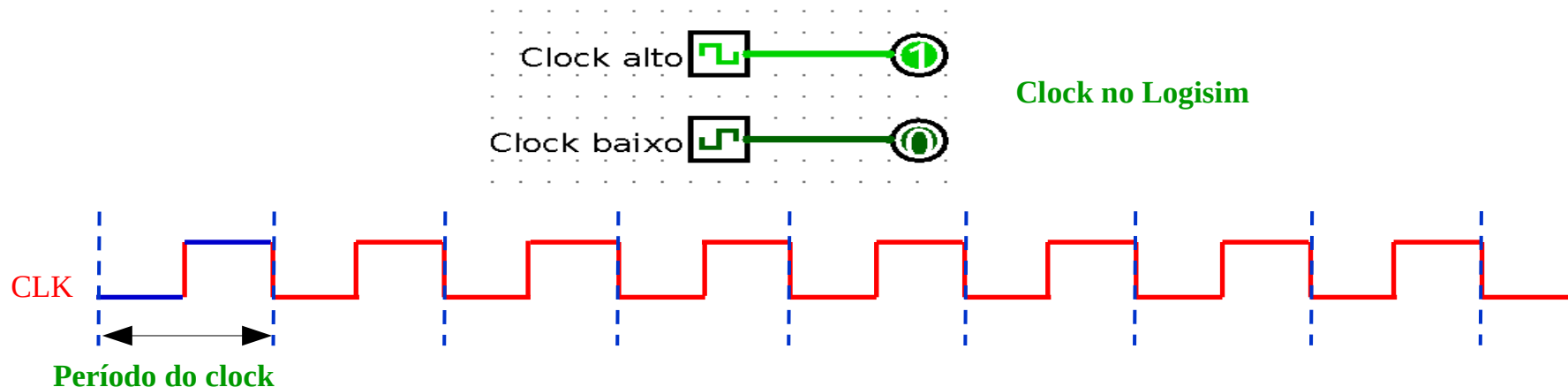
Clocks: São necessários na lógica sequencial para decidir quando um elemento que contém estado deve ser atualizado

A frequência de clock: É simplesmente o inverso do tempo de ciclo
(Período do clock)

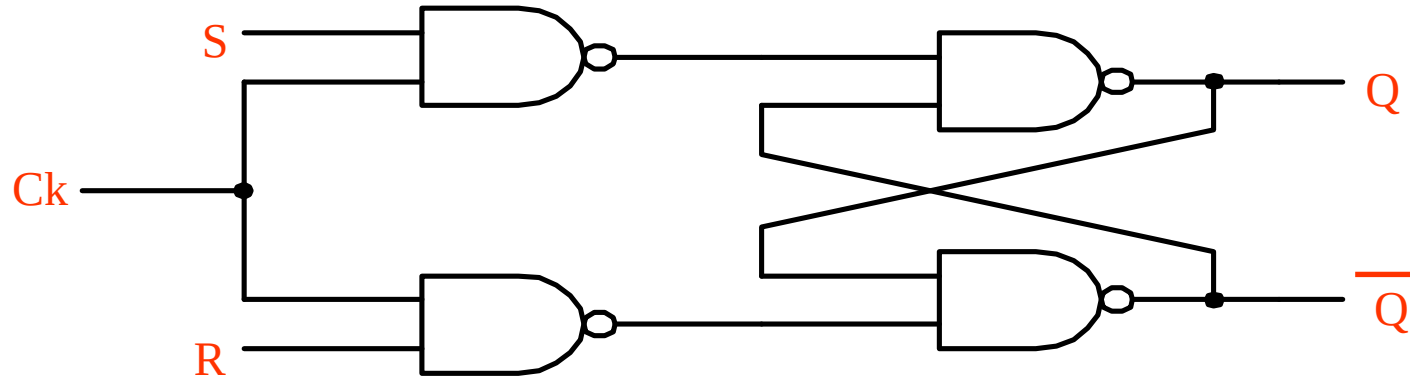


FF RS com entrada clock

- O período de clock: É dividido em duas partes:
 - Quando o clock está no nível alto (1)
 - Quando o clock está no nível baixo (0)
- Usamos o clock sensível ao nível lógico para decidir quando um elemento que contém estado deve ser atualizado



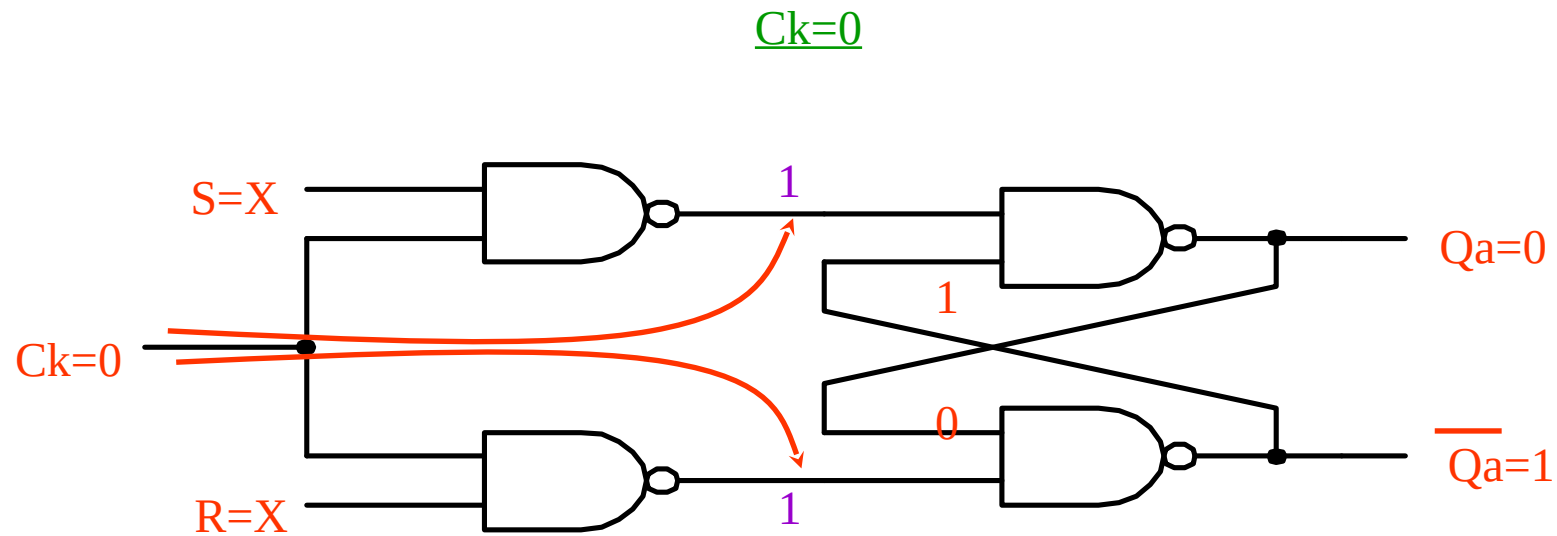
FF RS com entrada clock



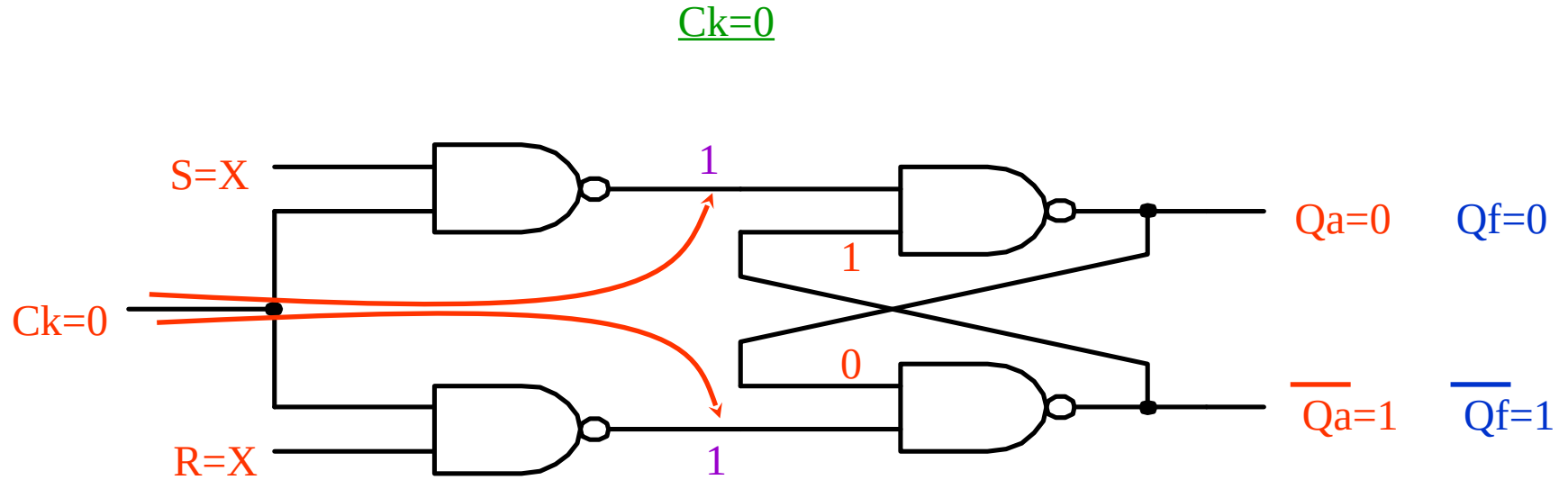
Se o clock=0 \Rightarrow FF permanece no seu estado anterior, mesmo que variem as entradas S e R

Se o clock=1 \Rightarrow FF funciona como um FF RS

FF RS com entrada clock

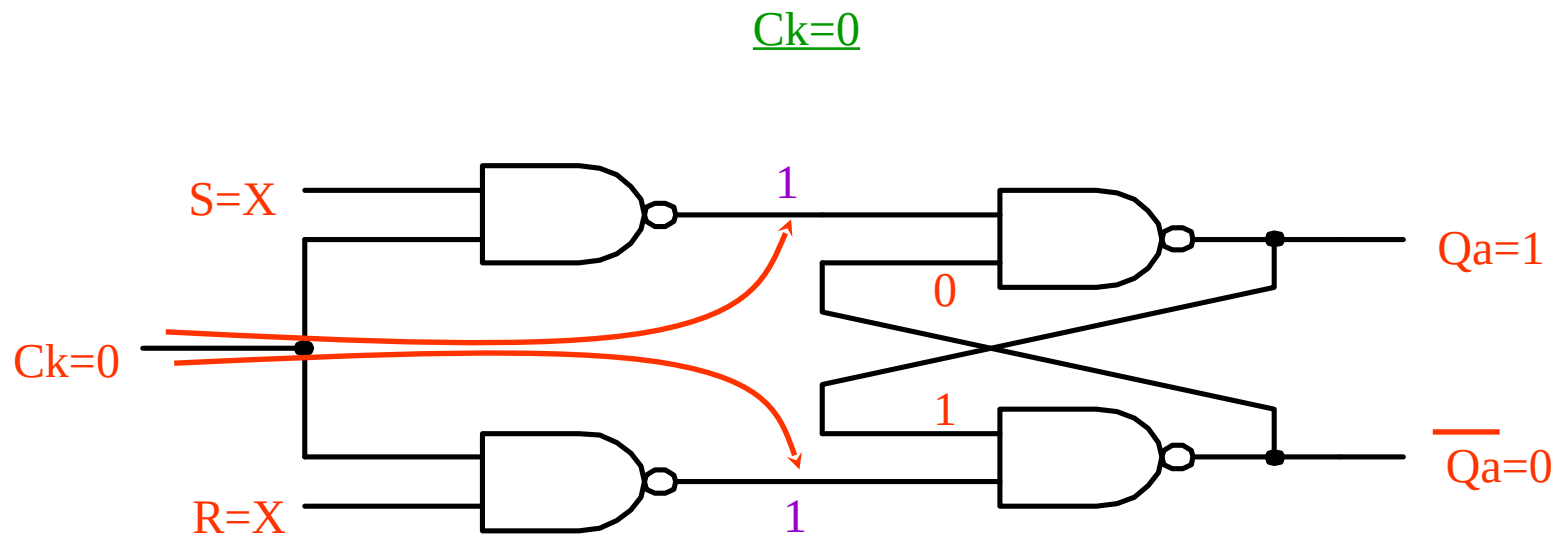


FF RS com entrada clock

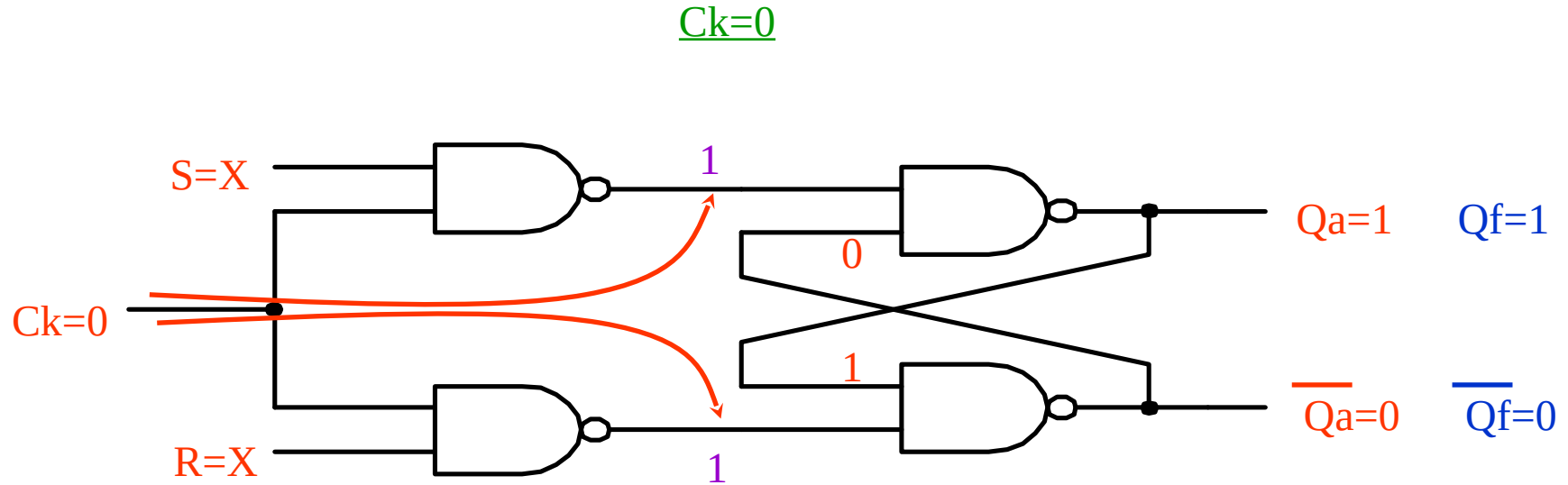


Para $clock=0 \Rightarrow$ FF permanece no seu estado anterior

FF RS com entrada clock



FF RS com entrada clock



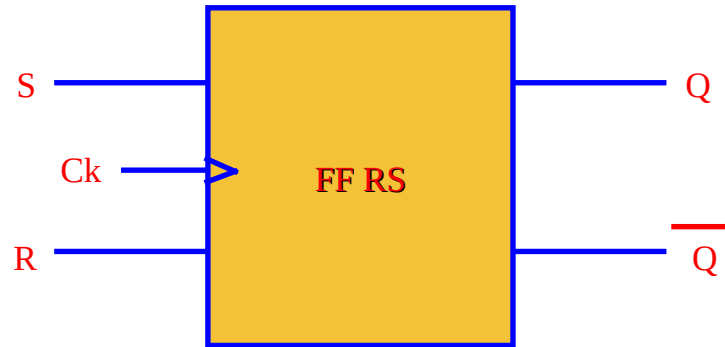
Para $clock=0 \Rightarrow$ FF permanece no seu estado anterior

Para $clock=1 \Rightarrow$ O circuito irá se comportar como um RS Básico, as portas NAND irão funcionar como os inversores do circuito anteriormente visto.

CK	Qf
0	Qa
1	RS Básico

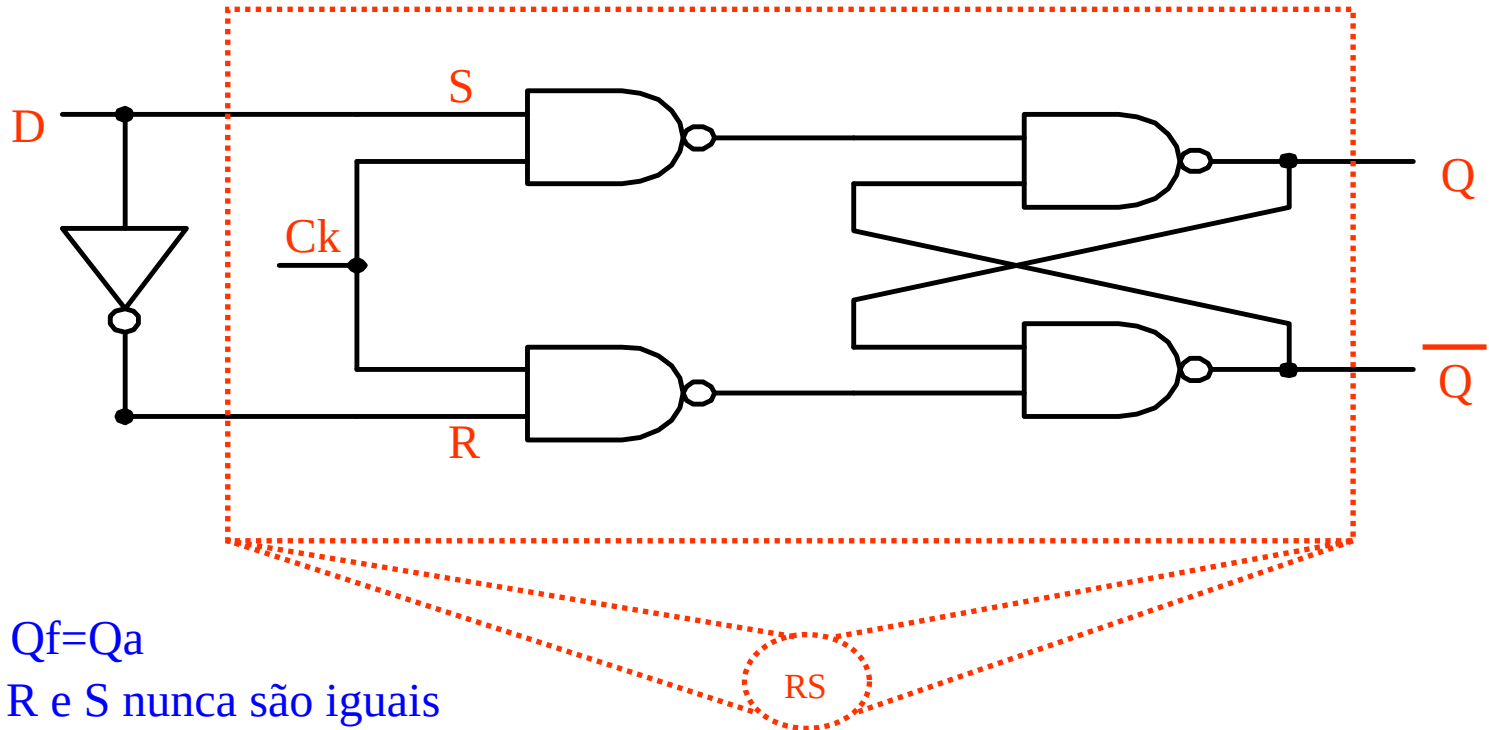
Flip-Flop Tipo RS

Símbolo FF RS



O circuito irá funcionar quando a entrada do clock assumir o valor 1 e manterá travada esta saída quando a entrada clock passar para 0.

Flip-Flop Tipo D

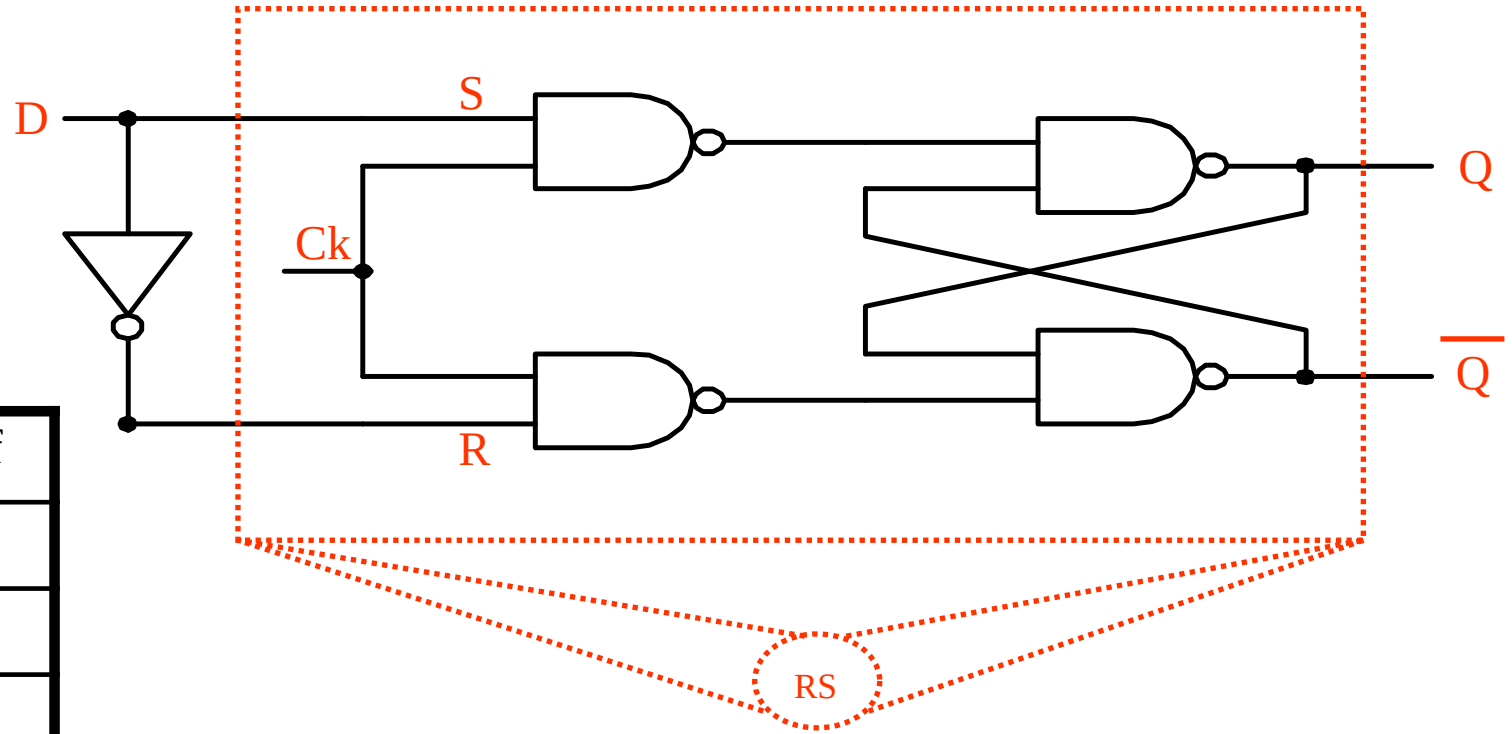


Se $Ck=0 \Rightarrow Q_f=Q_a$

Entradas R e S nunca são iguais

Flip-Flop Tipo D

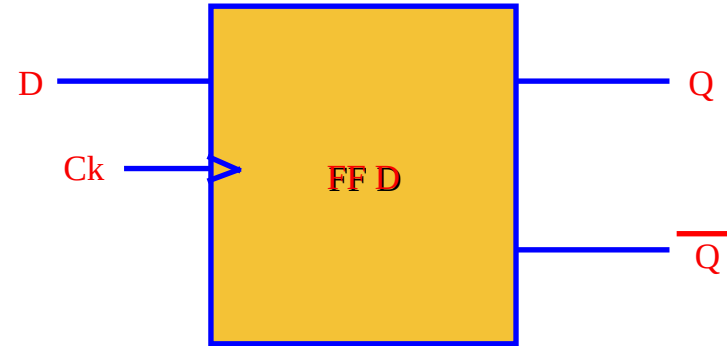
D	S	R	Qf
∅	0	0	-
0	0	1	0
1	1	0	1
∅	1	1	-



Flip-Flop Tipo D


Símbolo FF D

D	Qf
0	0
1	1

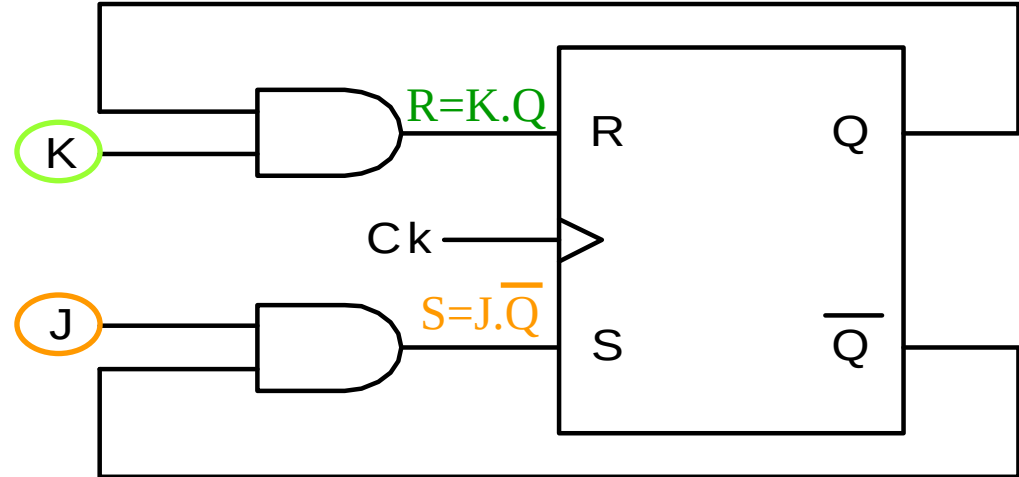


O Flip-Flop tipo D funciona como uma transferência de “dados” da entrada para a saída.

Flip-Flop Tipo JK



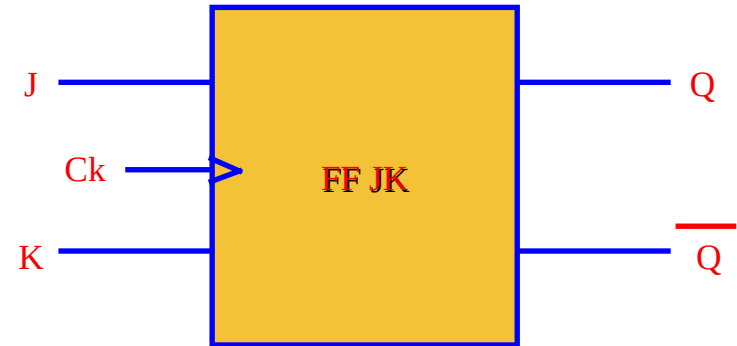
J	K	Qa	\overline{Qa}	S	R	Qf	
0	0	0	1	0	0	0	Qa
0	0	1	0	0	0	1	Qa
0	1	0	1	0	0	0	Reset
0	1	1	0	0	1	0	Reset
1	0	0	1	1	0	1	Set
1	0	1	0	0	0	1	Set
1	1	0	1	1	0	1	\overline{Qa}
1	1	1	0	0	1	0	\overline{Qa}



Flip-Flop Tipo JK

Símbolo FF JK

J	K	Qf
0	0	Qa
0	1	0
1	0	1
1	1	\overline{Qa}

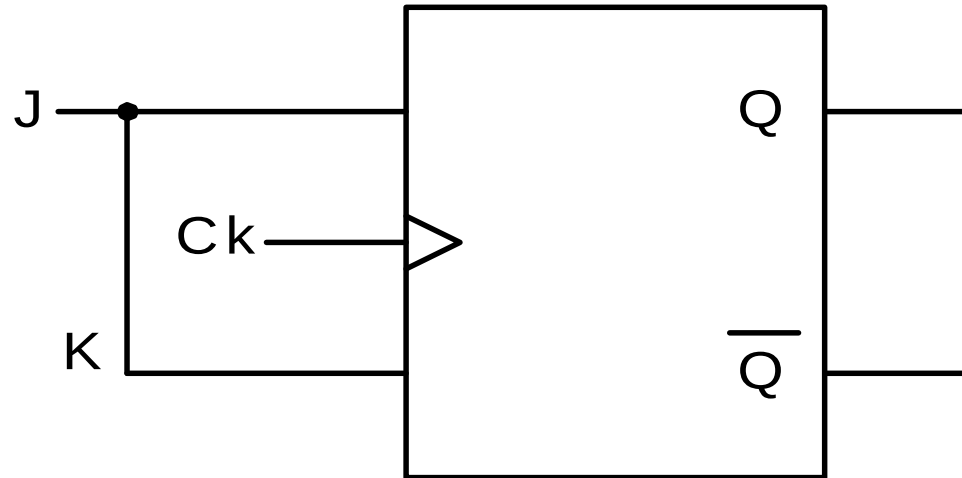


O Flip-Flop tipo JK funciona como um Flip-Flop RS “melhorado”, pois quando as entradas J (anteriormente “S”) e K (anteriormente “R”) estão em nível lógico alto ao mesmo tempo, temos uma inversão na saída do Flip-Flop.

Às vezes não queremos que ocorra a indeterminação apresentada na última linha do Flip-Flop tipo RS, desta forma o Flip-Flop tipo JK pode ser considerado como uma melhora!

Flip-Flop Tipo T

J	K	T	Qf
0	0	0	Qa
0	1	∅	-
1	0	∅	-
1	1	1	\overline{Qa}

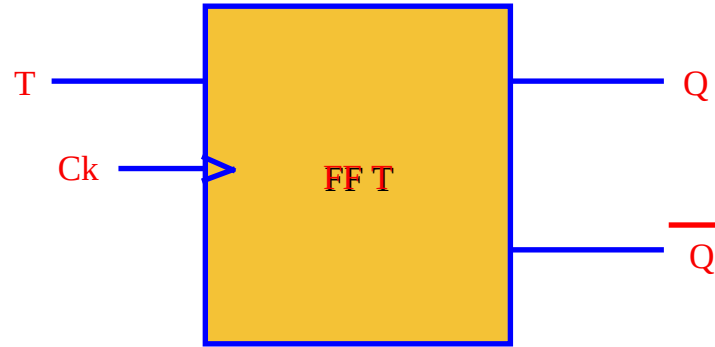


As entradas J e K são sempre iguais

Flip-Flop Tipo T

Símbolo FF T

T	Qf
0	Qa
1	\overline{Qa}



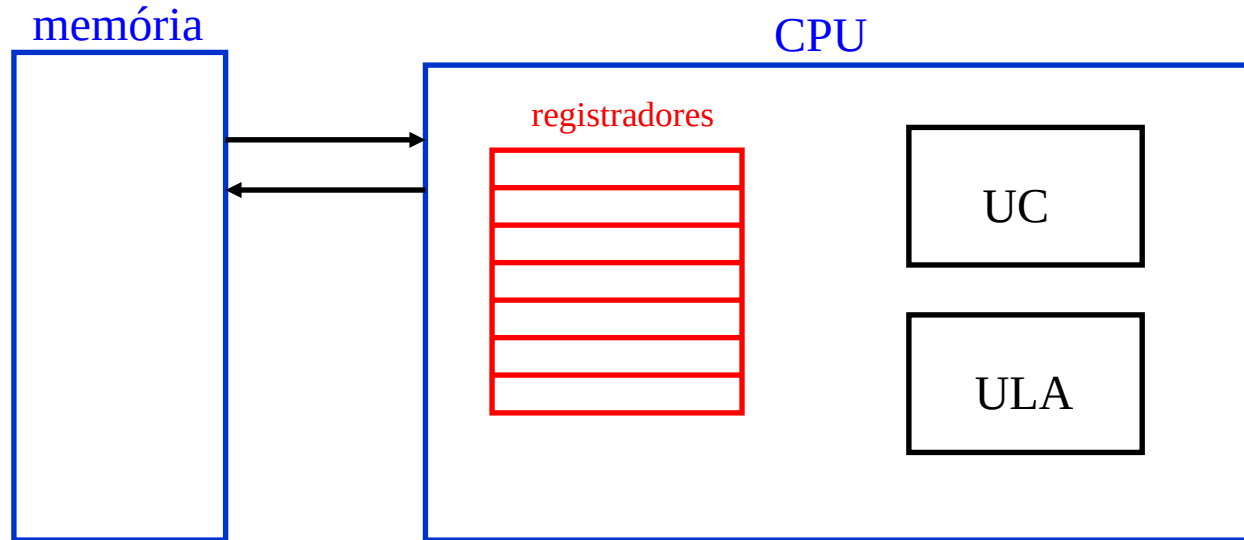
O Flip-Flop tipo T funciona como um comutador de entrada (ou inversor), gerando como saída a entrada complementada.

Aplicações de FFs

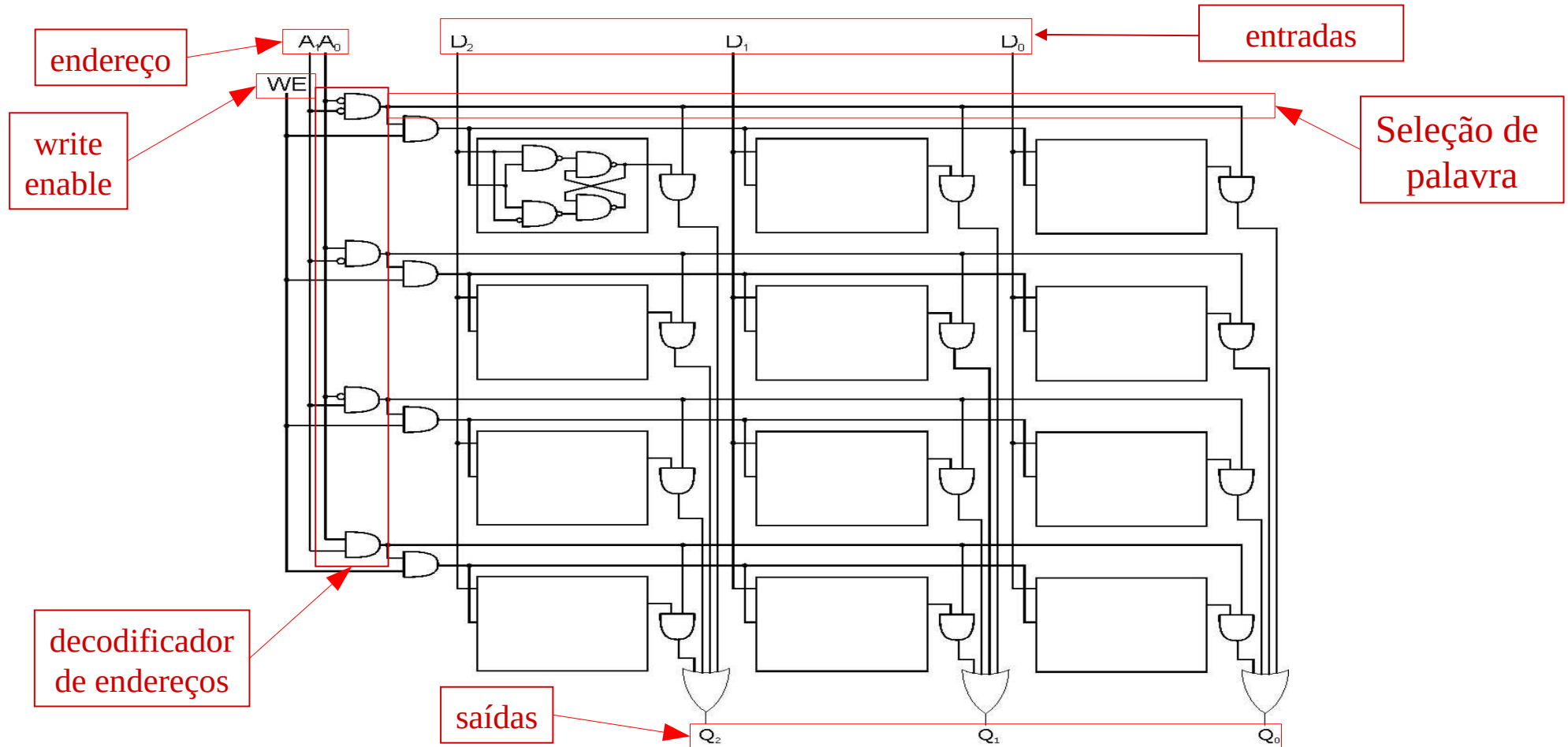
- Armazenamento: registradores e memória
- Transferência de dados: ULA e periféricos
- Contador/Divisor de Frequência

Aplicações de FFs

Armazenamento: registradores e memória

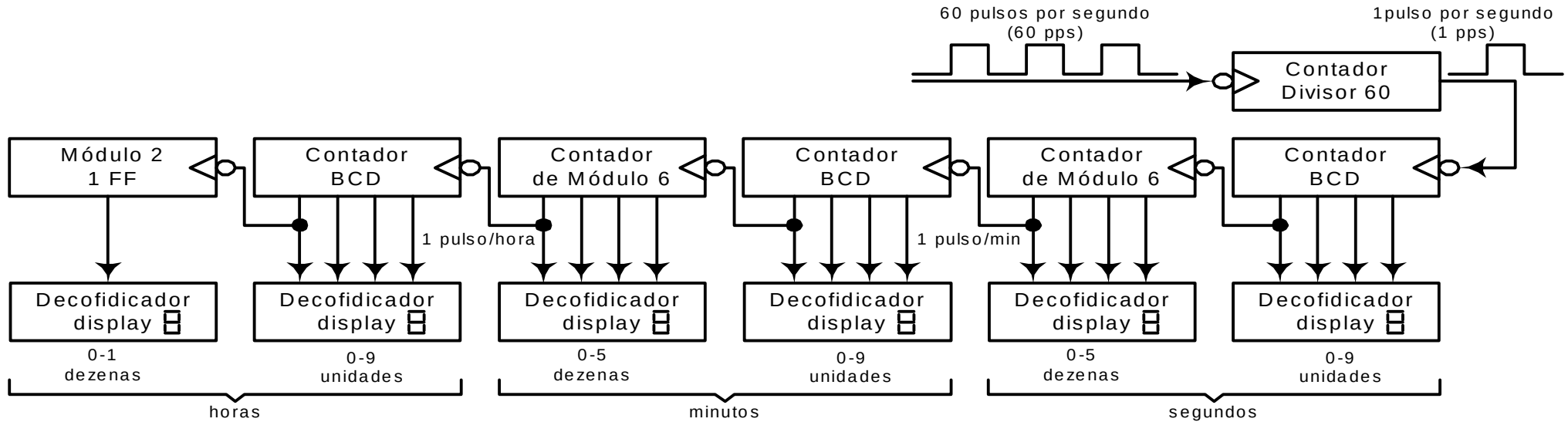


Aplicações FF: Memória



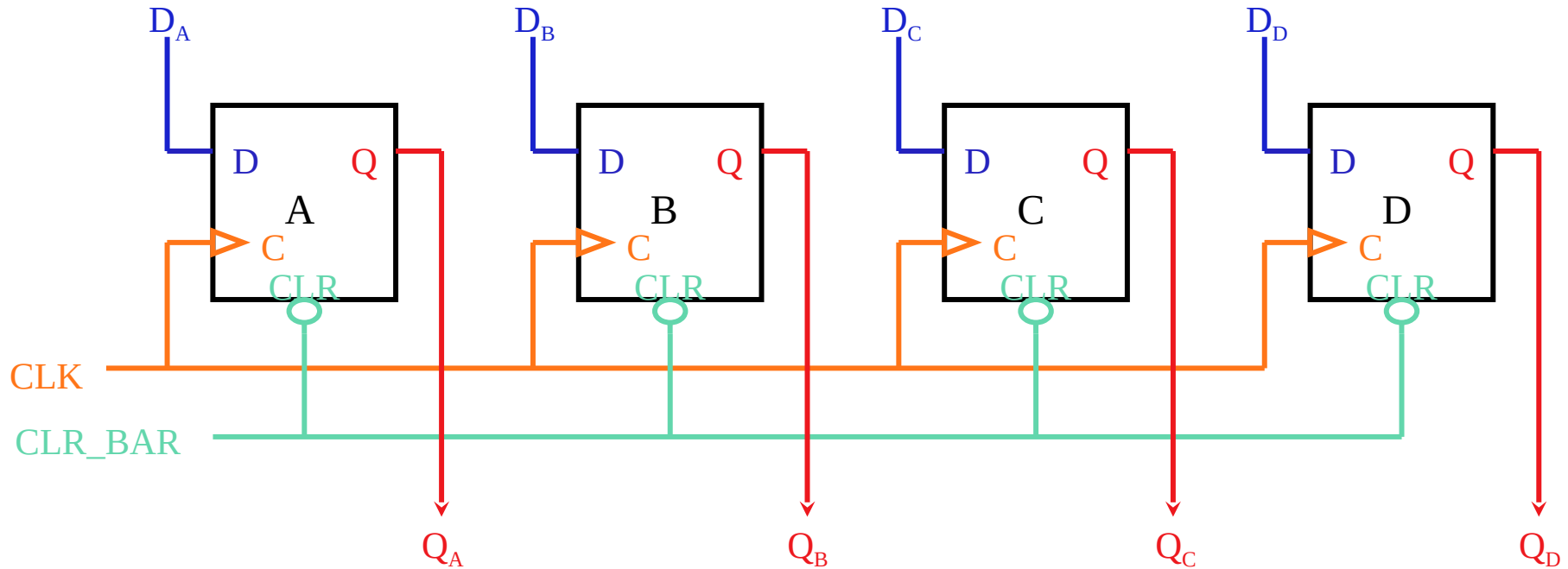
Aplicações de FFs

Contador/Divisor de Frequência

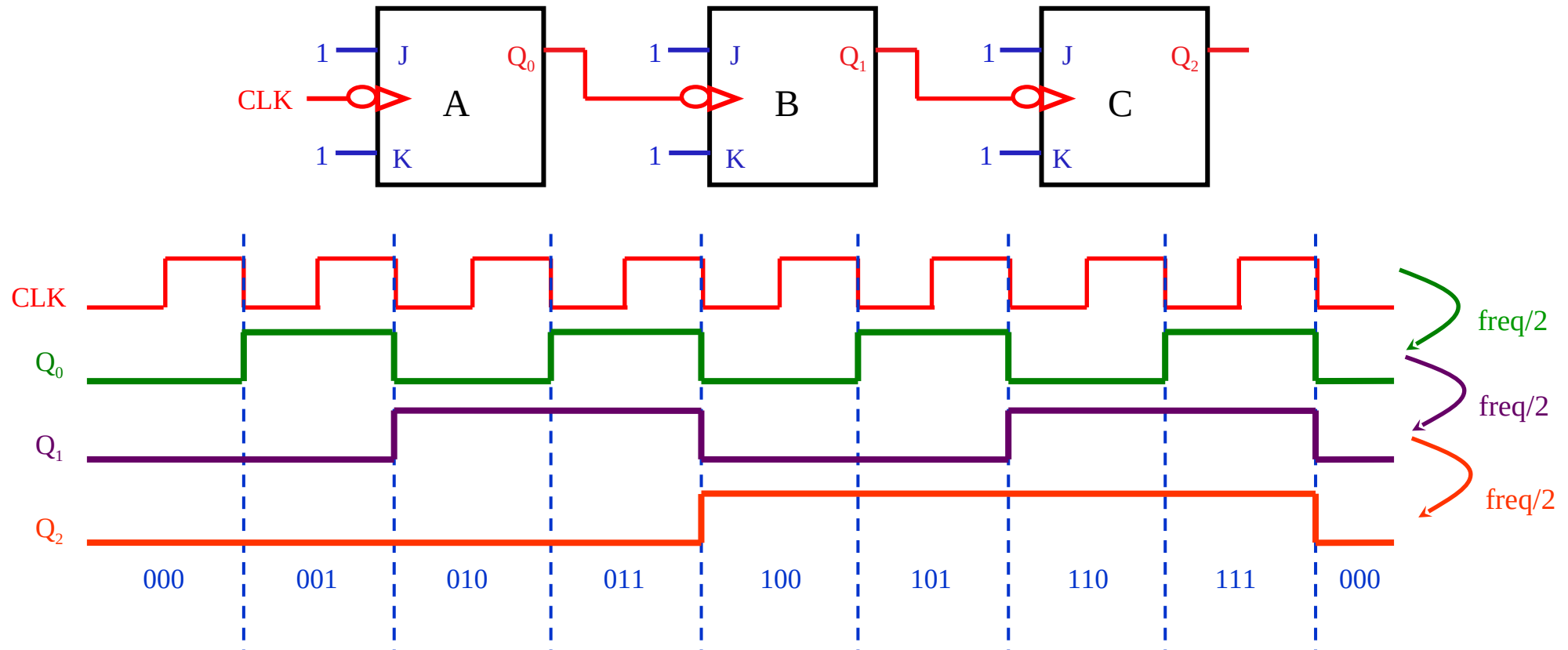


Registadores

Registrador de 4 bits



Contador/Divisor de Freqüência



Próxima aula

- Flip-Flop com Preset e Clear
- Contadores assíncronos de módulo 2^n