

1. Discuta cada uma das sentenças a seguir:
 - a) Flip-Flops (FF) são circuitos combinacionais ou sequenciais? Por quê?
 - b) As saídas de um Flip-Flop são sempre iguais? Por quê?
 - c) Faça as tabelas verdade para os seguintes FFs: RS, D, JK.
 - d) Dê exemplos de aplicações que usam Ffs.
2. Para este exercício considere um Flip-Flop RS:
 - a) Faça o diagrama de portas lógicas para o FF RS usando portas lógicas NOTs e NANDs.
 - b) Analise cada caso possível de combinações de entradas e saídas para esse circuito.
3. A forma de onda de entrada de um Flip-Flop D é dada a seguir. Determine a forma de onda da saída Q considerando que o Flip-Flop é ativado na borda de subida do clock. Considere que a saída Q está inicialmente em 1 (nível Alto).

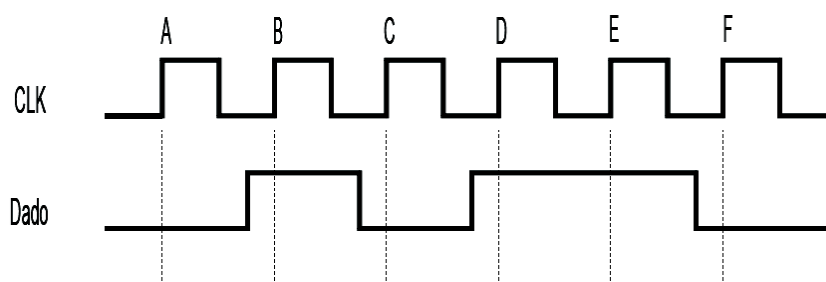


Figura 1: Formas de onda para o FF D

4. As formas de onda de entrada de um Flip-Flop JK são dadas a seguir. Determine a forma de onda da saída Q considerando que o Flip-Flop é ativado na borda de subida do clock. Considere que a saída Q está inicialmente em 1 (nível Alto).

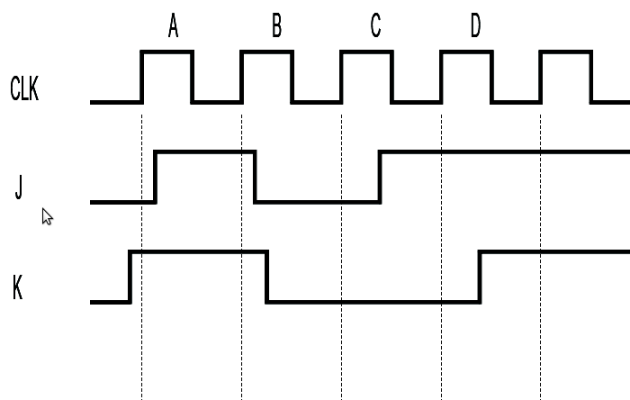


Figura 2: Entradas do FF JK

5. Faça a tabela verdade de um FF JK com entradas de *Preset* e *Clear*. Considere que essas entradas de controle são ativas quando em nível lógico 0.
6. Projete um circuito divisor de frequência usando FFs JK. O circuito deve fornecer a divisão de frequência do sinal de *clock* até 1/16. Faça o diagrama do circuito lógico e as correspondentes formas de onda das saídas de cada FF.
7. Determine as formas de onda das saídas (para todas as saídas de Q0 a Q3), para o circuito mostrado na figura a seguir, em função da entrada Dado. Considere que cada Flip-Flop é ativado na borda de descida do clock. Observações: Considere que no início todas as saídas estão em 0 e que o dado de entrada é dado pela forma de onda abaixo. Justifique sua resposta.

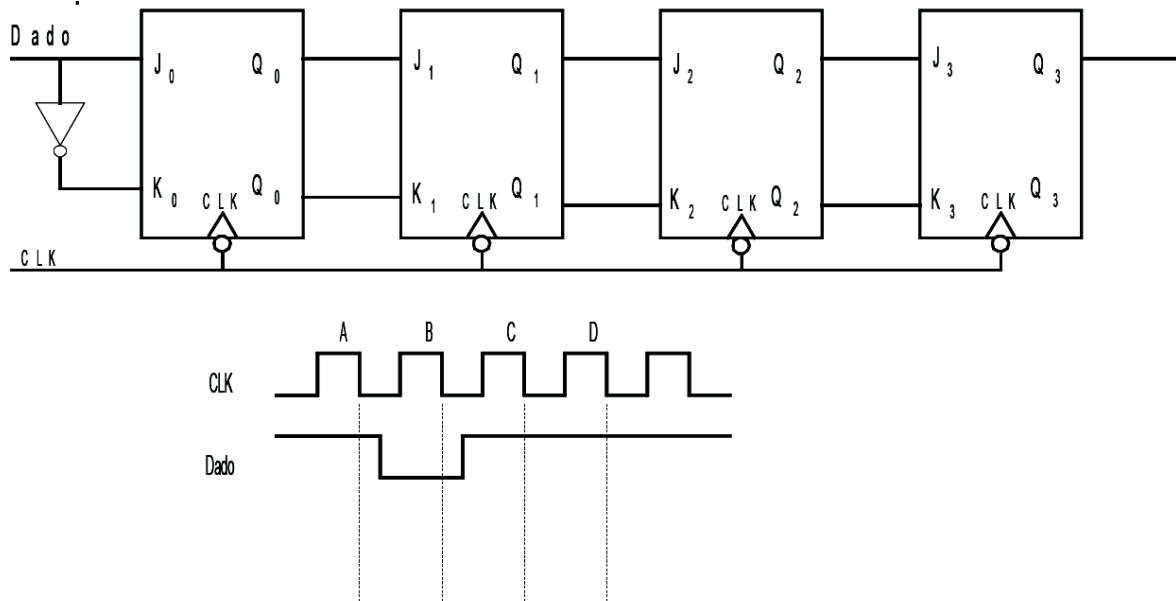


Figura 3: Circuito com FFs JK e respectivos sinais de clock e de dado

8. Determine as formas de onda das saídas (para todas as saídas de Q0 a Q2) para o circuito mostrado na figura a seguir. Considere que os *Flip-Flops* são ativados na borda de descida do *clock*. Obs 1.: Considere que no início todas as saídas estão em 0. Obs 2.: Explique sua resposta.

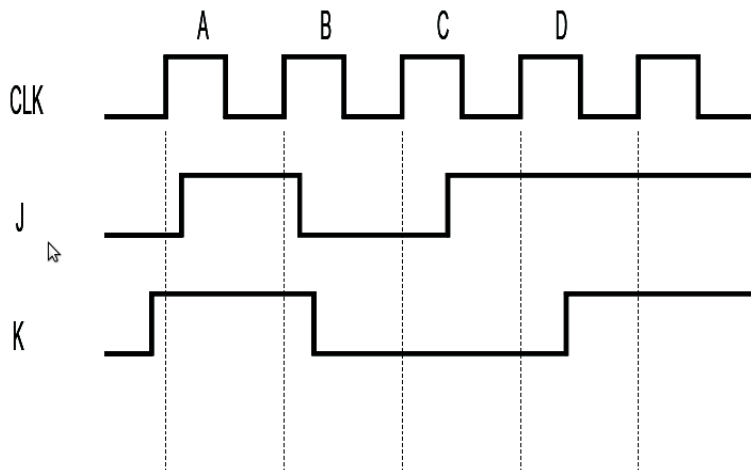


Figura 4: Circuito com FFs JK

9. Determine o módulo do contador da Figura 1, Todas as entradas J e K estão em ALTO (nível lógico 1):

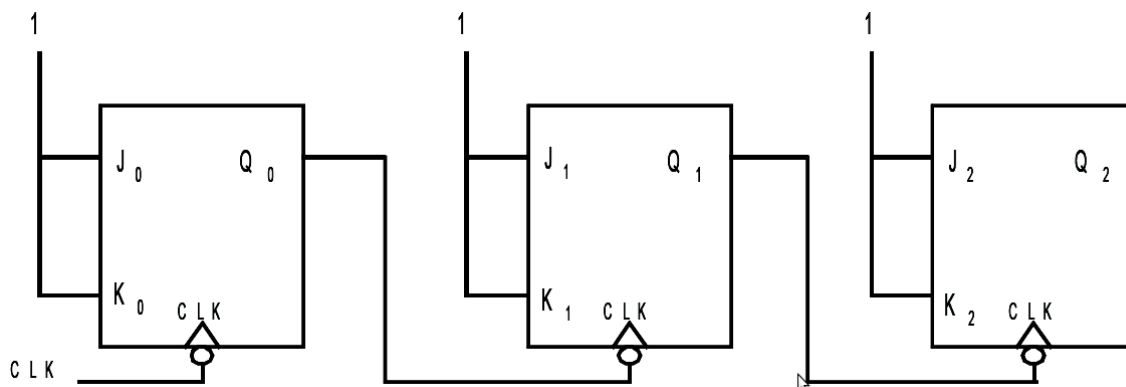


Figura 5: Contador

10. Considere o sistema de monitoramento de uma planta industrial onde o estado aberto/fechado de muitas portas de acesso é monitorado. Cada porta controla o estado de uma chave e o estado de cada uma é mostrado num LED num painel de monitoramento remoto na sala de segurança. Uma maneira de fazer isso seria levar o sinal de cada porta para um LED no painel. Isso exigiria muita fiação por longas distâncias. Para reduzir esse problema o painel de monitoramento usa uma combinação de multiplexador/demultiplexador, conforme mostrado na figura a seguir. O sistema pode tratar até oito portas. Obs.: Considere as saídas do contador MOD-8 como sendo as entradas de controle da combinação MUX/DEMUX.

- a) Examine cuidadosamente a figura e descreva a operação completa do sistema.
- b) Projete o contador de módulo 8.

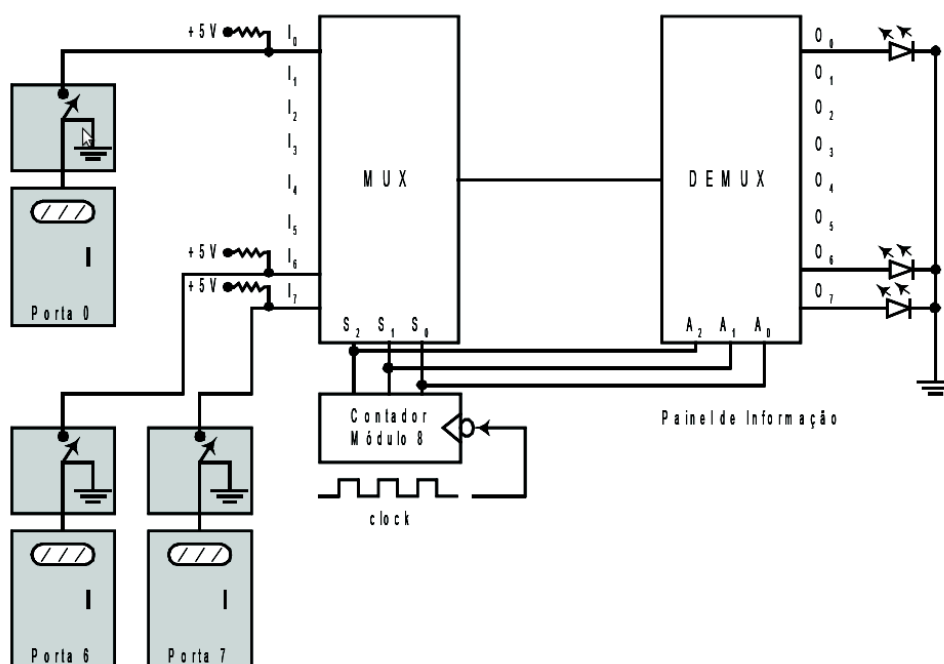


Figura 6: Sistema de monitoramento de portas

