

《计算机组成与系统结构》期末考试试题 B

考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。 四、学生必须将答题内容做在试卷上，做在草稿纸上一律无效。							
题号	一	二	三	四	五	六	七	总分
满分	20	10	25	10	10	10	15	100
得分								
阅卷 教师								

一、 选择题（每小题 1 分，共计 20 分）

题号	1	2	3	4	5	6	7	8	9	10
答案										
题号	11	12	13	14	15	16	17	18	19	20
答案										

1. 下列关于冯·诺依曼结构计算机基本思想的叙述中，错误的是（ ）。

- A. 程序的功能都通过中央处理器执行指令实现。
- B. 指令和数据都用二进制数表示，形式上无差别。
- C. 指令按地址访问，数据都在指令中直接给出。
- D. 程序执行前，指令和数据需预先存放在存储器中。

2. 冯·诺依曼结构计算机中的数据采用二进制编码表示，其主要原因是（ ）。

- 1) 二进制的运算规则简单
- 2) 制造两个稳态的物理器件较容易
- 3) 便于用逻辑门电路实现算术运算

A. 仅 1、2 B. 仅 1、3 C. 仅 2、3 D. 1、2、3

3. 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x、y 和 z，其中 x 和 z 为 int 型，y 为 short 型。当 x=127，y=-9 时，执行赋值语句 z=x+y 后，x、y 和 z 的值分别是（ ）。

- A. x=0000007FH, y=FFF9H, z=00000076H
- B. x=0000007FH, y=FFF9H, z=FFFF0076H
- C. x=0000007FH, y=FFF7H, z=FFFF0076H
- D. x=0000007FH, y=FFF7H, z=00000076H

4. 下列数中最小的数为（ ）。

- A. $(1001\ 0110)_2$
- B. $(2F)_{16}$
- C. $(1001\ 0110)_{BCD}$
- D. $(63)_8$

5. 下列关于数据进制转换的叙述中，错误的是（ ）。

- A. 任何二进制整数都可以用十进制表示。
- B. 任何二进制小数都可以用十进制表示。
- C. 任何十进制整数都可以用二进制表示。
- D. 任何十进制小数都可以用二进制表示。

6. 八片 74181ALU 和两片 74182CLA 器件相配合，组成 32 位 ALU，具有如下进位传递功能（ ）。

- A. 行波进位
- B. 组内行波进位，组间先行进位
- C. 组内先行进位，组间行波进位
- D. 组内先行进位，组间先行进位

7. 下列有关 RAM 和 ROM 的叙述中，正确的是（ ）。

- 1) RAM 是易失性存储器，ROM 是非易失性存储器
- 2) RAM 和 ROM 都是采用随机存储的方式进行信息访问
- 3) RAM 和 ROM 都可以用做Cache
- 4) RAM 和 ROM 都需要进行刷新

- A. 仅 1 和 2
- B. 仅 2 和 3
- C. 仅 1、2 和 3
- D. 仅 2、3 和 4

8. 下列述有关存储器的描述中，不正确的是（ ）。

- A. 用 512K×8 位的 SRAM 存储器芯片组成一个 2M×16 位的存储器，需要 8 个芯片。
- B. 若某存储器芯片占据最低地址的 16K 地址空间，则其最高地址为 3FFFH。
- C. 在包含 Cache、TLB 并支持页式虚拟存储器的系统中，不可能出现页表缺失但 Cache 和 TLB 命中的情况。
- D. 组相联地址映射的 Cache 中，主存中的任意一块数据可映射到 Cache 的任意一行的位置上。

9. 在Cache和主存构成的两级存储体系中,主存与Cache同时访问。Cache的存取时间是100ns,主存的存取时间是1000ns,若希望有效(平均)存取时间不超过Cache存取时间的120%,则Cache的命中率至少应为()。

- A. 90% B. 98% C. 95% D. 99%

10. 在下面的各种寻址方式中,不属于内存寻址的寻址方式是()。

- A. 直接寻址 B. 寄存器寻址 C. 间接寻址 D. 基址寻址

11. 某计算机的控制器采用微程序控制方式,微指令中的操作控制字段采用字段直接编码法,共有33个微命令,构成5个互斥类,分别包含8、12、12、6和6个微命令,则操作控制字段至少有()。

- A. 15 位 B. 16 位 C. 17 位 D. 44 位

12. 微程序控制器中,取指后形成微程序入口地址的是()。

- A. 机器指令的地址码字段 B. 微指令的微地址码字段
C. 机器指令的操作码字段 D. 微指令的微操作码字段

13. 机器指令、微指令、微命令之间的关系应为()。

- A. 若干条微指令实现一条机器指令,一条微指令包含多个微命令。
B. 若干条机器指令实现一条微指令,一条微命令包含多个机器指令。
C. 一条微指令实现一条机器指令,一条微指令包含多个微命令。
D. 若干个微命令实现一条机器指令,一个微命令包含多条微指令。

14. 微程序控制器的速度比硬布线控制器慢,主要是因为()。

- A. 增加了从磁盘存储器读取微指令的时间。
B. 增加了从主存读取微指令的时间。
C. 增加了从指令寄存器读取微指令的时间。
D. 增加了从控制存储器读取微指令的时间。

15. 总线的特征是分时使用,所以挂接在总线上的多个部件()。

- A. 只能分时向总线发送数据,并只能分时从总线接收数据。
B. 只能分时向总线发送数据,但有时可同时从总线接收数据。
C. 可同时向总线发送数据,并同时从总线接收数据。
D. 可同时向总线发送数据,但只能分时从总线接收数据。

16. 某计算机有五级中断 L4~L0，中断屏蔽字为 M4M3M2M1M0， $M_i=1 (0 \leq i \leq 4)$ 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 L3L2L1L4L0，则 L1 的中断处理程序中设置的中断屏蔽字是()。

- A. 11110 B. 01101 C. 10011 D. 11010

17. 下面论述中，不正确的是()。

- A. 超线程技术在一颗处理机芯片内设计多个逻辑上的处理机内核。
B. 超线程技术减少了处理机的闲置时间，提高了处理机的运行效率。
C. 多线程技术能减少线程的存储器访问延迟，增加系统吞吐率。
D. 单指令流多数据流 (SIMD) 结构的代表机型是单处理机。

18. 采用串行接口进行 7 位 ASCII 码传送，带 1 位奇偶校验，1 位起始位和 1 位停止位。若数据传输波特率为 19200 波特，字符传送速率为()。

- A. 960 字符/秒 B. 1746 字符/秒 C. 1920 字符/秒 D. 2742 字符/秒

19. 某 CRT 显示器的分辨率为 3600×1600 ，帧频为 85Hz (逐行) 扫描，颜色深度为 8 位，则显示存储器的刷新带宽约为()。

- A. 245Mbps B. 979Mbps C. 1958Mbps D. 3917Mbps

20. 一个磁盘的转速为 7200 转 / 分，每个磁道有 160 个扇区，记录块大小为 512 字节，则在理想情况下，其数据传输率为()。

- A. $7200 \times 160 \text{ KiB/s}$ B. 7200 KiB/s C. 9600 KiB/s D. 19200 KiB/s

二、 判断题 (每小题 1 分，共计 10 分)

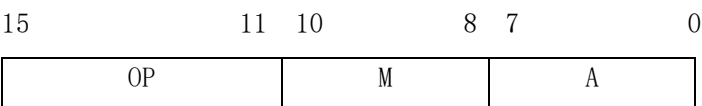
- 1、 闪存信息可读可写，并且读和写的速度一样快。 ()
2、 一台字符显示器的 VRAM 存放的是显示字符的 ASCII 码和属性码。 ()
3、 若 I/O 采用独立编址方式，CPU 需要设备专门的输入/输出指令。 ()
4、 RISC 处理器中通常采用微程序控制器设计方法。 ()
5、 某四模块交叉存储器，每个模块的存储容量为 $128\text{K} \times 64$ 位，存储周期为 200 纳秒，则数据总线的宽度为 256 位。 ()
6、 计数器查询方式下，若每次从 0 开始计数，则设备号大的设备优先级高。 ()
7、 Cache 容量为 128 块，直接映射下主存第 i 块映射为 Cache 第 $i \bmod 128$ 块。 ()
8、 DMA 方式中，数据传送是在总线控制器发出的控制信号控制下完成的。 ()
9、 未格式化的硬盘容量要大于格式化后的实际容量。 ()
10、 存储器-存储器型指令可在存储单元之间直接连接，完成数据传输。 ()

三、简答题（每小题 5 分，共计 25 分）

1. 解释下列术语

- (1) MAR (2) 微程序 (3) 多模块交叉存储器 (4) 程序中断 (5) DDR

2. 某机字长为 16 位，存储器按字编址，访问内存指令格式如下：



其中，OP 为定长操作码； M 为寻址特征； A 为形式地址。设 PC 和 Rx 分别为程序计数器和变址寄存器，字长为 16 位。请问该机器最多能支持多少条指令，并分别写出直接寻址、间接寻址、变址寻址和相对寻址的有效地址 EA 的计算公式和寻址范围。

3. 已知机器主存储器包含 8192 块，每块 128 字；采取组相联映射的 Cache，由 64 行构成，每组 4 行，按字访存。请说明该机器 Cache 地址映射中标识、组号、字号各段分别多少位？

4. 什么情况需要总线仲裁？请说明常见的集中式总线仲裁方式及特点。

5. Float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 Float 型变量 x 分配在一个 32 位浮点寄存器 FR1 中，且 $x = -8.25$ 。请说明 FR1 寄存器所存内容（16 进制表示）。

四、（10 分）某磁盘组有 5 片磁盘，每片可有两个记录面，最上最下两个记录面不用。存储区域内径为 22cm，外径为 33cm，道密度 60 道/cm，外层位密度 400 位/cm，转速 6000 转/分。

试问：（圆周率取 3.14）

- （1）共有多少个圆柱面？
- （2）整个磁盘组的总存储容量有多少？
- （3）数据传送率是多少？
- （4）将长度超过一个磁道容量的文件记录在同一个柱面上是否合理？
- （5）假定每个磁道有 10 个扇区，寻道的平均等待时间为 10.5ms，试计算磁盘单扇区平均存取时间。

五、（10 分）假设有两个整数 $x=-68$ 、 $y=-80$ ，采用补码形式（含 1 位符号位）标识， x 和 y 分别存放在寄存器 A 和 B 中。A、B、C、D 都是 8 位的寄存器。请回答下列问题（结果用 16 进制表示）

（1）寄存器 A 和 B 中存放的内容分别是什么？

（2） x 和 y 相加后的结果存放在寄存器 C 中，寄存器 C 的内容是什么？此时，计算结果的溢出标志位 OF 是什么？

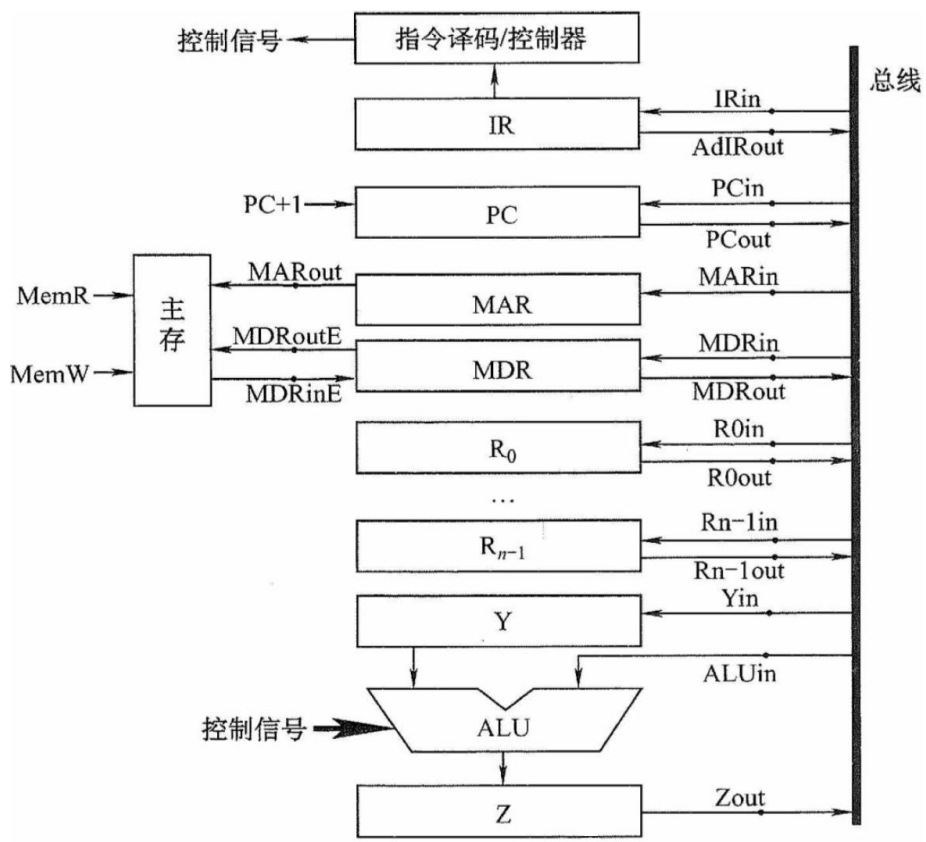
（3） x 和 y 相减后的结果存放在寄存器 D 中，寄存器 D 的内容是什么？此时，计算结果的溢出标志位 OF 是什么？

（注：OF=1 表示加减法计算结果溢出）

六、（10 分）下图所示为某机器的数据通路，PC 为程序计数器（具有自增功能），ALU 由加、减控制信号决定完成何种操作。线上标有小圈表示有控制信号。例如，PCin 表示 PC 寄存器的输入控制信号，R0out 为寄存器 R0 的输出控制信号，未标的表示为直通线，不受控制。

指令 ADD R1, (L) 的含义是将 R1 与主存地址为 L（指令中给出）的数相加，并将结果存入 R1 寄存器，假设该指令的地址已放入 PC 中。

请画出指令“ADD R1, (L)”指令周期流程图，并标明相应的微操作控制信号。



七、（15 分）由 $256\text{K} \times 16$ 位的 DRAM 芯片构成 $1024\text{K} \times 32$ 位的存储器，试问：

- （1）组成该存储器总共需要多少 DRAM 芯片。
- （2）画出组成该存储器的逻辑框图。
- （3）已知存储器为读写周期 $0.5\mu\text{s}$ ，CPU 在 $1\mu\text{s}$ 内至少访存一次。应采用何种刷新方式？
- （4）若 DRAM 的刷新周期为 8ms ，请设计刷新信号周期。