

一、 选择题

1. 以下关于计算机系统的概念中，正确的是（）
 - I. CPU 不包括地址译码器
 - II. CPU 的程序计数器中存放的是操作数地址
 - III. CPU 中决定指令执行地址的是程序计数器
 - IV. CPU 的状态寄存器对用户是完全透明的

A. I、 III B. III、 IV C. II、 III、 IV D. I、 III 、 IV
2. 某计算机的主存空间为 4GB，字长为 32 位，按字节编址，采用 32 位字长指令字格式 若指令按字边界对齐存放 则程序计数器 (PC) 和指令寄存器 (IR)的位数至少分别是（）

A.30、 30 B.30、 32

C. 32、 30 D. 32、 32
3. 减法指令 “sub R1, R2, R3” 的功能为 “(R1)-(R2)-> R3”，该指令执行后将生成进位 / 借位标志 CF 和溢出标志 OF 。若 (R1)= FFFF FFFFH, (R2) = FFFFFFFF0H 则该减法指令执行后，CF 与 OF 分别为（）

A.CF = 0, OF = 0 B .CF = 1, OF = 0

C.CF = 0, OF = 1 D.CF = 1, OF = 1
4. 计算机工作的最小时间周期是（）

A. 时钟周期

B. 指令周期

C. CPU 周期

D. 工作脉冲

5. 指令周期是指 ()
- A. CPU 从主存取出一条指令的时间
 - B. CPU 执行一条指令的时间
 - C. CPU 从主存取出条指令加上执行这条指令的时间
 - D. 时钟周期时间
6. 单周期处理器中所有指令的指令周期为一个时钟周期。
下列对其叙述错误的是 ()
- A. 可以采用单总线结构数据通路
 - B. 处理器时钟频率较低
 - C. 在指令执行过程中信号不变
 - D. 每条指令的 CPI 为 1
7. 相对于微程序控制器，硬布线控制器的特点是 ()
- A. 指令执行速度慢，指令功能的修改和扩展容易
 - B. 指令执行速度慢，指令功能的修改和扩展难
 - C. 指令执行速度快，指令功能的修改和扩展容易
 - D. 指令执行速度快，指令功能的修改和扩展难
8. 水平型微指令与垂直型微指令相比 ()
- A. 前者一次只能完成一个基本操作
 - B. 后者一次只能完成一个基本操作
 - C. 两者都是一次只能完成一个基本操作
 - D. 两者都能一次完成多个基本操作
9. 某计算机的指令流水线由 4 个功能段组成 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、60ns，则该计算机的 CPU 周期至少是 ()
- A.90ns B.80ns C.70ns D.60ns

10. 下列不会引起指令流水线阻塞的是 ()。
- A. 数据旁路 (前递) B. 数据相关冒险
C. 条件转移 D. 资源冲突
11. 下列关于超标量流水线特性的叙述中, 正确的是 ()。
- I. 能缩短流水线功能段的处理时间
II. 能在一个时钟周期内同时发射多条指令
III. 能结合动态调度技术提高指令执行并行性
- A. 仅 II B. 仅 I、III C. 仅 II、III D. I、II、III
12. 在无转发机制的五段基本流水线 (取指、译码 / 读寄存器、运算、访存、写回寄存器) 中, 下列指令序列存在数据冒险的指令对是 ()。
- I. $add\ R1, R2, R3; (R2) + (R3) \rightarrow R1$
II. $add\ R5, R2, R4; (R2) + (R4) \rightarrow R5$
III. $add\ R4, R5, R3; (R5) + (R3) \rightarrow R4$
IV. $add\ R5, R2, R6; (R2) + (R6) \rightarrow R5$
- A. I 和 II B. II 和 III C. II 和 IV D. III 和 IV
13. 下列关于指令流水线数据通路的叙述中, 错误的是 ()。
- A. 包含生成控制信号的控制部件
B. 包含算术逻辑运算部件 (ALU)
C. 包含通用寄存器组和取指部件
D. 由组合逻辑电路和时序逻辑电路组合而成

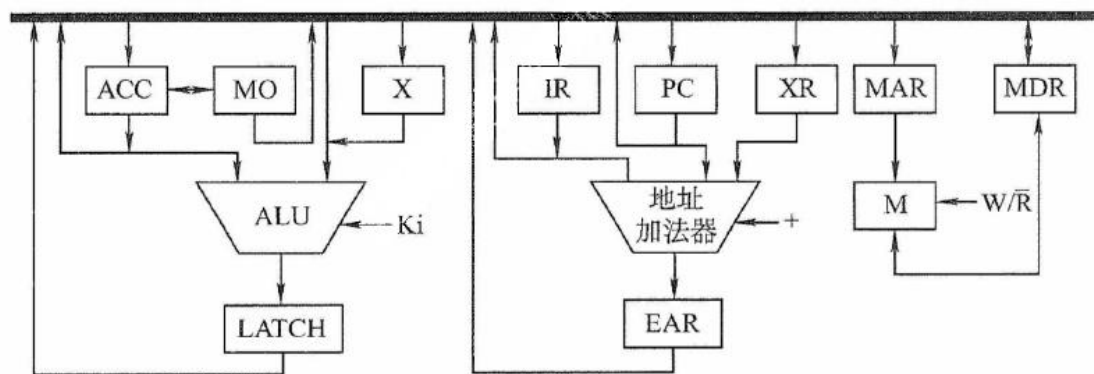
二、 综合题

1. 某单总线计算机结构如下图所示，其中，XR 为变址寄存器、EAR 为有效地址寄存器，LATCH 为暂存器。假设指令地址已存在 PC 中。

请画出 ADD XR, D 的指令周期流程图并注明相应的控制信号。

说明：

- 1) ADD XR, D 中：XR 为变址寄存器，D 为形式地址，另一加数和结果均为 ACC 寄存器
- 2) 寄存器输入输出信号需标明，例如 PC_i 为 PC 的输入信号，MDR_o 表示 MDR 的输出控制信号



2. 某 16 位计算机中,有符号整数用补码表示,数据 Cache 和指令 Cache 分离。
下表给出了指令系统中的部分指令格式,其中 Rs 和 Rd 表示寄存器, mem
表示存储单元地址,(x)表示寄存器 x 或存储单元 x 的内容。

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	$(Rs) + (Rd) \rightarrow Rd$
算术/逻辑左移	SHL Rd	$2 * (Rd) \rightarrow Rd$
算术右移	SHR Rd	$(Rd) / 2 \rightarrow Rd$
取数指令	LOAD Rd, mem	$(mem) \rightarrow Rd$
存数指令	STORE Rs, mem	$Rs \rightarrow (mem)$

该计算机采用 5 段流水方式执行指令,各流水段分别是取指(IF)、译码 / 读寄存器(ID)、执行 / 计算有效地址(EX)、访问存储器(M) 和结果写回寄存器(WB),流水线采用“按序发射,按序完成”方式,未采用转发技术处理数据相关,且同一寄存器的读和写操作不能在同一个时钟周期内进行。

请回答下列问题:

- 1) 若 int 型 (16 位) 变量 x 的值为 -513,存放在寄存器 R1 中,则执行“SHR R1”后, R1 中的内容是多少 (用十六进制表示)?
- 2) 若在某个时间段中,有连续的 4 条指令进入流水线,在其执行过程中未发生任何阻塞,则执行这 4 条指令所需的时钟周期数为多少?

3) 若高级语言程序中某赋值语句为 $x = a + b$, x 、 a 和 b 均为 `int` 型变量, 它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ 和 $[b]$ 。该语句对应的指令序列及其在指令流中的执行过程如下所示。

```

I1  LOAD    R1, [a]
I2  LOAD    R2, [b]
I3  ADD     R1, R2
I4  STORE   R2, [x]

```

指令 \ 时钟	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I_1	IF	ID	EX	M	WB									
I_2		IF	ID	EX	M	WB								
I_3			IF				ID	EX	M	WB				
I_4							IF				ID	EX	M	WB

则这 4 条指令执行过程中 I_3 的 ID 段和 I_4 的 IF 段被阻塞的原因各是什么? 该
如何解决该流水线阻塞情况?

4) 若高级语言程序中某赋值语句为 $x = x * 2 + a$, x 和 a 均为 `unsigned int` 类型的变量, 它们的存储单元地址分别表示为 $[x]$ 、 $[a]$, 则执行这条语句至少需要多少个时钟周期? 要求模仿上图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。