

数字逻辑实验考核预习报告

傅舟涛 2017010682

1、实验任务

基本要求

安装一个三位十进制计数与显示电路，计数前各位数码管均显示“0”，加入启动信号后计数电路从零开始计数，当计到实验者学号末三位数时停止计数，数码管显示出该三位数字。

提高要求

将计数器改为四位十进制计数器，当计数器计到实验者学号末四位数时停止计数，带译码器的三个数码管显示学号最后三位数字，学号倒数第四位用不带译码器的数码管来显示。为使工作量基本相等，做如下规定：

- 1) 当学号后三位数字中出现“0”时，将“0”用“1”代替。
- 2) 学号倒数第四位均取为“1”。

2、实验设计

2.1 使用芯片

- 1) 2 块 74LS90 二-五-十进制计数器；
- 2) 1 块 74LS161 四位二进制同步计数器；
- 3) 1 块 74LS74 双 D 触发器（正沿触发）；
- 4) 1 块 74LS14 六反相器（我的芯片盒里用 74HC04 代替的 74LS04，因此使用 74LS14）；
- 5) 1 块 74LS20 二-四输入与非门；
- 6) 1 块 74LS00 四-二输入与非门。

2.2 设计思路

74LS161 作为计数器个位，74LS90 作为计数器的十位和百位。74LS161 存在使能端，可以方便停止计数。千位只取 0 或 1，因此直接使用一个 D 触发器作为千位。

添加一个 rst 按钮作为清零按钮，可以将整个计数器清零。

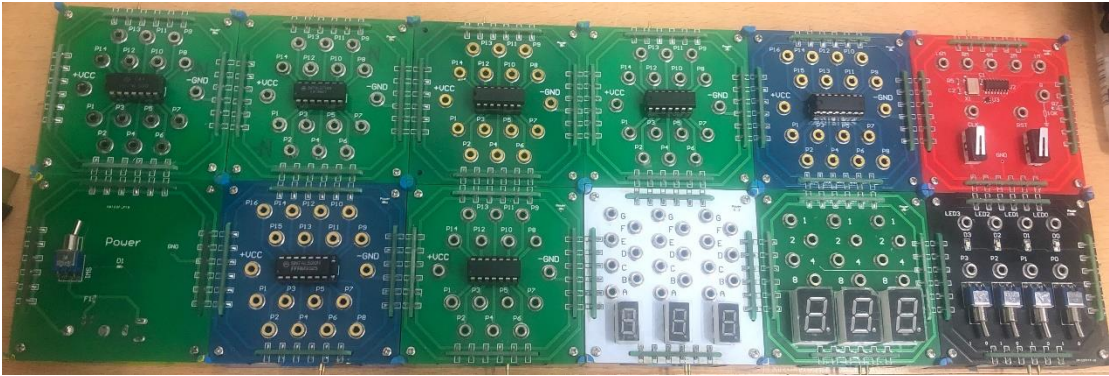
我的学号后三位为 682，因此需要在计数器数到 1682 时停止。我的电路当千位、百位第 2、1 位（从高到低记为 3210）、十位第 3 位，和个位第 1 位是否全为 1，如果是则将 74LS161 计数器的使能端置零，以停止计数。虽然这样会使得高于 1682 的许多位置也停止计数（如 1683、1693、1792 等），但一方面，小于 1682 时不会停止计数，如果不意外错误则可以正常使用；另一方面，这样设计较为简便，节约了许多门电路。

2.3 电路图

实验电路的原理图如下页所示。

2.3 搭线表

为方便搭线，先将板子拼成如下形状，第一排左边五个板子分别记作板 1-5，第二排的左边五个板子记为板 6-10。开关模块作为 rst，开关模块和时钟模块 debug 用。板 k 的 Pn 端口记为 k-n，板 9 只用最右边的数码管，端口记为 9-A 到 9-G，板 10 的三个数码管从左到右记为 2、1、0，第 i 个数码管的端口 k 记为 10-i-k，如中间数码管的最高位记为 10-1-8。



1、芯片（7 板的芯片左置）

1:74LS00; 2:74LS74; 3:74LS90; 4:74LS90; 5:74LS161; 7:74LS20; 8:74LS14

2、接线

8-7	GND	5-10	VCC	4-11	10-1-3, 1-5	2-1	8-1
8-14	VCC	5-11	10-0-3, 1-1	4-12	10-1-0	2-2	VCC
7-7	GND	5-12	10-0-2	4-14	8-4	2-3	8-6
7-16	VCC	5-13	10-0-1, 1-4	3-1	3-12	2-4	2-2
1-7	GND	5-14	10-0-0, 1-2	3-2	8-2, 3-3	2-5	8-13, 7-2
1-14	VCC	5-16	VCC	3-5	VCC	2-7	GND
5-1	rst, 8-1	4-1	4-12	3-6	3-7, GND	2-14	VCC
5-2	clk	4-2	8-2, 4-3	3-8	10-2-2, 7-4	1-6	8-11
5-4	5-3, 5-5	4-5	VCC	3-9	10-2-1, 7-5	8-10	7-1
5-6	5-5, 5-8	4-7	4-7, GND	3-10	GND	9-A	8-12, 9-D
5-7	7-6	4-8	10-1-2	3-11	10-2-3, 8-5	9-B	VCC, 9-C
5-8	GND	4-9	10-1-1	3-12	10-2-0	9-E	9-D, 9-F
5-9	1-3, 8-3	4-10	GND	3-14	10-1-3	9-G	GND

大致根据其接线即可，要保证每个端口不超过两根线，逐个模块验证：
to 5-14：最低位，测试时 5-7 可先接开关；
to 4-14：后两位，其中 4-14 可接手动时钟单独测试；
to 3-14：后三位，其中 4-14、3-14 可接手动时钟单独测试；
to 9-G：整体四位，其中 4-14、3-14、2-3 可接手动时钟单独测试，也可接 1M 时钟查看是否正常停止。