

# 简单组合逻辑电路的设计

计 74 傅舟涛 2017010682

## 1 实验目的

- 1) 理解用小规模数字集成电路组合逻辑电路的分析方法与设计方法;
- 2) 通过全加器电路与减法运算电路的设计, 熟悉“补码”概念, 用“补码”实现减法运算。

## 2 实验内容及要求

- 1) 设计并安装两位加法运算电路, 用数码管显示加数、被加数、和;
- 2) 设计并安装两位减法运算电路, 用数码管显示减数、被减数,  $A>B$  时, 用数码管显示差值,  $A<B$  时, 用数码管显示借位信息, 以及用补码表示的差值;
- 3) 设计并安装两位减法运算电路, 用数码管显示减数、被减数,  $A>B$  时, 用数码管显示差值,  $A<B$  时, 用数码管显示负号, 以及用原码表示的差值;

## 3 实验原理及电路图

### 1) 二进制加法运算电路

半加器的功能是实现一个二进制加数的加法运算。An、Bn 表示两个加数, Dn 表示半加和, Cn 表示向高位的进位。其电路图与符号如图 1 所示, 逻辑表达式为:

$$D_n = A_n \oplus B_n, C_n = A_n \cdot B_n$$

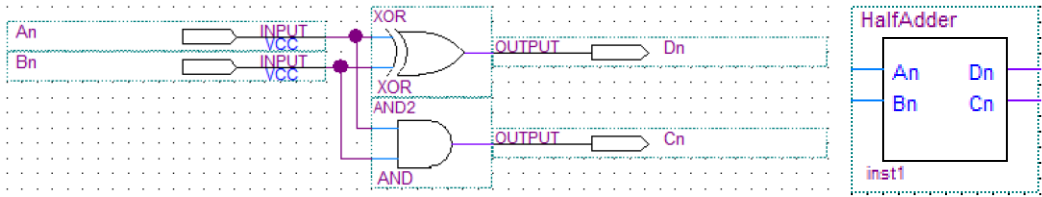


图 1 半加器电路图与符号

全加器的功能是实现一个二进制加数与一个来自低位进位的加法运算。An、Bn 表示两个加数, Cn-1 表示低位进位, Dn 表示全加和, Cn 表示向高位的进位。其逻辑表达式为:

$$D_n = A_n \oplus B_n \oplus C_{n-1}$$

$$C_n = A_n \cdot B_n + C_{n-1} \cdot (A_n \oplus B_n) = \overline{(A_n \cdot B_n)} \cdot (C_{n-1} \cdot (A_n \oplus B_n))$$

其真值表如表 1 所示, 电路图与符号如图 2 所示。这一表达式与电路图与书上的不同, 这是因为我们实验中有与非门, 而或门和与门需要与非门和或非门搭建, 这样修改后简化了实际电路搭建, 并且减小了门延迟 (与门、或门为 2 级门延迟, 而非门为 1 级门延迟)。

表 1 全加器真值表

An	Bn	Cn-1	Dn	Cn
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

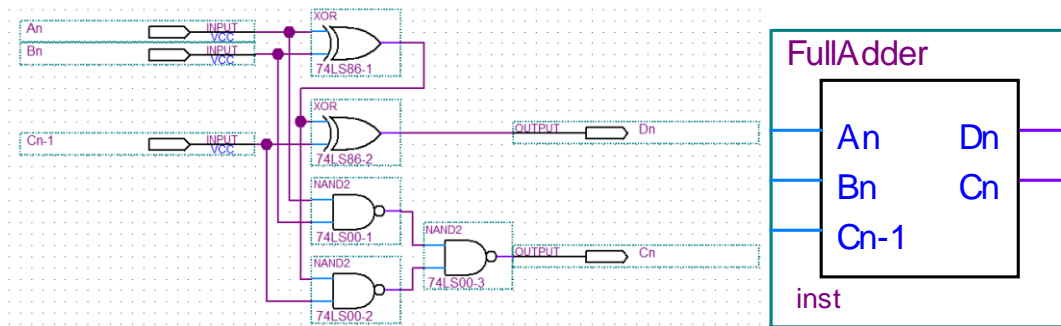


图 2 全加器电路图与符号

将多个全加器级联即可得到加法器，例如，将两个全加器级联，可以得到两位二进制加法器，如图 3 所示，C-1 的默认取值为 GND (0)。

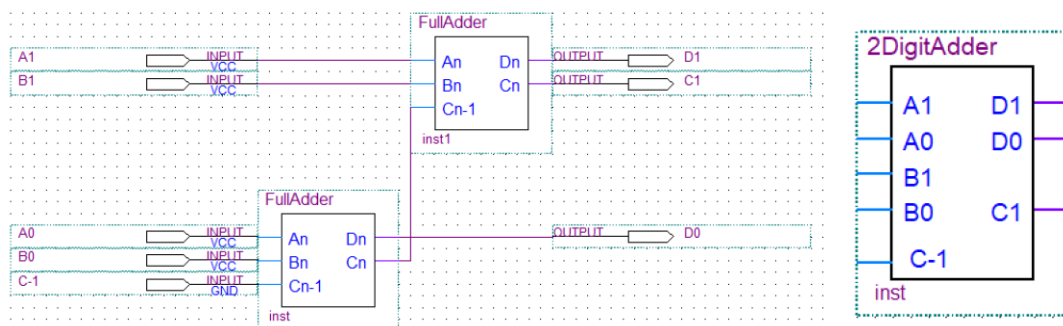


图 3 两位二进制加法器电路图与符号

## 2) 二进制减法运算电路——补码表示

补码表示法是二进制负数的常用表示方法，它是由符号位加补码的表示方法。符号位为 0 代表为“+”，为 1 代表为“-”。正数的补码为其原码，负数的补码为反码+1，而反码是绝对值的原码的每一位取反。例如，-5，符号位为 1，绝对值的二进制原码为 101，反码为 010，补码为 011，再加上符号位，为 1011。同样，将补码求反再加 1 可以得到原码。

为了实现 A-B 的运算电路，只需要将 A 和 B 的补码输入到全加器，输出的值 C1D1D0 即为其补码表示，其中 C1 为符号位，D1D0 为其补码，如图 4 所示。

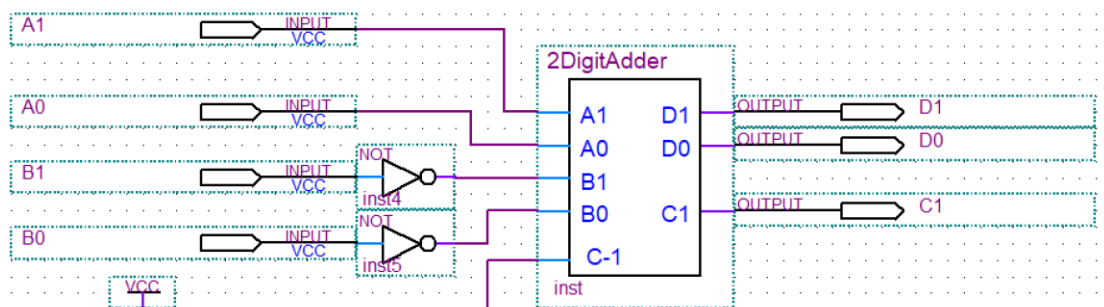


图 4 两位二进制减法器（补码表示）电路图

## 3) 二进制减法运算电路——符号+原码表示

为了研究符号+补码 C1D1D0 与符号+原码 C1'S1S0 的关系，列出真值表表 2：

表 2 原码与补码的真值表

C1	D1	D0	十进制数	C1'	S1	S0
0	0	0	0	0	0	0
0	0	1	1	0	0	1

0	1	0	2	0	1	0
0	1	1	3	0	1	1
1	0	1	-3	1	1	1
1	1	0	-2	1	1	0
1	1	1	-1	1	0	1

化简后可以得到逻辑表达式为：

$$C_1' = C_1, S_0 = D_0, S_1 = \overline{C_1} \cdot D_1 + C_1 \cdot (D_1 \oplus D_0) = \overline{(\overline{C_1} \cdot D_1)} \cdot \overline{(C_1 \cdot (D_1 \oplus D_0))}$$

本身  $S_1$  也可使用二选一数据选择器完成，不过由于只提供了四选一数据选择器，改装较为麻烦，因此还是使用与非门和异或门完成。得到二位反码-原码转化器如图 5 所示，将图 4 与图 5 连接即可得到原码表示的二位减法器。

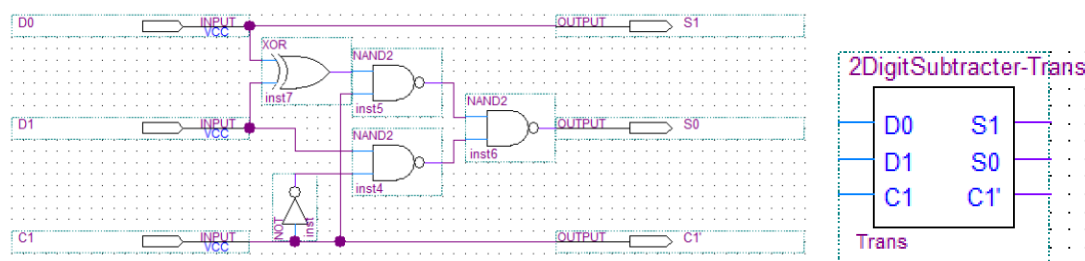


图 5 两位反码-原码转换电路图与符号

#### 4) 芯片使用及总电路图

综合图 2-5 可以得到任务 3 需要 5 个异或门，9 个与非门，3 个非门，而最低位全加器的 C-1 输入是 VCC，可以将其中的一个异或门和一个与非门改为非门，需要 4 个异或门，8 个与非门和 5 个非门，即 1 个 74LS86 芯片、2 个 74LS00 芯片、1 个 74LS04 芯片，总电路图如图 6 所示。

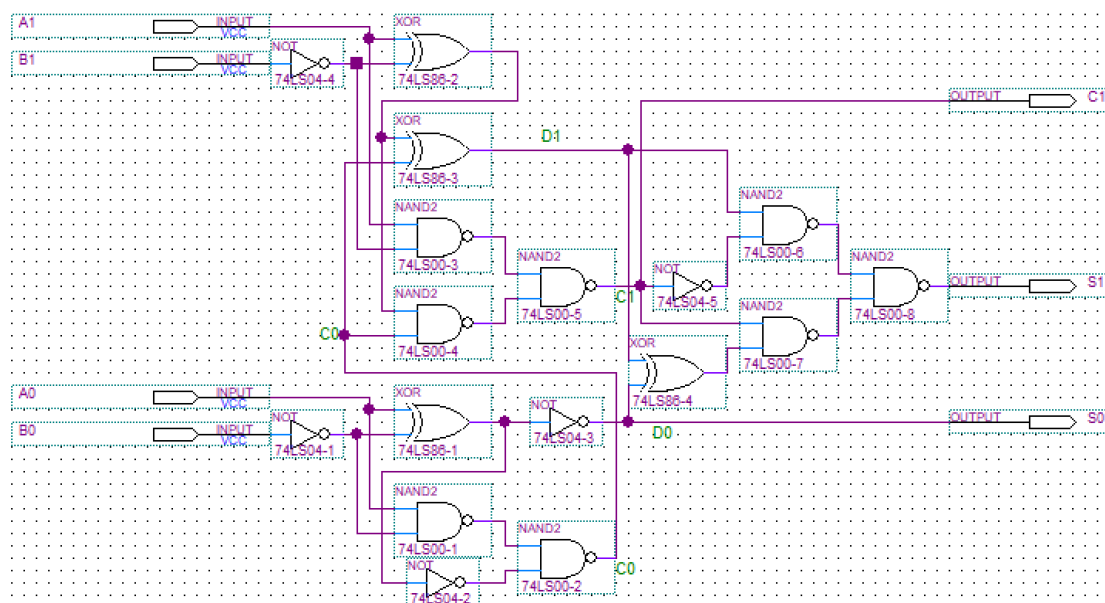


图 6 两位二进制减法器（原码表示）电路图

#### 5) 与开关模块、数码管模块的连接

本次实验中，为了方便控制与显示，输入由开关控制、带译码器的数码管显示，输出数

字由带译码器的数码管显示，负号由不带译码器的数码管显示。开关模块和数码管模块，以及它们所对应的输入输出、以及各开关和数码管的意义如图 7 所示。**需要注意的是，用于显示的数码管不用的位（4 和 8）应当接 0，不应当悬空。**

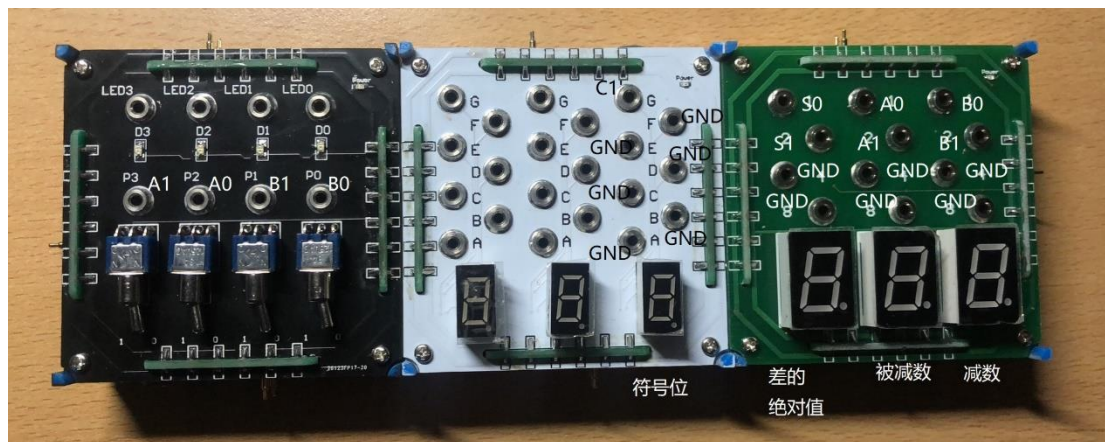


图 7 开关模块（左）和数码管模块（无译码器：中；有译码器：右）与图 4 的接口表示

## 4 研究内容

用给定的异或门、其他门电路及两个电平开关 S1、S2 设计一个电路，实现如下功能：当两个电平开关 S1、S2 接通低电平时，电路实现两个两位二进制相加 ( $C=A+B$ )。当 S1 接通低电平、S2 接通高电平时，电路实现一个两位二进制相减，输出要求与任务 3 一致。S1 接通高电平时，电路实现一个二进制数的相乘。

### 1) 对 S2 的分析与设计

先考虑 S1 接低电平的情况。S2 接低电平时，是一个加法器，S1 接高电平时是一个减法器。加法器与减法器的区别在于 B1、B0 和 C-1 的输入。对于加法器，B1 和 B0 直接接入加法器，C-1 为 0；对于减法器，B0 和 B1 取反后接入加法器，C-1 为 1。对于加法器而言，转换电路的输出与输入相同，无需更改。为实现目的，将 B0 与 S2 异或接入加法器的 B0、B1 与 S2 异或接入加法器的 B1、S2 接入加法器的 C-1 即可，如图 8 所示。

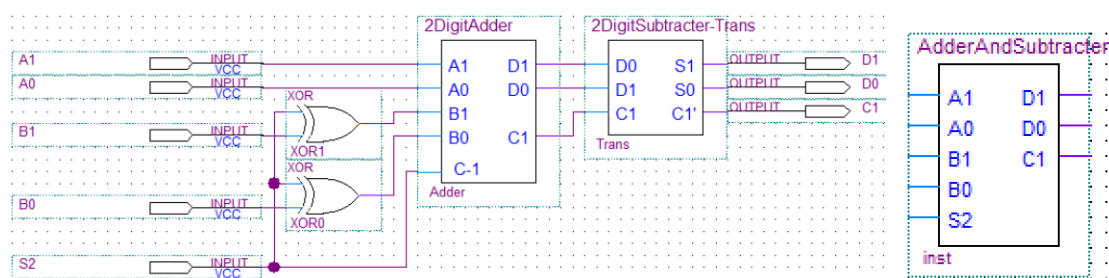


图 8 二位二进制加减法器电路图与符号

### 2) 二位乘法器的分析与设计

二位乘法器满足  $Y_3Y_2Y_1Y_0=A_1A_0 \cdot B_1B_0=A_1 \cdot B_1 \cdot 100+(A_1 \cdot B_0+A_0 \cdot B_1) \cdot 10+A_0 \cdot B_0$ ，又对于一位乘法等价于与门，记  $X_0=A_0 \cdot B_0, X_1=A_0 \cdot B_1, X_2=A_1 \cdot B_0, X_3=A_1 \cdot B_1$ ，于是有：

$$Y_0=X_0, C_1Y_1=X_1+X_2, Y_3Y_2=X_3+C_1.$$

因此，二位乘法器可以由四个与门和两个半加器实现，如图 9 所示，其中半加器的实现见图 1。

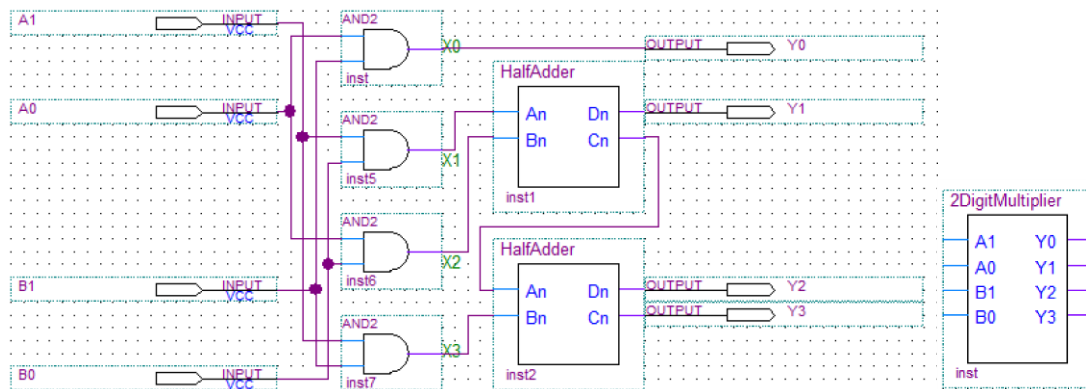


图9 二位二进制乘法器电路图与符号

### 3) 对 S1 的分析与完整设计

S1 负责控制输出，S1 为低电平时，输出加法器运算结果，S1 为高电平时，输出乘法器运算结果，即 S1 为二选一数据选择器的控制端，设计的最后结果如图 10 所示，AdderAndSubtractor 的电路见图 8，2DigitMultiplier 的电路见图 9，输出的 X 表示符号位，Z3、Z2、Z1、Z0 表示显示数码管的 8421 码。

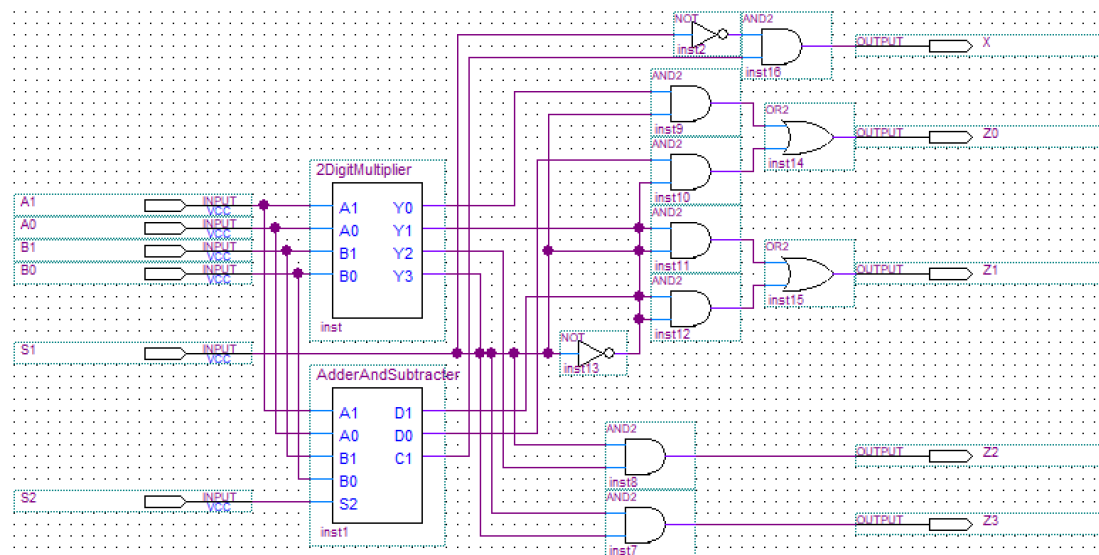


图9 提高要求电路图

## 5 思考题

设计一个 4 位二进制除法运算电路。A 为被除数，B 为除数，C 为商数，D 为余数。要求画出具体逻辑图或框图，并描述其工作原理。

需要用**时序电路**的设计方法，思路是不断令被除数减去除数，得到结果，定义 F 为错误指示，F=0 表示正确运行，F=1 表示出现错误（除数为 0），框图如图 10 所示。其中，循环由时钟完成， $D \leftarrow D - B$  由 4 位二进制减法器完成， $C \leftarrow C + 1$  由 4 位计数器完成。

工作原理如下：

赋值 A 和 B，并将 C、D、F 置 0 后，首先检测被除数，如果被除数则给 F 置 1，并结束；

否则令  $D=A$ ，然后不断让 D 减去 B，直到  $D < B$  为止，每减一次使 C+1；

$D < B$  时停止，此时 C 为商，D 为余数。

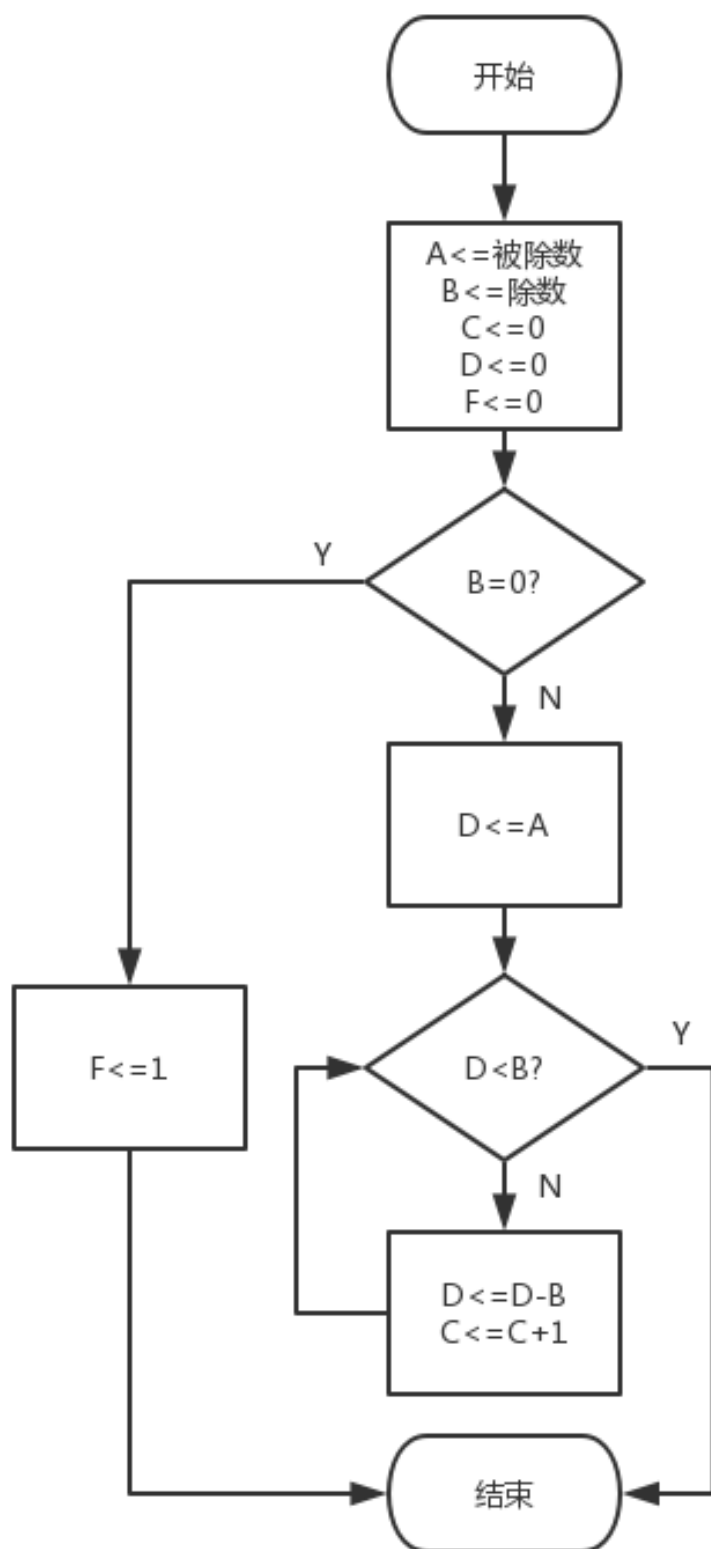


图 10 除法器电路图