CPU设计文档

1. 数据通路设计
   1. pc（程序计数器）

模块端口说明如下：

表1 pc端口说明



模块功能定义如下：

表2 pc功能定义



* 1. im（指令存储器）

模块端口说明如下：

表3 im端口说明



模块功能定义如下：

表4 im功能定义



（2）grf（通用寄存器组）

模块端口说明如下：

表5 grf端口说明



模块功能定义如下：

表6 grf功能定义



（3）alu（算术逻辑单元）

模块端口说明如下：

表7 alu端口说明



模块功能定义如下：

表8 alu功能定义



1. dm（数据存储器）

模块端口说明如下：

表9 dm端口说明

模块功能定义如下：

表10 dm功能定义



1. EXT（数据扩展单元）

模块端口说明如下：

表11 ext端口说明



模块功能定义如下：

表12 ext功能定义



1. NPC

模块端口定义如下：

表13 NPC端口说明



模块功能定义如下：

表14 NPC功能定义



1. 控制器设计
   1. 控制器

ctrl\_D端口说明如下：



ctrl\_E端口说明如下：



ctrl\_M端口说明如下：



ctrl\_W端口说明如下：



控制信号真值表如下：



控制信号意义如下：



* 1. 阻塞控制器

阻塞控制器端口说明如下：



阻塞发生条件如下:



(3) 转发控制器

转发控制器端口定义如下：



转发条件如下：



三、测试程序

lui $t0, 0x3424

ori $t0, $t0, 0x2342

lui $t1, 0x5432

ori $t1, $t1, 0x4232

subu $t2, $t1, $t0

addu $t3, $t2, $t0

addu $t4, $t1, $t0

addu $t5, $t0, $t4

ori $t6, $t0, 0x2422

subu $t7, $t6, $t0

ori $t8, $t0, 0x4320

addu $t9, $t0, $t8

ori $s0, $t9, 0x8923

ori $s1, $s0, 0x4239

addu $s2, $t0, $t1

nop

subu $s3, $s2, $t1

nop

addu $s4, $s0, $s3

nop

ori $s5, $s4, 0x3242

nop

ori $s6, $s5, 0x4324

nop

addu $s7, $s6, $0

lui $t2, 0x4243

nop

addu $t3, $t0, $t2

addu $0, $s0, $s1

subu $t2, $t1, $0

subu $0, $t2, $t1

ori $t3, $0, 0x5555

addu $t4, $t3, $0

j jump1

lui $t7, 0x1234

lui $t8, 0x2345

jump1:

ori $t8, $0, 0x3456

j jump2

lui $t7, 0x3333

jump2:

ori $t8, $t7, 0x3242

loop:

j loop

nop

期望运行结果：8-25号寄存器的值分别为：

0x34242342 0x54344232 0x54324232 0x00005555

0x00005555 0xbc7a88b6 0x34242762 0x33330000

0x68488fa7 0x6848cfbf 0x88566574 0x34242342

0x9c6cb2e9 0x9c6cb2eb 0x9c6cf3ef 0x9c6cf3ef

0x33333242 0x684886a4

思考题

1、

