

# 硬件FFT频谱可视化加速实验设计

## 目标

- 使用HLS构建项目并仿真、综合、导出IP
- 使用Vivado对导出的IP集成
- 使用PYNQ设计简单的应用

## 环境

- PYNQ开发板
- Vivado HLS
- Vivado

## 实验步骤

相信看到这里的开发者已经有一定的基础，便直接进行设计思路的介绍

## 1.在Vitis HLS中设计FFT IP

1. 创建HLS工程。
2. 在工程中添加设计文件和仿真文件。

src 目录下 hls\_fft.cpp 和 hls\_fft.h 是设计文件，hls\_fft\_test.cpp 是仿真文件，wave.txt 是仿真所需的数据文件，内容是频率为 200、400、600，振幅分别为 7、5、3 的波形文件。

3. 依次进行 C-Simulation、C-Synthesis、C/RTL Co-simulation 和 IP 导出（设计的 FFT 最大长度为 2048, 为保证正确性, 频谱可视化的频率应该在 1000Hz 以下）。

下面是仿真结果：

```

// Console // Errors // Warnings // Guidance // Properties // ManPages // Git Repositories // Modules/Loops

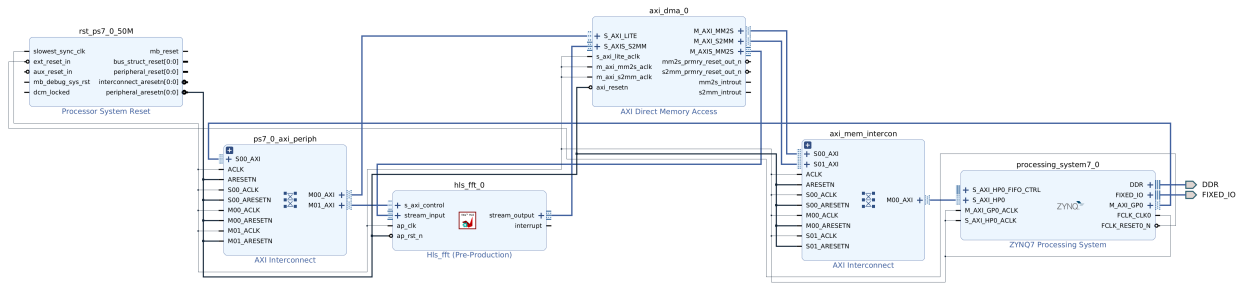
Vitis HLS Console
// RTL Simulation: "Inter-Transaction Progress" ["Intra-Transaction Progress"] @ "Simulation Time"
// RTL Simulation: 0 / 1 n/a @ "1500000"
// RTL Simulation: 1 / 1 n/a @ "165070000"
// Stash called at time = 16070 ns = file "/home/linux/PGM4/Kitlinx/Miscar_2023/FFT_HLS/fft_hls/solution/fft_hls/verilog/hls_fft Autob.v" Line 407
run: Time (s): cpu = 00:00:00.81, elapsed = 00:00:17, Memory (MB): peak = 1254.625 ; gain = 0.000 ; free physical = 2439 ; free virtual = 30871
# quit
INFO: xilinxemul Simulation Memory Usage: 170432 KB (Peak: 220504 KB), Simulation CPU Usage: 16920 ms
INFO: [Common 32-206] Exiting xsim at Tue Jul 18 19:51:34 2023...
INFO: [COSIM 212-316] Starting C post checking ...
INFO: 0.44624, 精度为: 200
INFO: 2.24424, 精度为: 400
INFO: 0.571483, 精度为: 401
INFO: 1.29174, 精度为: 600
INFO: 0.5426, 精度为: 601
INFO: [HLS SIM] The maximum depth reached by any hls::stream() instance in the design is 2048
INFO: [COSIM 212-1000] *** C/RTL co-simulation finished: PASS ***
INFO: [COSIM 212-211] It is measurable only when transaction number is greater than 1 in rtl simulation. Otherwise, they will be marked as all NA. If user wants to calculate them, please make sure there are at least 2 transactions in RTL simulation.
INFO: [HLS SIM] Design and cosim design CPU user time: 119.3 seconds. CPU system time: 2.64 seconds. Elapsed time: 64.41 seconds; current allocated memory: 19.445 MB.
INFO: [HLS 200-112] Total CPU user time: 120.12 seconds. Total CPU system time: 2.73 seconds. Total elapsed time: 65.19 seconds; peak allocated memory: 216.944 MB.
Finished C/RTL co-simulation.

```

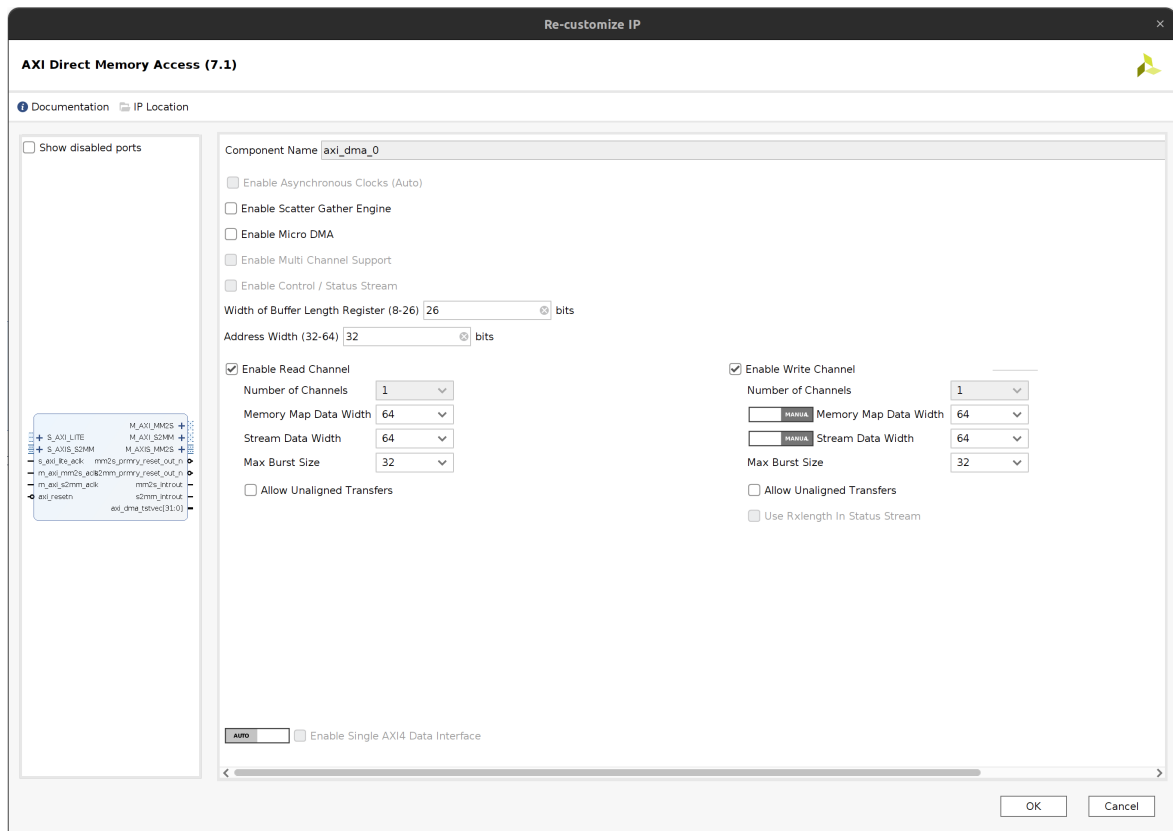
可以看到仿真结果与波形文件的频率相符，位于200Hz、400Hz和600Hz处。

## 2.在Vivado中集成

1. 创建Vivado工程并添加IP库。
2. 创建 Block Design 并添加相应IP，最后完成的设计如图所示：



## 1. 其中 AXI DMA 的配置为：



## 2. 连线

1. axi\_dma\_0::M\_AXIS\_MM2S to fft\_hls\_0::stream\_input
2. axi\_dma\_0::S\_AXIS\_S2MM to fft\_hls\_0::stream\_output
3. 然后点击自动连线 Run Connection Automation。
4. 完整连线请看 2。

## 3. 综合生成并导出比特流

### 3. PYNQ设计

1. 提取 `fft.bit` 和 `fft.hwh`。
2. 访问 `Jupyter`。
3. 上传 `fft.bit`、`fft.hwh` 和 `FFT_from_PYNQ.ipynb`。
4. 部署运行Overlay。