



Universidade Federal de Minas Gerais
Departamento de Computação
Disciplina: Organização de Computadores II
Professor: Omar Paranaíba Vilela
Monitor: Laysson Oliveira Luz
Data: /11/2017



Trabalho Prático V

De posse do processador superescalar criado, com multiplicação paralela, agora passa-se a aprimorar o funcionamento do mesmo.

Como trabalho final deve ser implementado um *pipeline* sobre o caminho de dados desenvolvido.

IMPLEMENTAÇÃO:

O *pipeline* deve ser desenvolvido com 3 estágios: Decodificação, Execução, “Salva Resultado”.

A organização e utilização dos registradores de *pipeline* ficam a cargo do grupo.

Se houver necessidade de uma unidade de *foward*, a mesma **DEVE** ser implementada, caso haja necessidade e não for possível implementá-la, por favor destaquem a necessidade de inserir bolhas durante as simulações.

VALIDAÇÃO:

O trabalho deverá ser implementado em FPGA, de modo que seja possível passar como entrada uma instrução (por meio dos *switches* da FPGA, tal como feito no TP_II) e visualizar o conteúdo dos registradores nos LED's de 7 segmentos, também conforme descrito na especificação do TP_II.

Além disso, deve ser gerado um script de simulação (*.do*) com uma sequência de instruções usadas pelos próprios membros do grupo para validar o processador(ModelSim).

ENTREGA:

O trabalho deve ser **entregue** por meio do moodle até o dia **05/12/2017**. No ato da entrega o aluno deve compactar tanto os arquivos de código fonte quanto o relatório dos resultados obtidos.

No relatório o aluno deve explicar seus detalhes de implementação e comentar os resultados obtidos nas simulações. Além disso, deve destacar as dificuldades encontradas e, no caso das dificuldades superadas, explicar como conseguiu superar.