

Universidade Estadual de Campinas

Faculdade de Engenharia Elétrica e de Computação



EE610A | Projeto do curso

Eletrônica Digital I

Prof.: Dr. Marco Roberto Cavallari

PED: Jacilene Martins Medeiros

21 de setembro de 2023

PROJETO DE CIRCUITO INTEGRADO DIGITAL

Conteúdo

1. IDENTIFICAÇÃO	2
2. ESPECIFICAÇÕES	2
3. INVERSOR DE REFERÊNCIA DA TECNOLOGIA	3
4. PORTA LÓGICA NAND	4
5. OSCILADOR EM ANEL	4
6. FLIP-FLOP SR	4
7. CONTADOR	5
8. MULTIPLEXADOR	5
9. DIVISOR DE FREQUÊNCIA	5
10. CI PROPOSTO	5

1. IDENTIFICAÇÃO

- Nome e RA dos integrantes do grupo.

2. ESPECIFICAÇÕES

Sua equipe de desenvolvimento foi contratada para desenvolver um circuito integrado (CI) para compor uma placa de aquisição de dados.

Devido ao grande número de entradas/saídas (I/Os) a serem adquiridas, o microcontrolador utilizado não suporta este número, sendo necessário a construção de um circuito multiplexador que possa realizar a varredura de I/Os.

Adicionalmente, pede-se que sejam implementados os seguintes subcircuitos de forma a varrer de forma síncrona os bits de seleção do multiplexador:

- um sinal de relógio gerado por um oscilador em anel;
- um divisor de frequência do sinal de relógio de 2^0 , 2^1 , 2^2 , 2^3 , 2^4 e 2^5 de acordo com 3 bits de entrada de D0 a D2:

Bits de entrada			Fator divisor da frequência do oscilador
D2	D1	D0	
0	0	0	$2^0 = 1$
0	0	1	$2^1 = 2$
0	1	0	$2^2 = 4$
0	1	1	$2^3 = 8$
1	0	0	$2^4 = 16$
1	0	1	$2^5 = 32$

- um contador de 3 bits a ser alimentado pela saída do divisor de frequência e com saídas de A0 a A2 (mais significativo); e
- um multiplexador de 8 pontos de leitura, ou seja, entradas de E0 a E7, selecionadas através de 3 bits ($2^3 = 8$), ou seja, A0 a A2 oriundos do contador, e de uma única saída Y operando em 2,0 V.

A tecnologia de implementação do CI possui as seguintes especificações, de acordo com o maior RA = **ABCDEF** dos membros da equipe:

- CMOS e PTL de 180 nm¹, ou seja, $L \approx 0,15 \mu\text{m}^2$;
- $|V_{t0}| = (0,40 + 0, \mathbf{CD}) \text{ V}$;
- $k'_n = (390 + \mathbf{EF}) \mu\text{A/V}^2$;
- $k'_p = (82 + \mathbf{EF}) \mu\text{A/V}^2$;
- $V_{DD} = 2,0 \text{ V}$;
- inversor casado, com valor de corrente de saturação ($I_{DS,sat}$) de no mínimo $(0,2 + 0, \mathbf{CD}) \text{ mA}$ e uma capacitância de saída de $C_{out} = 30 \text{ fF}$ (caso necessário para convergência nas simulações);
- **somente** portas lógicas NAND de duas ou três entradas e NOT no circuito combinatório;
- oscilador em anel;
- sinal de relógio (*clock*) produzido por oscilador com 31 inversores;
- **somente** Flip-Flops SR;
- portas de transmissão CMOS do multiplexador com $(W/L)_p = (W/L)_n$ e capacidade da associação série de conduzir uma corrente (I_{min}) de no mínimo $(1,0 + 0, \mathbf{CD}) \text{ mA}$;
- use o intervalo de tempo correspondente à variação de 50% de variação entre entrada e saída para determinar os tempos de propagação t_{pLH} e t_{pHL} e, consequentemente, no cálculo do tempo de atraso t_p ; e
- considere a excursão do sinal de 10 % a 90 % da transição para o cálculo dos tempos de subida e descida.

Na sequência, são apresentados os elementos do roteiro a ser seguido para apresentação do projeto. Destaca-se que **não** é possível simular os itens na versão estudante **PSpice 9.1**, apenas montar os circuitos. Sugere-se empregar o **LTSpice** para simulação de circuitos com **mais de 10 MOSFETs**.

3. INVERSOR DE REFERÊNCIA DA TECNOLOGIA

- **[0,5 ponto]** Cálculo das dimensões W e L dos MOSFETs do inversor;

¹ Dados para simulações mais realistas em <https://www.epfl.ch/labs/iclab/ekv/verilog-a/page-44591-en-html/>.

² O comprimento do canal não reflete o valor do nó tecnológico a partir dos anos 2000, como ilustrado em <https://courses.ece.ubc.ca/579/579.Trends.Lect1.08.pdf>

- **[0,5 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação de variação da saída no tempo apresentando os tempos de atraso, de subida e de descida.

4. PORTA LÓGICA NAND

- **[0,5 ponto]** Cálculo das dimensões W e L dos MOSFETs de portas lógicas NAND de duas e três entradas;
- **[0,5 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação de variação da saída no tempo para todas as combinações das entradas.

5. OSCILADOR EM ANEL

- **[0,5 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação da saída no tempo;
Dica: Caso não esteja oscilando, descase “levemente” os MOSFETs de apenas um dos inversores do oscilador.
- **[0,5 ponto]** Curva do sinal da saída simulado em função da frequência (ou seja, *Fast Fourier Transform* ou FFT) e frequência máxima (ou seja, frequência fundamental) de operação;
- **[0,5 ponto]** O tempo de atraso por inversor e total.

6. FLIP-FLOP SR

- **[0,5 ponto]** Cálculo das dimensões W e L dos MOSFETs do Flip-Flop SR e largura mínima necessária para os pulsos de *set* e *reset*;
- **[0,5 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação de variação da saída no tempo de acordo com as possíveis combinações dos sinais de controle (*set*, *reset* e *clock*).

7. CONTADOR

- **[0,5 ponto]** Diagrama esquemático do circuito lógico do contador;
- **[0,5 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação de variação da saída no tempo para todas as combinações das entradas.

8. MULTIPLEXADOR

- **[0,5 ponto extra]** Dimensionamento das portas de transmissão CMOS por lógica por transistor de passagem – PTL;
Dica: Baseie-se no seletor de colunas empregado em memórias RAM e resolva graficamente a partir do ponto de resistência máxima com o auxílio de uma ferramenta computacional ou via simulação.
- **[0,5 ponto]** Diagrama esquemático do circuito lógico do multiplexador;
- **[0,5 ponto]** Diagrama esquemático do circuito integrado com MOSFETs simulado; e
- **[0,5 ponto]** Curvas de simulação de variação da saída no tempo para todas as combinações das entradas.

9. DIVISOR DE FREQUÊNCIA

- **[1,0 ponto]** Diagrama esquemático do circuito lógico do divisor de frequência;
- **[1,0 ponto]** Diagrama esquemático do circuito integrado simulado e curvas de simulação de variação da saída no tempo para todas as combinações das entradas.

10. CI PROPOSTO

- **[0,5 ponto]** Estimativa da área do CI tendo por base somente as dimensões W e L dos MOSFETs;
- **[0,5 ponto]** Diagrama esquemático do CI;
- **[0,5 ponto extra]** Curvas de simulação de variação da saída no tempo para todas as combinações das entradas; e

- **[0,5 ponto extra]** Máxima frequência de oscilação de forma que o CI ainda seja operacional.