# Práctica 1: diseño de un banco de registros

Fernando Aliaga Ramón - 610610

## Paso 1

El retardo de propagación (delay) es el siguiente:

Tdelay = TdelayReg8 + TdelayMux4\_1

Tdelay = TdelayReg8 + TdelayMux8\_2 (1) + TdelayMux8\_2 (2)

Tdelay = 1ns+ 2ns + 2ns = 5ns

El retardo de propagación (setup) es el siguiente:

Tsetup = TdelayDec2\_4 + TdelayMux8\_2  + TsetupReg8

Tsetup = 2ns + 3ns + TsetupReg8

El tiempo de setup del registro debe ser mayor a 0, ya que debe transcurrir un tiempo en el cual la señal esté estable en el registro antes del flanco de reloj. Como los tiempos con los cuales medimos la caracterización temporal se miden tomando como unidad 1 ns, he decidido definir como tiempo de setup del registro 1 ns.

Tsetup = 2ns + 3ns + 1ns = 6ns

## Paso 2 – Caso1

El camino crítico es aquel que se realiza en la operación nº 5 (R1=R0+R2).  
El tiempo de ciclo mínimo será aquel que nos permita realizar el camino crítico correctamente.

TcicloMin = TretControl + TdelayBanco TretBanco + TretAdder + TretMux + TsetupBanco

TretControl = TretCont + TretROM = 1ns + 4ns = 5ns

TdelayBanco = 4ns

TretAdder = 16ns

TretMux = 2ns

TsetupBanco = TdelayMux8\_2  + TsetupReg8 = 2ns + 1ns = 3ns

TcicloMin = 5ns + 4ns + 16ns + 2ns + 3ns= 30ns

El tiempo de ciclo es de 30ns y se realizan 6 ciclos, por lo que el tiempo total es de 180ns.

## Paso 2 – Caso2

En este segundo diseño, la diferencia es la presencia de registros intermedios que almacenan los datos durante las sucesivas operaciones. Esto hace que los pasos 4 y 5, que se realizaban en un ciclo ahora se realicen en tres:

4. R0=R1+R2 🡪 (RA=R1 y RB=R2) + (RAdder=RA+RB) + (R0= RAdder)

5. R1=R0+R2 🡪 (RA=R0 y RB=R2) + (RAdder=RA+RB) + (R1= RAdder)

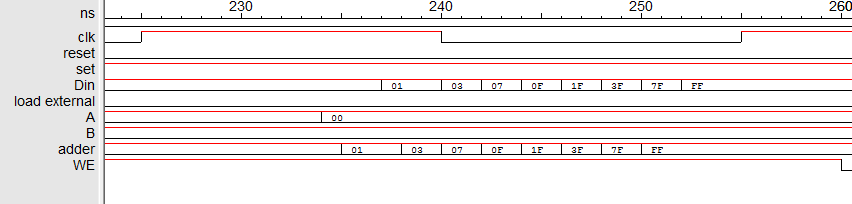
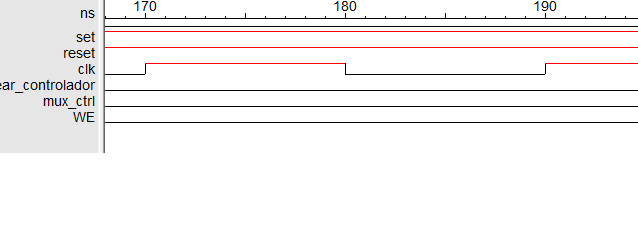
Ahora, debemos encontrar el camino crítico, el cual nos indicará el tiempo de ciclo mínimo para el correcto funcionamiento del diseño. Dicho caso lo encontraremos en el ciclo que sumamos R0 + R2 (ciclo 2).

TcicloMin = TdelayRegs + TretAdder + TsetupRegAdder

TsetupRegAdder = TdelayMux8\_2  + TsetupReg8 = 2ns + 1ns = 3ns

TcicloMin = 1ns + 16ns + 3ns = 20ns

El tiempo de ciclo es de 20ns y se realizan 10 ciclos, por lo que el tiempo total es de 200ns.



**Caso 2**

**Caso 1**