# Práctica 2: diseño de la unidad de control de un procesador

Fernando Aliaga Ramón - 610610

## Paso 1 – Multiciclo

0

IF

1

ID

ADD

5

JMP

ST

LD

EX

2

3

MEM

6

7

4

WB

### SEÑALES DE CONTROL

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| E | COUNT | LPC | LIR | BRW | BRDI | LA | LB | LALU | MW | LMout | ROM |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 382 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 11A |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 103 |
| 3 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 100 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 202 |
| 5 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 106 |
| 6 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 162 |
| 7 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 142 |

## Paso 2 – Segmentado

### SEÑALES DE CONTROL

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| OP | MUX | LPC | MW | BRW | ROM |
| LD | 0 | 0 | 0 | 1 | 1 |
| ST | 0 | 0 | 1 | 0 | 2 |
| JMP | 0 | 1 | 0 | 0 | 4 |
| ADD | 1 | 0 | 0 | 1 | 9 |

### RIESGOS DE DATOS

Operación LOAD

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| LD | IF | ID | EX | MEM | **BW** |  |  |  |  |
| LD |  | IF | ID | EX | MEM | BW |  |  |  |
| ST |  |  |  |  | IF | **ID** | EX | MEM | BW |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  |  |  |  | IF | **ID** | EX | MEM | BW |

Operación STORE

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| ST | IF | ID | EX | MEM | BW |  |  |  |  |
| LD |  | IF | ID | EX | MEM | BW |  |  |  |
| ST |  | IF | ID | EX | MEM | BW |  |  |  |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  | IF | ID | EX | MEM | BW |  |  |  |

Operación JMP

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| JMP | IF | ID | EX | MEM | BW |  |  |  |  |
| LD |  | IF | ID | EX | MEM | BW |  |  |  |
| ST |  | IF | ID | EX | MEM | BW |  |  |  |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  | IF | ID | EX | MEM | BW |  |  |  |

Operación ADD

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| ADD | IF | ID | EX | MEM | **BW** |  |  |  |  |
| LD |  |  |  |  | IF | **ID** | EX | MEM | BW |
| ST |  |  |  |  | IF | **ID** | EX | MEM | BW |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  |  |  |  | IF | **ID** | EX | MEM | BW |

### RIESGOS EN EL CÓDIGO ORIGINAL

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 | Ciclo 10 | Ciclo 11 | Ciclo 12 | Ciclo 13 |
| 0 | IF | ID | EX | MEM | **BW** |  |  |  |  |  |  |  |  |
| 1 |  | IF | **ID** | EX | MEM | **BW** |  |  |  |  |  |  |  |
| 2 |  |  | IF | **ID** | EX | MEM | **BW** |  |  |  |  |  |  |
| 3 |  |  |  | IF | **ID** | EX | MEM | BW |  |  |  |  |  |
| 4 |  |  |  |  | IF | ID | EX | MEM | **BW** |  |  |  |  |
| 5 |  |  |  |  |  | IF | ID | EX | MEM | **BW** |  |  |  |
| 6 |  |  |  |  |  |  | IF | **ID** | EX | MEM | **BW** |  |  |
| 7 |  |  |  |  |  |  |  | IF | **ID** | EX | MEM | BW |  |
| 8 |  |  |  |  |  |  |  |  | IF | ID | EX | MEM | BW |

|  |  |  |
| --- | --- | --- |
| CÓDIGO PASO 1 | **CÓDIGO PASO 2** | **CÓDIGO PASO 3** |
| LDI R0,[#0] (0) | LDI R0,[#0] (0) | LDI R0,[#0] (0) |
| 3XNOP | LDI R1,[#1] (4) | LDI R1,[#1] (4) |
| ADD RO,RO (1) | LDI R2,[#2] (5) | LDI R2,[#2] (5) |
| 3XNOP | NOP | NOP |
| ADD RO,RO (2) | ADD RO,RO (1) | ADD RO,RO (1) |
| 3XNOP | NOP | NOP |
| STI R0,[#3] (3) | ADD R2,R1 (6) | ADD R2,R1 (6) |
| LDI R1,[#1] (4) | NOP | NOP |
| LDI R2,[#2] (5) | ADD RO,RO (2) | ADD RO,RO (2) |
| 3XNOP | NOP | NOP |
| ADD R2,R1 (6) | STI R2,[#4] (7) | JMP #0 (8) |
| 3XNOP | NOP | STI R2,[#4] (7) |
| STI R2,[#4] (7) | STI R0,[#3] (3) | STI R0,[#3] (3) |
| JMP #0 (8) | JMP #0 (8) | X |
|  | NOP | X |
|  | NOP | X |

### ESTUDIO FINAL

1. Procesador multiciclo: (3\*4) + (2\*3) + (3\*4) + (1\*3) = 33 ciclos.

Procesador segmentado: 4+13 = 17 ciclos.

1. Speedup = = = 1,94

Mips =

Mips(multiciclo) =

Mips(segmentado) =

Aumento de velocidad en MIPS = = 282 %

1. Frecuencia reloj multiciclo = camino crítico etapa EX =  
    1ns (reg4) + 2ns (UCcontrol) + 16ns (adder) + 1ns (TsetupReg8) = 20ns
2. Frecuencia reloj segmentado = camino crítico etapa EX =  
    1ns (flip-flop & reg8) + 16ns (adder) + 2ns (mux) + 1ns (TsetupReg8) = 20ns

Ahora podemos calcular el tiempo de ejecución y los MIPS de cada procesador:

Tiempo de ejecución (multiciclo) = = 33 \* 20ns = 660ns

Tiempo de ejecución (segmentado) = = 17 \* 20ns = 340ns

MIPS (multiciclo) = = 13,63 MIPS

MIPS (segmentado) = = 38,23 MIPS

1. Si cortocircuitamos podremos hacerlo con diferentes recorridos, como por ejemplo, cortocircuitar la salida de la ALU (final de ciclo EX) a la entrada de la ALU (principio de ciclo EX) o cortocircuitar la salida de la Memoria de Datos (final de ciclo MEM) a la entrada de la ALU (principio de ciclo EX). Dichos cortocircuitos nos permitirían reducir los riesgos, y por lo tanto, las instrucciones NOP. Los riesgos serían los siguientes:

Operación LOAD:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| LD | IF | ID | EX | **MEM** | BW |  |  |  |  |
| LD |  | IF | ID | EX | MEM | BW |  |  |  |
| ST |  |  | IF | ID | **EX** | MEM | BW |  |  |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  |  | IF | ID | **EX** | MEM | BW |  |  |

Operación ADD:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Op | Ciclo 1 | Ciclo 2 | Ciclo 3 | Ciclo 4 | Ciclo 5 | Ciclo 6 | Ciclo 7 | Ciclo 8 | Ciclo 9 |
| ADD | IF | ID | **EX** | MEM | BW |  |  |  |  |
| LD |  | IF | ID | **EX** | MEM | BW |  |  |  |
| ST |  | IF | ID | **EX** | MEM | BW |  |  |  |
| JMP |  | IF | ID | EX | MEM | BW |  |  |  |
| ADD |  | IF | ID | **EX** | MEM | BW |  |  |  |

Por lo tanto, reduciríamos sobre nuestro código las operaciones NOP que abstraían de riesgo el algoritmo:

|  |  |
| --- | --- |
| CÓDIGO PASO 3 | **CÓDIGO CORTOCIRCUITO** |
| LDI R0,[#0] (0) | LDI R0,[#0] (0) |
| LDI R1,[#1] (4) | LDI R1,[#1] (4) |
| LDI R2,[#2] (5) | LDI R2,[#2] (5) |
| NOP | ADD RO,RO (1) |
| ADD RO,RO (1) | ADD R2,R1 (6) |
| NOP | ADD RO,RO (2) |
| ADD R2,R1 (6) | JMP #0 (8) |
| NOP | STI R2,[#4] (7) |
| ADD RO,RO (2) | STI R0,[#3] (3) |
| NOP | X |
| JMP #0 (8) | X |
| STI R2,[#4] (7) | X |
| STI R0,[#3] (3) | X |
| X | X |
| X | X |
| X | X |