

Universidade Tecnológica Federal do Paraná – Toledo
Engenharia da Computação – COENC

Lógica Reconfigurável

Trabalho 2

Tiago Piovesan Vendruscolo

ORIENTAÇÕES GERAIS:

O código (.vhd) deve conter o seguinte cabeçalho:

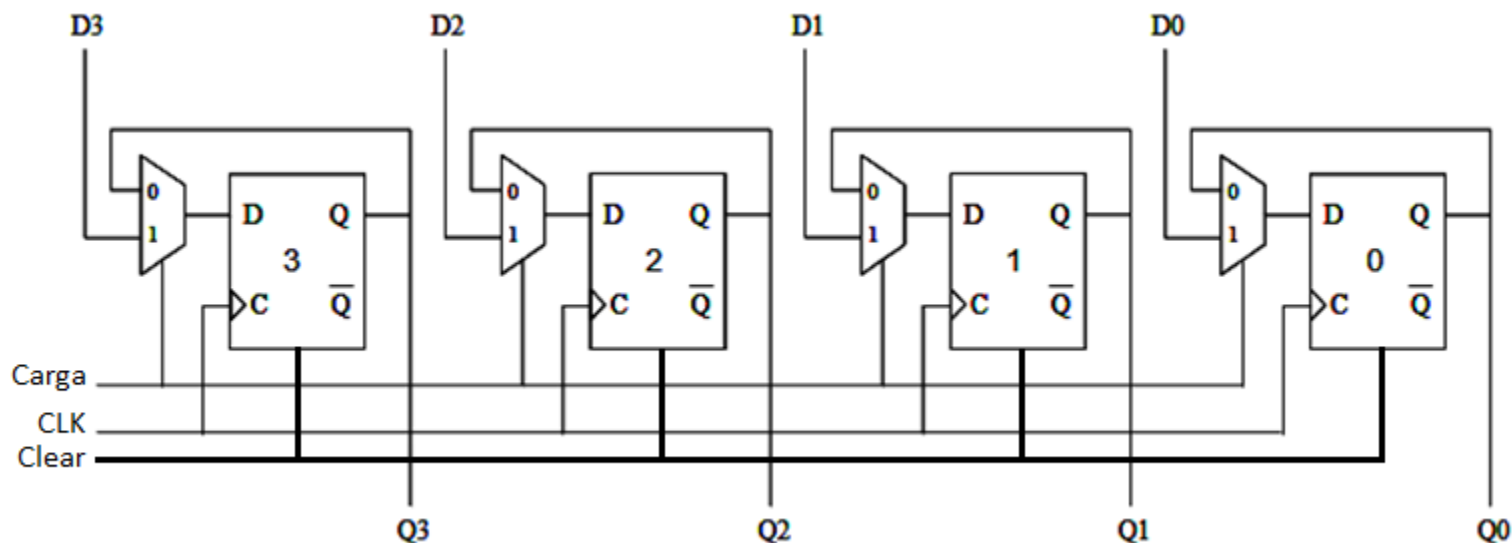
```
-- Nome Projeto: Trabalho 2
-- Data: DD/MM/AA
-- Nome: Nome_Aluno1/RA
        Nome_Aluno2/RA
```

Além disso, faça comentários explicando as partes principais do código.

Envie o arquivo .vhd no MOODLE.

Trabalho 2

1) Faça um registrador (memória) parametrizada (máximo 7 bits), com sinal de carga (síncrono) e clear (assíncrono), de acordo com a imagem abaixo:



- Utilize AMBOS comandos GENERATE e IF-THEN-ELSE.
- Para o teste na FPGA, faça um registrador de 4 bits, com as entradas D[3-0] em DIP SWITCH[x-y], clear em DIP SWITCH[7] e carga em DIP SWITCH [8]. CLK em KEY[0] e as saídas Q[3-0] em LEDR[x-y].

Trabalho 2

2) Adicione uma saída TRISTATE em cada um dos registradores. Quando a entrada ena='0' (assíncrona) (SW[9]), a saída fica em alta impedância (Z).

