

# **Flip-flops e Dispositivos Correlatos (parte 1)**

*Sistemas de Informação  
CPCX – UFMS  
Slides: Fernando Maia da Mota*

# Objetivos

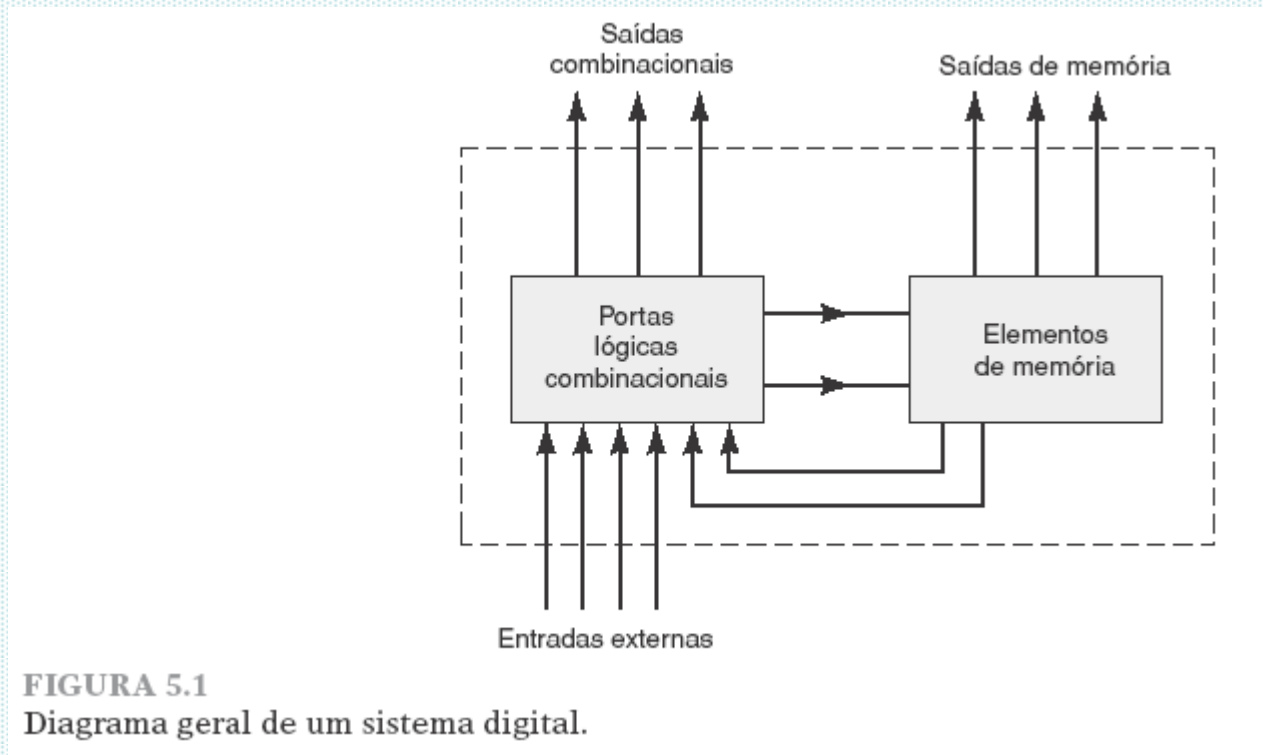
- **Construir um flip-flop latch com portas NAND ou NOR e analisar seu funcionamento.**
- **Descrever a diferença entre sistemas síncronos e assíncronos.**
- **Descrever o funcionamento dos flip-flops disparador por borda.**

# Introdução

- Os circuitos lógicos estudados até agora são considerados combinacionais, porque os níveis lógicos de saída, em qualquer instante de tempo, dependem apenas dos presentes nas entradas nos mesmos instantes.
- Nenhuma condição de entrada anterior tem efeito sobre as saídas atuais, afinal, um circuito lógico combinacional não possui elementos de memória.

# Introdução

- Na Figura 5.1 mostra um diagrama em blocos de um sistema geral, que reúne portas lógicas e elementos de memória.



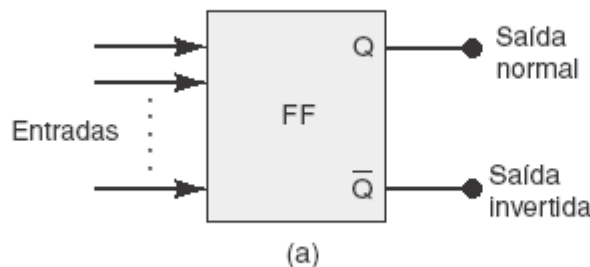
# Introdução

- O elemento de memória mais importante é o flip-flop, composto por um conjunto de portas lógicas.
- Embora uma porta lógica, por si só, não tenha capacidade de armazenamento, algumas podem ser conectadas entre si de modo a permitir o armazenamento de informação.
- Um elemento de memória pode ser criado aplicando-se o conceito de realimentação.

# Introdução

- A Figura 5.2(a) mostra um tipo de símbolo genérico usado para representar um flip-flop (FF). Esse símbolo apresenta duas saídas denominadas  $Q$  e  $\bar{Q}$  opostas entre si.

**FIGURA 5.2**  
Símbolo geral para um flip-flop e definição dos seus dois estados de saída possíveis.



Estados de saída	
$Q = 1, \bar{Q} = 0:$	chamado estado ALTO ou 1; também chamado estado SET
$Q = 0, \bar{Q} = 1:$	chamado estado BAIXO ou 0; também chamado estado CLEAR ou RESET

(b)

# Introdução

- A saída  $Q$  é denominada saída normal do FF e  $\overline{Q}$  é a saída invertida do FF.
- Sempre que nos referirmos ao estado do FF, estamos mencionando o estado da saída normal ( $Q$ ), fica subentendido que a saída invertida ( $\overline{Q}$ ) está no estado lógico oposto.
- Se dissermos que um FF está no estado ALTO (1), estamos querendo dizer que  $Q = 1$ ; se dissermos que um FF está no estado BAIXO (0), estamos querendo dizer que  $Q = 0$ .

# Introdução

- Os dois estados possíveis de operação para um FF estão resumidos na Figura 5.2(b).
- Observe que o estado alto ou 1 ( $Q = 1$  ,  $\overline{Q} = 0$ ), também é denominado estado SET.
- Observe que o estado baixo ou 0 ( $Q = 0$  ,  $\overline{Q} = 1$ ), também é denominado estado RESET ou CLEAR.

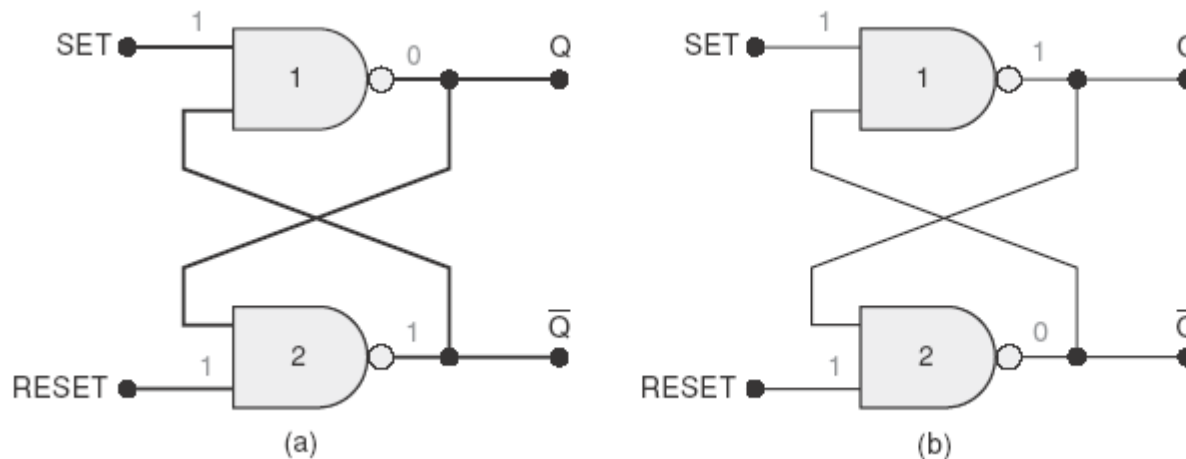


# 5.1 Latch com portas NAND

- O circuito de um FF mais simples pode ser construído a partir de duas portas NAND ou duas portas NOR.
- A versão com portas NAND denominada latch com portas NAND ou simplesmente latch, é mostrada na Figura 5.3(a). As duas portas NAND são interligadas de modo cruzado, de modo que a saída da NAND nº 1 seja conectada a uma das entradas da NAND nº 2 e vice-versa.
- A configuração do circuito da a realimentação necessária para produzir a função de memória.
- Existem duas entradas no latch: a entrada SET é a seta Q para o estado 1; a entrada RESET é a que reseta Q para o estado 0.

## 5.1 Latch com portas NAND

- As entradas SET e RESET estão normalmente em repouso no estado alto, e uma delas é pulsada em nível BAIXO sempre que se deseja alterar as saídas da latch.



**FIGURA 5.3**  
Um latch com portas NAND tem dois estados de repouso possíveis quando SET = RESET = 1.

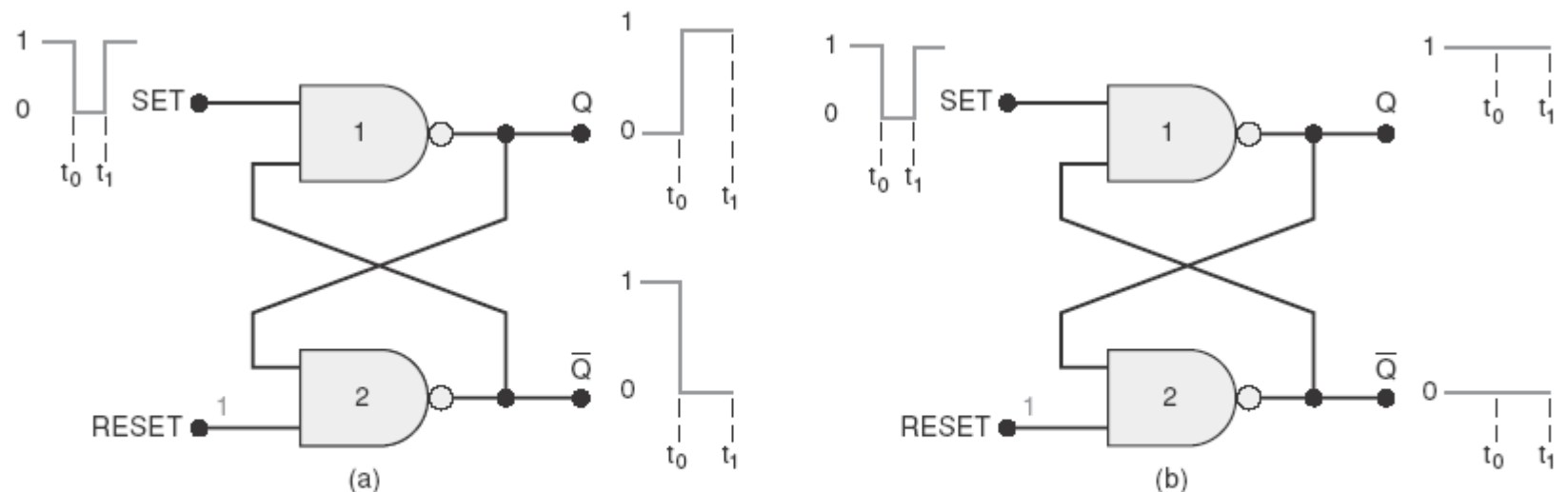
## 5.1 Latch com portas NAND

- Existem dois estados de saída possíveis quando  $\text{SET}=\text{RESET}=1$ ; conforme veremos em breve, o estado atual da saída depende do que aconteceu anteriormente nas entradas.

# 5.1 Latch com portas NAND

## – Setando o latch (FF)

- Vejamos o que acontece quando a entrada SET é momentaneamente pulsada em nível BAIXO, enquanto a entrada RESET é mantida em nível ALTO.



**FIGURA 5.4**

Pulsando a entrada SET para o estado 0 quando: (a)  $Q = 0$  antes do pulso na entrada SET; (b)  $Q = 1$  antes do pulso na entrada SET. Observe que, nos dois casos, a saída  $Q$  termina em nível ALTO.

# 5.1 Latch com portas NAND

## – Setando o latch (FF)

- A Figura 5.4(a) mostra o que acontece quando  $Q = 0$  antes da ocorrência do pulso.
- Como a entrada SET é pulsada em nível baixo no instante  $t_0$ ,  $Q$  irá para o nível ALTO, e esse nível ALTO forçará  $\overline{Q}$  para o nível baixo, de modo que na NAND nº1 há duas entradas em nível baixo. Assim, quando a entrada SET retorna para o estado 1 no instante  $t_1$ , a saída da NAND nº1 permanece em nível ALTO, que, por sua vez, mantém a saída da NAND nº2 em nível BAIXO.

# 5.1 Latch com portas NAND

- **Setando o latch (FF)**
  - A Figura 5.4(b) mostra o que acontece quando  $Q = 1$  e  $\overline{Q} = 0$  antes da aplicação do pulso na entrada SET.
  - Visto que  $\overline{Q} = 0$  já mantém a saída da NAND nº1 em nível ALTO, o pulso BAIXO na entrada SET não altera a saída. Assim, quando a entrada SET retorna para o nível ALTO, as saídas do latch ainda são  $Q = 1$  e  $\overline{Q} = 0$ .
- Podemos resumir dizendo que um pulso de nível BAIXO na entrada SET sempre leva o latch para o estado em que  $Q = 1$ . Essa é a operação de setar o latch ou FF.

# 5.1 Latch com portas NAND

## – Resetando o latch (FF)

- Agora vamos analisar o que acontece quando a entrada **RESET** é pulsada em nível baixo, enquanto a entrada **SET** é mantida em nível ALTO. A figura 5.5(a) mostra o que acontece quando  $Q = 0$  e  $\bar{Q} = 1$  antes da ocorrência de um pulso.

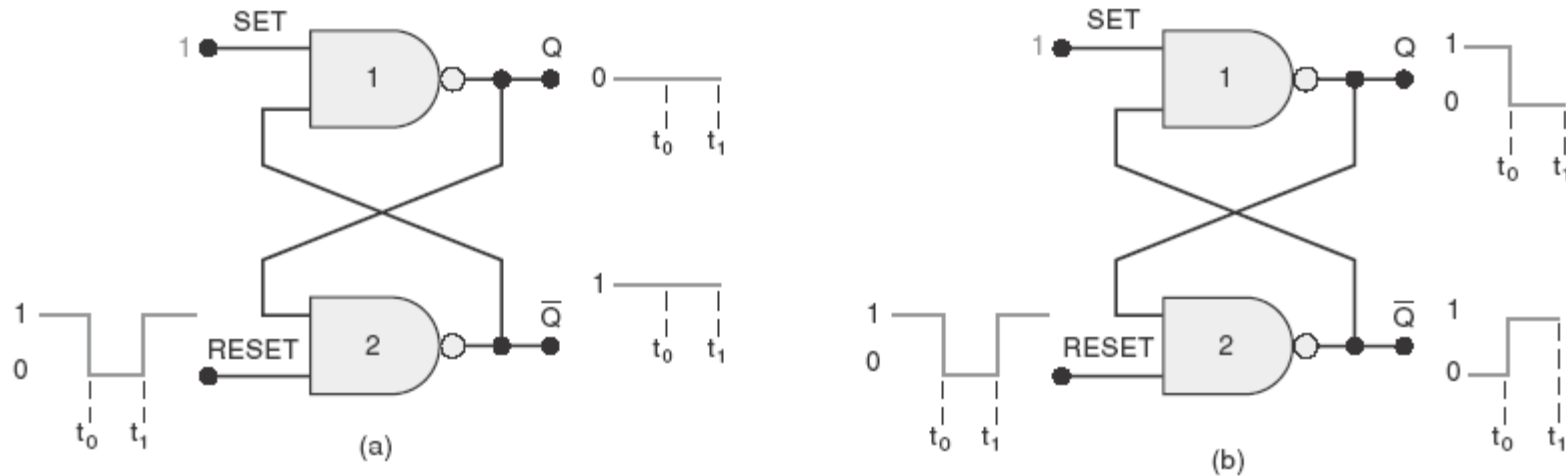


FIGURA 5.5

Pulsando a entrada RESET para o estado BAIXO quando: (a)  $Q = 0$  antes do pulso na entrada RESET; (b)  $Q = 1$  antes do pulso na entrada RESET. Em cada caso, a saída  $Q$  termina em nível BAIXO.



# 5.1 Latch com portas NAND

## – Resetando o latch (FF)

- Visto que  $Q = 0$  já mantém a saída da NAND nº2 em nível alto, um pulso em nível BAIXO na entrada RESET não apresentará nenhum efeito. Quando o nível na entrada RESET retorna para ALTO, as saídas do latch ainda são  $Q = 0$  e  $\overline{Q} = 1$ .
- A Figura 5.5(b) mostra a situação em que  $Q = 1$  antes da ocorrência do pulso na entrada RESET. Como a entrada RESET é colocada em nível baixo no instante  $t_0$   $\overline{Q}$  vai para o nível ALTO, forçando a saída  $Q$  para nível baixo. Assim quando a entrada RESET retorna para o nível ALTO em  $t_1$ , a saída da NAND nº2 permanece em nível alto, que por sua vez mantém a saída da NAND nº 1 em nível baixo.



## 5.1 Latch com portas NAND

- O que é mostrado na Figura 5.5 pode ser resumido dizendo que um pulso em nível BAIXO na entrada RESET sempre levará o latch para o estado em que  $Q = 0$ . Essa é a operação de limpar ou resetar o latch.

## 5.1 Setando e Resetando Simultaneamente

- O último caso a ser considerado é as entradas SET e RESET pulsadas simultaneamente em nível BAIXO. Esse procedimento gera nível ALTO em ambas as saídas das portas NAND, de modo que  $Q = \bar{Q} = 1$ . Obviamente, essa é uma condição indesejada, visto que as duas saídas são supostamente complementares.
- Além disso, quando as entradas SET e RESET retornam para o nível ALTO, o estado resultante da saída dependerá de qual entrada retornou primeiro para o nível ALTO. Transições simultâneas de volta para o nível 1 produzirão resultados imprevisíveis. Por essas razões, a condição em que  $SET=RESET=0$  não é normalmente usada em um latch com portas NAND.

# Questões para Revisão

- Qual é o estado normal de repouso das entradas SET e RESET? E qual é o estado ativo de cada uma?
- Quais serão os estados de  $Q$  e  $\overline{Q}$  após um FF ter sido resetado?
- Verdadeiro ou falso: a entrada SET nunca pode ser usada para gerar  $Q = 0$ .