

Data final de entrega 15/11/2014, até às 23h59min.

Enviar o arquivo de respostas em formato PDF para o e-mail:

mota.fernandomaia@gmail.com

Lista de Exercícios – 04

1. Demonstre que a expressão de saída da porta XNOR é exatamente o inverso da expressão de saída da XOR.
2. Qual é a saída de uma porta XNOR quando o sinal lógico e seu inverso são conectados em suas entradas?
3. Modifique o circuito gerador de paridade par e verificador de paridade par da Figura 4.25 para que gere paridade ímpar e verifique a paridade ímpar respectivamente.

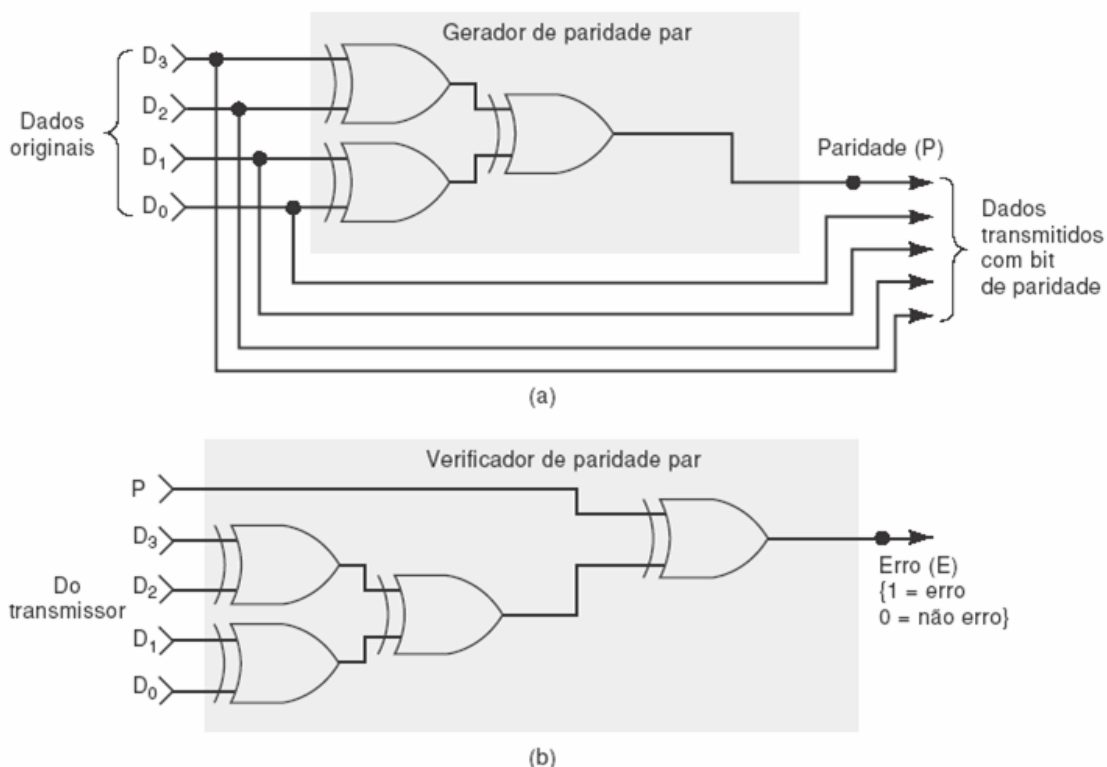


FIGURA 4.25

Portas XOR utilizadas para implementar um gerador de paridade e um verificador de paridade para um sistema que usa paridade par.

4. Projete um circuito lógico com três entradas A, B e C, e uma saída que ira para nível baixo quando A for nível ALTO e B e C forem diferentes.
5. Qual porta lógica gera uma saída em nível 1 no estado desabilitado?
6. Quais portas lógicas permitem a passagem invertida do pulso de entrada quando estão habilitadas?