



UNIVERSIDADE FEDERAL DE ALAGOAS – UFAL
INSTITUTO DE COMPUTAÇÃO - IC

Disciplina: ORGANIZAÇÃO E ARQUITETURA DE COMPUTADORES

Curso: Engenharia e Ciência da computação

Docente: Erick de Andrade Barboza

Turma: M Ano: 2016 - 2º Semestre

Prova Módulo 2

ALUNO:

- 1) (1 pontos) A seguinte sequência de instruções lógicas e aritméticas será executada por um processador em *pipeline* de 5 estágios: busca da instrução, leitura de registradores, execução, acesso à memória e escrita de registradores. A sequência, no entanto, apresenta conflito de dados.

```
and $5, $4, $3
or $6, $4, $2
add $1, $2, $2
mul $3, $2, $1
sub $1, $1, $4
```

O pipeline foi implementado sem hardware adicional para a resolução de conflitos, mas os valores dos registradores podem ser escritos na primeira metade do ciclo e lidos na segunda metade. Sabendo-se que o primeiro operando das instruções é o registrador destino, avalie as afirmações a seguir.

- I. A troca de posição entre as instruções *or* e *add* soluciona o conflito de dados.
- II. A troca de posição entre as instruções *add* e *and* soluciona o conflito de dados.
- III. A inserção de uma operação *nop* (sem operação) entre *add* e *mul* soluciona o conflito de dados.

É correto o que se afirma em

- A. I, apenas.
- B. II, apenas.**
- C. I e III.
- D. II e III.
- E. I, II e III.

- 2) (2 pontos) Considere uma CPU usando uma estrutura pipeline com 5 estágios (IF, ID, EX, MEM, WB) e com memórias de dados e de instruções separadas, com mecanismo de data forwarding, com previsão estática de que o desvio não se confirmará e o conjunto de instruções a seguir:

```
I1: lw $2, 100($5)
I2: add $1, $2, $3
I3: sub $3, $2, $1
I4: sw $2, 50($1)
I5: addi $2, $zero, 1
I6: beq $2,$zero, I12
I7: addi $2, $2, 1
I8: bne $2,$zero, I6
I9: sub $3, $2, $1
I10: sw $2, 50($1)
```



I11: add \$2, \$3, \$3
 I12: sub \$2, \$2, \$4
 I13: lw \$4, 0 (\$1)

Quantos ciclos de relógio são gastos para a execução deste código? Ilustre, utilizando a representação multiciclo do pipeline, a ordem de execução destas instruções, mostrando os adiantamentos como setas, as bolhas como 'x' e o flush como 'F'.

	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17
I1	IF	ID	EX	MEM	WB												
I2		IF	ID	X	EX	MEM	WB										
I3			IF	X	ID	EX	MEM	WB									
I4					IF	ID	EX	MEM	WB								
I5						IF	ID	EX	MEM	WB							
I6							IF	ID	EX	MEM	WB						
I7								IF	ID	EX	MEM	WB					
I8									IF	ID	EX	MEM	WB				
I9										IF	ID	EX	F	F			
I10											IF	ID	F	F	F		
I11												IF	F	F	F	F	
I6													IF	ID	EX	MEM	WB

3) (1 ponto) Os microprocessadores atuais implementam uma arquitetura que tira proveito do paralelismo na execução de instruções. O compilador traduz os programas para instruções de máquina, de forma que elas não tenham dependências entre si, permitindo que sejam executadas ao mesmo tempo, sem perda de lógica de processamento, e definindo como elas devem ser efetuadas simultaneamente. A esse respeito, é correto afirmar que a referida arquitetura denomina-se:

- a) multithreading simultâneo (SMT).
- b) arquitetura multicore.
- c) **very long instruction word (VLIW).**
- d) arquitetura pipeline.
- e) arquitetura superescalar

4) (1 ponto) Relacione os termos com os conceitos.

- (I) Multicore
- (II) Superpipeline
- (III) Superescalar
- (IV) Pipeline dinâmico
- (V) Multiprocessadores

- (A) Múltiplos pipelines que operam em paralelo.
- (B) Execução de instruções fora de ordem em um pipeline.
- (C) Pipelines com grande número de estágios.
- (D) Múltiplos processadores compartilhando um espaço de endereços.
- (E) Múltiplos processadores em um único encapsulamento.

Assinale a alternativa que contém a associação correta.

- a) I-B, II-A, III-C, IV-E, V-D.
- b) I-C, II-A, III-B, IV-D, V-E.
- c) I-D, II-E, III-B, IV-A, V-C.
- d) **I-E, II-C, III-A, IV-B, V-D.**
- e) I-E, II-C, III-A, IV-D, V-B.



- 5) (2 ponto) Assinale V ou F nas alternativas abaixo, justificando o que torna as alternativas F falsas.
- a) Multiprocessadores com memória distribuída possuem uma melhor escalabilidade se comparados a multiprocessadores com memória centralizada (**V**)
 - b) A organização de comunicação “Memória compartilhada” só pode ser aplicada a multiprocessadores com memória centralizada (**F**) **Também pode ser aplicada a multiprocessadores com memória distribuída (NUMA)**
 - c) GPU é especializada em paralelismo de dados, visto que o propósito da sua criação foi trabalhar com aplicações gráficas (**V**)
 - d) Processadores que tratam paralelismo a nível de dados só se tornaram possíveis após o advento dos processadores multi-cores (**F**) **Tecnologias SIMD aconteceram antes. Ex: Pentium MMX**
 - e) O HyperThreading da Intel é um exemplo de Simultaneous Multi-Thread que explora paralelismo ao nível de instrução e ao nível de threads (**V**)
- 6) (1 ponto) Um processador tem um ciclo de operação igual a 20ns. Ele gasta dois ciclos para fazer a busca de uma instrução, um ciclo para decodificar cada instrução, dois ciclos para buscar os operandos necessários e três ciclos para executar a instrução e armazenar o resultado correspondente em algum registrador. Se a organização desta máquina for estritamente sequencial, qual será o período de execução de uma instrução? Se utilizarmos registradores de estágios que adicionam 2ns de atraso e considerarmos cada módulo como indivisível, qual será o período do estágio do pipeline se a máquina for organizada segundo uma estrutura de quatro estágios?
- a) Respectivamente 20ns e 22ns.
 - b) Respectivamente 20ns e 42ns.
 - c) Respectivamente 20ns e 62ns.
 - d) Respectivamente 160ns e 42ns.
 - e) **Respectivamente 160ns e 62ns.**

Sequencial = $2 \cdot 20 + 1 \cdot 20 + 2 \cdot 20 + 3 \cdot 20 = 160 \text{ ns}$

Estágio do Pipeline = Ciclo mais longo da sequencial + tempo de acesso ao registrador do estágio = $3 \cdot 20 + 2 = 62 \text{ ns}$