



UNIVERSIDADE FEDERAL DE ALAGOAS – UFAL
INSTITUTO DE COMPUTAÇÃO - IC

Disciplina: ORGANIZAÇÃO E ARQUITETURA DE COMPUTADORES

Curso: Engenharia e Ciência da computação

Docente: Erick de Andrade Barboza

Período: 2017.2

Prova Módulo 2

ALUNO(A): _____

- 1) (1 pontos) A seguinte sequência de instruções lógicas e aritméticas será executada por um processador em *pipeline* de 5 estágios: busca da instrução, leitura de registradores, execução, acesso à memória e escrita de registradores. A sequência, no entanto, apresenta conflito de dados.

```
or $6, $4, $2
and $5, $4, $3
add $1, $2, $2
mul $3, $2, $1
sub $1, $1, $4
```

O pipeline foi implementado sem hardware adicional para a resolução de conflitos, mas os valores dos registradores podem ser escritos na primeira metade do ciclo e lidos na segunda metade. Sabendo-se que o primeiro operando das instruções é o registrador destino, avalie as afirmações a seguir.

- I. A troca de posição entre as instruções *add* e *or* soluciona o conflito de dados.
- II. A troca de posição entre as instruções *add* e *and* soluciona o conflito de dados.
- III. A inserção de uma operação *nop* (sem operação) entre *add* e *mul* soluciona o conflito de dados.

É correto o que se afirma em

- A. I, apenas.
- B. II, apenas.
- C. I e III.
- D. II e III.
- E. I, II e III.

- 2) (2 pontos) Considere uma CPU usando uma estrutura pipeline com 5 estágios (IF, ID, EX, MEM, WB) e com memórias de dados e de instruções separadas, com mecanismo de data forwarding, com previsão estática de que o desvio não se confirmará e o conjunto de instruções a seguir:

```
I1: lw $2, 100($5)
I2: add $1, $2, $3
I3: sub $3, $2, $1
I4: sw $2, 50($1)
I5: addi $2, $zero, 1
I6: bne $2, $zero, I8
I7: addi $2, $2, -1
I8: bne $2, $zero, I7
I9: sub $3, $2, $1
I10: sw $2, 50($1)
I11: addi $5, $zero, 1
```



Quantos ciclos de relógio são gastos para a execução deste código? Ilustre, utilizando a representação multiciclo do pipeline, a ordem de execução destas instruções, mostrando os adiantamento como setas, as bolhas como 'x' e o flush como 'F'.

	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18	C19	C20	C21	C22	C23
I1	IF	ID	EX	MEM	WB																		
I2		IF	ID	X	EX	MEM	WB																
I3			IF	X	ID	EX	MEM	WB															
I4					IF	ID	EX	MEM	WB														
I5						IF	ID	EX	MEM	WB													
I6							IF	ID	EX	MEM	WB												
I7								IF	ID	EX	F	F											
I8									IF	ID	F	F	F										
I9										IF	F	F	F	F									
I8											IF	ID	EX	MEM	WB								
I9												IF	ID	EX	F	F							
I10													IF	ID	F	F	F						
I11														IF	F	F	F	F					
I7															IF	ID	EX	MEM	WB				
I8																IF	ID	EX	MEM	WB			
I9																	IF	ID	EX	MEM	WB		
I10																		IF	ID	EX	MEM	WB	
I11																			IF	ID	EX	MEM	WB



- 3) (2 pontos) Considere referências aos seguintes endereços de memória: 0,8,0,6,8,4,8,10,6. Considere ainda uma cache de 4 blocos com 1 palavra, com as configurações descritas abaixo.

- a) mapeamento direto **9 faltas**
- b) two-way set associativa, **7 faltas**
- c) completamente associativa. **5 faltas**

Veja passo-a-passo neste [link](#).

Considere que a cache está inicialmente vazia e quando necessário use como política de substituição o algoritmo LRU. *Calcule o número de faltas e mostre o estado final da cache. Faça um comparativo entre os resultados destacando o impacto no miss rate.*

Neste caso, o aumento da associatividade diminui o miss rate.

- 4) (1 ponto) Relacione os termos com os conceitos.

- (I) Multicore
- (II) Superpipeline
- (III) Superescalar
- (IV) Pipeline dinâmico
- (V) Multiprocessadores

- (A) Múltiplos pipelines que operam em paralelo.
- (B) Execução de instruções fora de ordem em um pipeline.
- (C) Pipelines com grande número de estágios.
- (D) Múltiplos processadores compartilhando um espaço de endereços.
- (E) Múltiplos processadores em um único encapsulamento.

Assinale a alternativa que contém a associação correta.

a) I-D, II-A, III-C, IV-B, V-E.

b) I-E, II-C, III-A, IV-B, V-D.

c) I-D, II-A, III-B, IV-C, V-E.

d) I-D, II-C, III-A, IV-B, V-E.

e) I-E, II-C, III-B, IV-A, V-D.

- 5) (1 ponto) Um processador tem um ciclo de operação igual a 20ns. Ele gasta dois ciclos para fazer a busca de uma instrução, um ciclo para decodificar cada instrução, dois ciclos para buscar os operandos necessários e três ciclos para executar a instrução e armazenar o resultado correspondente em algum registrador. Se a organização desta máquina for estritamente sequencial, qual será o período de execução de uma instrução? Se utilizarmos registradores de estágios que adicionam 2ns de atraso e considerarmos cada módulo como indivisível, qual será o período do estágio do pipeline se a máquina for organizada segundo uma estrutura de quatro estágios?

a) Respectivamente 20ns e 62ns.

b) Respectivamente 20ns e 42ns.

c) Respectivamente 20ns e 22ns.

d) Respectivamente 160ns e 62ns.

e) Respectivamente 160ns e 42ns.



6) (1 ponto) Assinale V ou F nas alternativas abaixo, justificando o que torna as alternativas F falsas.

- a) Multiprocessadores com memória distribuída possuem uma melhor escalabilidade se comparados a multiprocessadores com memória centralizada (**V**)
- b) A organização de comunicação “Memória compartilhada” só pode ser aplicada a multiprocessadores com memória centralizada (**F**) **Também pode ser aplicada a multiprocessadores com memória distribuída (NUMA)**
- c) GPU é especializada em paralelismo de instruções, visto que o propósito da sua criação foi trabalhar com aplicações gráficas (**F**) **GPU é especializada em paralelismo de dados**
- d) Processadores que tratam paralelismo a nível de dados já existiam antes do advento dos processadores multi-cores (**V**)
- e) O HyperThreading da Intel é um exemplo de Simultaneous Multi-Thread que explora paralelismo somente a nível de threads (**F**) **Também a nível de instrução.**

7) (2 ponto) Assumindo que os estágios individuais do pipeline tem a seguinte latências: IF=250ps; ID=350ps; EX=150ps; MEM=300ps e WB=200ps.

- a) Qual o período do clock em processador com e sem pipeline (monociclo)?

Monociclo = 250+350+150+300+200 = 1250 ps
Com pipeline = 350ps

- b) Qual a latência total (tempo de execução) de uma instrução LW nestes dois processadores?

Sem pipeline = 250+350+150+300+200 = 1250 ps
Com pipeline = 5*350 = 1750 ps

- c) Ilustre, utilizando a representação multiciclo do pipeline, a execução de uma instrução LW, seguida de um SW e de uma ADD.

Pipeline

LW:	IF	ID	EX	ME	WB			
SW:		IF	ID	EX	ME	WB		
ADD:			IF	ID	EX	ME	WB	

- d) Qual o tempo de execução destas três instruções considerando a implementação monociclo, multiciclo e com pipeline?

Monociclo: 3*1250ps = 3750 ps
Multiciclo: 1250ps (LW) + 1050ps (SW) + 950ps (ADD) = 3250 ps
Pipeline: 7*350ps = 2450 ps