

Descripció del treball fet al miniprojecte d'STR

El miniprojecte a dur a terme consisteix en intentar crear un sistema Hardware in the Loop per a la placa Zybo Z7 de Digilent en VHDL i integrar-ho amb el kernel de FreeRTOS.

Hardware in the Loop

Els Hardware in The Loop s'utilitzen per simular solvers molt complexos, que representen fenòmens físics en sistemes com l'automobilístic o l'aeroespacial. En el nostre cas, però, hem intentat codificar un solver molt més senzill que simula el moviment d'una molla. Un sistema d'equacions diferencials lineal, cosa que simplifica el procés de codificació. Concretament, l'equació discretitzada que hem accelerat és:

$$x(k+1) = \phi \cdot x(k) + \gamma \cdot u(k)$$

Matlab HDL Coder

La idea d'acceleració del hardware in the loop passa per implementar el codi de la funció matemàtica en hardware. Per a fer-ho hem treballat amb el HDL Coder de Matlab. Al principi d'aquesta assignatura desconèixiem completament Matlab i amb aquest treball hem pogut veure la dimensió que pot tenir al desenvolupament de hardware amb exemples com aquest. Hem treballat amb HDL coder per a generar diferents dissenys VHDL que ens poguéssim encaixar en la nostra idea de disseny hardware. Hem pogut observar com fa la traducció i la distribució dels bits d'entrada i sortida i jugar amb el programa per poder-lo adaptar a les nostres necessitats. Amb aquest treball hem pogut conèixer aquesta eina que ens ha semblat realment útil per a qualsevol tipus d'aplicació relacionada amb les FPGA i acceleració de càlculs matemàtics complexos.

Generar bitstream amb Vivado

Vivado funciona amb blocs d'IP (intellectual properties) que poden enllaçar-se per a formar un sistema més gran. Per tant, el que calia crear era una IP a integrar dins del sistema que resolgués l'equació matemàtica del Hardware in the loop. Per a dur-ho a terme hem après com funciona i com s'integren les IPs amb els dissenys VHDL i com poder establir una comunicació d'aquestes amb el FreeRTOS situat al ARM Cortex de la placa. Hem treballat amb el generador d'IPs de Vivado amb la gestió d'aquestes dins d'un disseny més gran i amb els registres i comunicacions AXI.

FreeRTOS y bitstream a la placa amb Vitis

Per a usar el bitstream generat amb Vivado des de l'ARM Cortex cal usar el programa Vitis. Aquest programa ens permet programar en C el processador que conté la placa. Vitis també permet la integració de FreeRTOS en el microcontrolador de manera que l'ús d'aquest kernel en la placa de desenvolupament pot considerar-se força senzilla. Hem considerat només una tasca que cada segon llegeix els valor dels registres del HIL i mostra els vaors per a línia sèrie.

Problemes que tenim, errors i ampliacions

Un dels problemes més recurrents que ens hem trobat ha estat generalment la falta de coneixement en el món de les FPGA de Xilinx. Tot i que al llarg de la nostra carrera hem pogut treballar en alguna assignatura amb VHDL i FPGA mai havíem vist el món dels blocs IP i la programació d'aquesta manera ens ha semblat molt diferent al que hem estat fent.

Aquesta falta de coneixement s'ha vist en totes les etapes del desenvolupament del projecte creant grans impediments en coses tan senzilles com la instal·lació del programa, els primers passos o entendre la comunicació i diferències alhora de programar un disseny en el que entren en joc el processador ARM Cortex i la FPGA.

Actualment no hem aconseguit un disseny funcional perquè no ens funciona correctament la comunicació entre el ARM Cortex i la FPGA. Tanmateix tenim un disseny hardware ben compilat i el bitstream generat correctament tot i que no hem pogut depurar el seu comportament.

Ens hagués agradat anar molt més enllà amb aquest treball però la dinàmica del curs no ens ha permès dedicar-nos el que deuríem. Per aquest motiu ens encantaria quedar-nos la placa aquest estiu per a poder desenvolupar aquest o altres projectes semblants amb més companys al llarg de l'agost. Treballar amb aquesta placa ens ha engrescat molt a voler-ne aprendre més ja que creiem que és un dispositiu que pot ser molt útil i ens agradaria, ara que tenim més temps, intentar explotar al màxim de les seves possibilitats.

Agraïm molt l'oportunitat que hem tingut d'usar aquest dispositiu i veure la integració que pot tenir amb el Cortex i sobretot la integració juntament amb el FreeRTOS, kernel amb el que hem treballat al llarg del curs.