

# CURRICULUM VITÆ

Nom patronymique : **Ferres** ; Prénom : **Bruno**

Grade : **Maître de Conférences**

Affectation actuelle : Université Grenoble Alpes / Laboratoire Verimag

Section du CNU : 27, MCF, échelon 4

Site web : <https://www.ferres.me>

## Formation et parcours professionnel

- 2023** : **Maître de Conférences** à l'Université Grenoble Alpes et au laboratoire Verimag.
- 2022–2023** : **Chercheur post-doctorant** au Laboratoire d'Informatique du Parallélisme, à Lyon, dans l'équipe projet CASH (Inria).
- 2018–2022** : **Thèse de doctorat** préparée au sein du laboratoire **TIMA** et soutenue à l'**Université Grenoble Alpes** : « *Utilisation de langages de construction matérielle pour une exploration flexible des espaces de conception sur FPGA* », soutenue le **23/03/2022**.  
Encadrants : Frédéric Rousseau et Olivier Muller  
Jury : **Virginie Fresse** (rapporteur), Pierre-Henri Horrein, Christophe Jego, Régis Leveugle, **Sébastien Pillement** (rapporteur)
- 2017–2018** : Master en CyberSécurité de l'**Université Grenoble Alpes**.
- 2015–2018** : Ingénieur diplômé de l'**Ensimag**, filière *Systèmes et Logiciels Embarqués*.

## Intérêts de recherche

- **Vérification des systèmes** : propriétés électriques des circuits au niveau transistor, analyse temporelle des systèmes temps-réels ;
- **Sécurité à l'interface logicielle/matérielle** : insertion de contre-mesures aux attaques physiques à la compilation, outils et méthodes d'analyses des vulnérabilités aux attaques physiques ;
- **Compilation RISC-V** : compilation sécurisée pour processeur RISC-V, extension vectorielle.

## Projets de recherche (participation)

- **Projet ANR SxC** 2024–maintenant  
« De Shannon à Cray » : compilation d'applications de traitement de flux (texte, bio-informatique, ...) vers jeux d'instructions vectoriels.
- **PEPR CyberSécurité – ARSENE** 2023–maintenant  
Développement de solutions souveraines pour la sécurité matérielle et logicielle.
- **Projet ANR CAOTIC** 2023–maintenant  
« Action Collaborative sur les interférences temporelles » : analyse temporelle des systèmes temps-réel sur plateforme multi-cœur, en prenant en compte les interférences causées par les ressources partagées.
- **Aniah** 2022–maintenant  
Collaboration industrielle avec l'entreprise Aniah, spécialisée dans l'identification d'erreurs électriques dans des circuits décrits au niveau transistor.

## Enseignements en cours

- 2023– : « Introduction aux Architectures Logicielles et Matérielles » L2 Math Info (DLST/DSDA)
- 2023– : « Architectures Logicielles et Matérielles » L3 Info (UFR IM<sup>2</sup>AG)
- 2023– : « Physical Security » M2 CySec (UFR IM<sup>2</sup>AG)

## Enseignements passés

- 2023–2024 : « Introduction aux systèmes et développement logiciel » L1 Math Info (DSDA)
- 2022–2023 : Programmation (C, OCaml, Python) M2 prépa Agreg (ENS Lyon)
- 2019–2021 : « Architectures des Ordinateurs » 1<sup>ère</sup> année (GINP–Ensimag)
- 2018–2021 : « Conception et Exploitation des Processeurs » 1<sup>ère</sup> année (GINP–Ensimag)
- 2018–2021 : « Projet UNIX » 4<sup>ème</sup> année IESE (Polytech Grenoble)
- 2018–2019 : « Projet C » 1<sup>ère</sup> année (GINP–Ensimag)

## Encadrements

- **1 thèse** en cours
- **10 stages** (2 stage L3, 5 stage M1, 3 stages M2)
- **3 projets** intégrés à la formation (M1/M2)

## Communications

- **2024** : Présentation au colloque Synchron 2024 (Bamberg, Allemagne)  
“A Transistor Level Relational Semantics for Electrical Rule Checking by SMT Solving”
- **2023** : Poster & article cours au colloque national du GDR SoC2 (Lyon)  
“Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”
- **2023** : Séminaires candidat à Verimag et à TIMA (Grenoble)  
“High Level Tools and Methods for Digital Design”
- **2021** : Séminaire dans l’équipe CASH (LIP, Lyon)  
“Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”
- **2021** : Présentation à TIMA (séminaire sur les méthodo. de conception numérique, Grenoble)  
“Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”

## Services à la communauté

- **Activités de relectures**
  - Conférences internationales, relecteur externe (relecture déléguée) :  
FACS’22 (1 papier), TACAS’23 (1 papier), DSD’24 (2 papiers), POPL’25 (1 papier), DATE’25 (1 papier)
  - Conférences nationales, comité de programme :  
COMPAS 2024, COMPAS 2025
  - Ouvrages scientifiques : participation à la relecture des ouvrages “*Multi-Processor System-on-Chip*” (*I - Architectures* et *II - Applications*), édités par Frédéric Rousseau et Liliana Andrade (Polytech Grenoble/TIMA).
- **Recrutements**
  - Commission d’attribution d’ATER :  
UFR IM<sup>2</sup>AG 2025
- **2023** : Cours d’introduction à **Chisel**, à l’occasion de l’école thématique **Archi 2023**, organisée par Arthur Perais (CR CNRS/TIMA) à Grenoble. <https://archi.sciencesconf.org/>  
Format : 1h30 de Cours Magistral ; 1h30 de Travaux Pratiques. Public :  $\simeq$  30 doctorant(e)s.
- **2023** : Participation à des rencontres entre chercheurs/chercheuses et lycéen(ne)s avec l’association DECLICS, au lycée Juliette Récamier, à Lyon (2×3h) <http://www.cerclefser.org/fr/declics/>
- **2019 – 2021** : Représentant des chercheurs et chercheuses non permanent(e)s au conseil du laboratoire TIMA (Grenoble INP, UGA, CNRS).

- **2019** : Organisation de la journée des doctorant(e)s pour l'école doctorale *Électronique, Électrotechnique, Automatique et Traitement du Signal* (**EEATS**, Grenoble)  
Comité d'organisation : 10 personnes      Responsable du site web.

## Bourses et récompenses

- **2018** : **Bourse doctorale ministérielle (MESRI)** – École doctorale *Électronique, Électrotechnique, Automatique et Traitement du signal* (EEATS)  
Spécialité : Nano-Électronique et Nano-Technologies      Université Grenoble Alpes, France

## Liste des publications

### Revue internationale

- [FMR23] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “A Chisel Framework for Flexible Design Space Exploration through a Functional Approach”. In : *ACM Transactions on Design Automation of Electronic Systems* 28.4 (2023). Author version available at <https://arxiv.org/pdf/2302.12702.pdf>, p. 1-31.

### Conférences internationales avec comité de lecture

- [Oul+24] Oussama OULKAID, **Bruno Ferres**, Matthieu MOY, Pascal RAYMOND, Mehdi KHOSRAVIAN, Ludovic HENRIO et Gabriel RADANNE. “A Transistor Level Relational Semantics for Electrical Rule Checking by SMT Solving”. In : *Design, Automation and Test in Europe Conference*. Available at <https://hal.science/hal-04527225/file/date2024.pdf>. Valencia, Spain, 2024.
- [FMR21] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “Integrating Quick Resource Estimators in Hardware Construction Framework for Design Space Exploration”. In : *International Workshop on Rapid System Prototyping*. Available at <https://hal.science/hal-03724027/>. IEEE. 2021, p. 64-70.
- [FMR20] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “Chisel Usecase : Designing General Matrix Multiply for FPGA”. In : *Applied Reconfigurable Computing. Architectures, Tools, and Applications*. Available at <https://hal.science/hal-03082750/>. Springer International Publishing, 2020, p. 61-72.

### Autres publications internationales (posters, papiers cours, ...)

- [Fer+23] **Bruno Ferres**, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN G., Matthieu MOY, Gabriel RADANNE et Pascal RAYMOND. “Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”. In : *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2023*. Short paper (2 pages) and poster, available at <https://hal.science/hal-04007446v1>. IEEE, 2023.

### Articles soumis

- [Oul+25] Oussama OULKAID, Matthieu MOY, Bruno FERRES, Mehdi KHOSRAVIAN GHADIKOLAEI et Pascal RAYMOND. “Worst-Case Reliability Analysis of Integrated Circuits using Optimization Modulo Theories”. 6 pages. Submitted to DATE’25. 2025.
- [Fer+24] **Bruno Ferres**, Oussama OULKAID, Matthieu MOY, Gabriel RADANNE, Ludovic HENRIO, Pascal RAYMOND et Mehdi KHOSRAVIAN GHADIKOLAEI. “A Survey on Transistor-Level Electrical Rule Checking of Integrated Circuits”. 24 pages. Submitted to ACM TODAES on February 22. 2024.

## Manuscrit de thèse

- [Fer22] **Bruno Ferres.** “Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”. Available at <https://theses.hal.science/tel-03709710>. Thèse de doct. Université Grenoble Alpes, 2022.