

CURRICULUM VITÆ

Nom patronymique : **Ferres** ; Prénom : **Bruno**

Grade : **Maître de Conférences**

Affectation actuelle : Université Grenoble Alpes / Laboratoire Verimag

Section du CNU : 27, MCF, échelon 4

Site web : <https://www.ferres.me>

Formation et parcours professionnel

Sept. 2023 : **Maître de Conférences** à l'Université Grenoble Alpes et au laboratoire Verimag.

2022–2023 : **Chercheur post-doctorant** au Laboratoire d'Informatique du Parallélisme, à Lyon, dans l'équipe projet CASH (Inria).

2018–2022 : **Thèse de doctorat** préparée au sein du laboratoire **TIMA** et soutenue à l'**Université Grenoble Alpes** : « *Utilisation de langages de construction matérielle pour une exploration flexible des espaces de conception sur FPGA* », soutenue le **23/03/2022**.
Encadrants : Frédéric Rousseau et Olivier Muller
Jury : **Virginie Fresse** (rapporteur), Pierre-Henri Horrein, Christophe Jego, Régis Leveugle, **Sébastien Pillement** (rapporteur)

2017–2018 : Master en CyberSécurité de l'**Université Grenoble Alpes**.

2015–2018 : Ingénieur diplômé de l'**Ensimag**, filière *Systèmes et Logiciels Embarqués*.

Intérêts de recherche

- **Méthodes de conception numériques** : langages de construction matérielle, exploration d'espace de conception, conception FPGA ;
- **Vérification des systèmes** : propriétés électriques des circuits au niveau transistor, analyse temporelle des systèmes temps-réels ;
- **Sécurité à l'interface logicielle/matérielle** : insertion de contre-mesures aux attaques physiques à la compilation, outils et méthodes d'analyses des vulnérabilités aux attaques physiques ;

Projets de recherche (participation)

- **Projet ANR SxC** 2024–maintenant
« De Shannon à Cray » : compilation d'applications de traitement de flux (texte, bio-info., ...) vers jeux d'instructions vectoriels.
- **PEPR CyberSécurité – ARSENE** 2023–maintenant
Développement de solutions souveraines pour la sécurité matérielle et logicielle.
- **Projet ANR CAOTIC** 2023–maintenant
« Action Collaborative sur les interférences temporelles » : analyse temporelle des systèmes temps-réel sur plateforme multi-cœur, et des interférences causées par les ressources partagées.
- **Aniah** 2022–2025
Collaboration industrielle avec l'entreprise Aniah, spécialisée dans l'identification d'erreurs électriques dans des circuits décrits au niveau transistor.

Enseignements en cours

- 2023– : « Introduction aux Architectures Logicielles et Matérielles » L2 Math Info (DLST/DSDA)
- 2023– : « Architectures Logicielles et Matérielles » L3 Info (UFR IM²AG)
- 2023– : « Physical Security » M2 CySec (UFR IM²AG)

Enseignements passés

- 2023–2024 : « Introduction aux systèmes et développement logiciel » L1 Math Info (DSDA)
- 2022–2023 : Programmation (C, OCaml, Python) M2 prépa Agreg (ENS Lyon)
- 2019–2021 : « Architectures des Ordinateurs » 1^{ère} année (GINP–Ensimag)
- 2018–2021 : « Conception et Exploitation des Processeurs » 1^{ère} année (GINP–Ensimag)
- 2018–2021 : « Projet UNIX » 4^{ème} année IESE (Polytech Grenoble)
- 2018–2019 : « Projet C » 1^{ère} année (GINP–Ensimag)

Encadrements

- **1 thèse** en cours : Clara Bourgeois (2024–), avec L. Gonnord et D. Hély (50%)
- **1 thèse** soutenue : Oussama Oulkaid (2022–2025), avec M. Moy, P. Raymond et M. Khosravian (25%)
- **12 stages** :
 - 1 apprentissage : Hichem Rebhi (M2 CSI, UGA, 2025–2026)
 - 3 stages M2 : Ayoub Baladi (M2 CySec, UGA, 2025), Oussama Oulkaid (M2 MOSIG, UGA, 2022), Jichen Liang (5A Polytech Grenoble, 2021)
 - 6 stages M1 : Emile Guillaume (2A GINP–Ensimag, 2025), Hichem Rebhi (M1 MOSIG, UGA, 2025), Louis Sassier (2A GINP–Ensimag, 2024–2025), Mathias Gilbert (2A ENSTA Paris, 2024), Adnane El Asli (2A GINP–Ensimag, 2024), Paul Lagarosse (2A GINP–Ensimag, 2021)
 - 2 stages L3 : Zoë Courvoisier-Clément (3A GINP–Esisar, 2024), Maxime Martin (1A GINP–Ensimag, 2021)
- **3 projets** intégrés à la formation (M1/M2)

Communications

- **2025** : Présentation au colloque Synchron 2025 (Aussois, France)
“Communication and Shared Memory Efficient Mapping Techniques of Real-Time DAGs upon Clustered Multicore Platforms”
- **2025** : Présentation à JAIF 2025 (Grenoble)
“Using a Vulnerability Assessment Methodology to build and improve Countermeasures against Multi-Fault Injection”
- **2024** : Présentation au colloque Synchron 2024 (Bamberg, Allemagne)
“A Transistor Level Relational Semantics for Electrical Rule Checking by SMT Solving”
- **2023** : Poster & article cours au colloque national du GDR SoC2 (Lyon)
“Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”
- **2023** : Séminaires candidat à Verimag et à TIMA (Grenoble)
“High Level Tools and Methods for Digital Design”
- **2021** : Séminaire dans l’équipe CASH (LIP, Lyon)
“Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”
- **2021** : Présentation à TIMA (séminaire sur les méthodo. de conception numérique, Grenoble)
“Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”

Services à la communauté

— Activités de relectures

- Conférences internationales, relecteur externe (relecture déléguée) :
OOPSLA'26 (1 papier), DATE'26 (1 papier), ERTS'26 (2 papiers), POPL'25 (1 papier), DATE'25 (1 papier), DSD'24 (2 papiers), TACAS'23 (1 papier), FACS'22 (1 papier)
- Conférences nationales, comité de programme :
COMPAS 2025, COMPAS 2024
- Ouvrages scientifiques : participation à la relecture des ouvrages “*Multi-Processor System-on-Chip*” (*I - Architectures* et *II - Applications*), édités par Frédéric Rousseau et Liliana Andrade (Polytech Grenoble/TIMA).

— Recrutements et administration

- Commission d'attribution d'ATER (UFR IM²AG, UGA) : **2025**
- Présidence de jury du baccalauréat : **2025** — série générale, Lycée Oiselet, Bourguoin-Jaillieu

— Organisation

- **2025** : Participation à l'organisation du colloque international [SYNCHRON 2025](#)

— Autres

- **2023–présent** : Animation scientifique de l'axe PACS (Preuves et Analyses de Code pour la Sécurité) du laboratoire VERIMAG.
- **2023** : Cours d'introduction à **Chisel**, à l'occasion de l'école thématique **Archi 2023**, organisée par Arthur Perais (CR CNRS/TIMA) à Grenoble. <https://archi.sciencesconf.org/>
Format : 1h30 de Cours Magistral; 1h30 de Travaux Pratiques. Public : \simeq 30 doctorant(e)s.
- **2023** : Participation à des rencontres entre chercheurs/chercheuses et lycéen(ne)s avec l'association DECLICS (Lycée Juliette Récamier, Lyon – 2×3h) <http://www.cerclefsr.org/fr/declics/>
- **2019 – 2021** : Représentant des chercheurs et chercheuses non permanent(e)s au conseil du laboratoire TIMA (Grenoble INP, UGA, CNRS).
- **2019** : Organisation de la journée des doctorant(e)s pour l'école doctorale *Électronique, Électrotechnique, Automatique et Traitement du Signal* (**EEATS**, Grenoble)
Comité d'organisation : 10 personnes Responsable du site web.

Bourses et récompenses

- **2018** : **Bourse doctorale ministérielle (MESRI)** – École doctorale *Électronique, Électrotechnique, Automatique et Traitement du signal* (EEATS)
Spécialité : Nano-Électronique et Nano-Technologies Université Grenoble Alpes, France

Liste des publications

Revue internationale

- [Fer+25] **Bruno Ferres**, [Oussama OULKAID](#), Matthieu MOY, Gabriel RADANNE, Ludovic HENRIO, Pascal RAYMOND et Mehdi KHOSRAVIAN. “A Survey on Transistor-Level Electrical Rule Checking of Integrated Circuits”. In : *ACM Trans. Des. Autom. Electron. Syst.* (juill. 2025). Available at <https://doi.org/10.1145/3748327>.
- [Oul+25] [Oussama OULKAID](#), **Bruno Ferres**, Matthieu MOY, Pascal RAYMOND et Mehdi KHOSRAVIAN GHADIKOLAEI. “Modeling Techniques for the Formal Verification of Integrated Circuits at Transistor-Level : Performance vs. Precision Trade-offs”. In : *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* (2025). 14 pages. Just accepted.

- [FMR23] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “A Chisel Framework for Flexible Design Space Exploration through a Functional Approach”. In : *ACM Transactions on Design Automation of Electronic Systems* 28.4 (2023). Author version available at <https://arxiv.org/pdf/2302.12702.pdf>, p. 1-31.

Conférences internationales avec comité de lecture

- [Sch+25] Matheus SCHUH, Claire MAIZA, Pascal RAYMOND, **Bruno Ferres**, Joël GOOSSENS et Benoît DUPONT DE DINECHIN. “Communication and Shared Memory Efficient Mapping Techniques of Real-Time DAGs upon Clustered Multicore Platforms”. In : *Proceedings of the 32nd International Conference on Real-Time Networks and Systems*. Available at <https://dipot.ulb.ac.be/dspace/bitstream/2013/393673/3/TechRep-RTNS2025.pdf>. 2025.
- [Oul+24] Oussama OULKAID, **Bruno Ferres**, Matthieu MOY, Pascal RAYMOND, Mehdi KHOSRAVIAN, Ludovic HENRIO et Gabriel RADANNE. “A Transistor Level Relational Semantics for Electrical Rule Checking by SMT Solving”. In : *Design, Automation and Test in Europe Conference*. Available at <https://hal.science/hal-04527225/file/date2024.pdf>. Valencia, Spain, 2024.
- [FMR21b] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “Integrating Quick Resource Estimators in Hardware Construction Framework for Design Space Exploration”. In : *International Workshop on Rapid System Prototyping*. Available at <https://hal.science/hal-03724027/>. IEEE. 2021, p. 64-70.
- [FMR20] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. “Chisel Usecase : Designing General Matrix Multiply for FPGA”. In : *Applied Reconfigurable Computing. Architectures, Tools, and Applications*. Available at <https://hal.science/hal-03082750/>. Springer International Publishing, 2020, p. 61-72.

Autres publications internationales (posters, papiers cours, ...)

- [Fer+23] **Bruno Ferres**, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN G., Matthieu MOY, Gabriel RADANNE et Pascal RAYMOND. “Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”. In : *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2023*. Short paper (2 pages) and poster, available at <https://hal.science/hal-04007446v1>. IEEE, 2023.

Articles soumis

Logiciels et outils

- [FMR21a] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. *A Chisel based Exploration Benchmark*. <https://gricad-gitlab.univ-grenoble-alpes.fr/tima/sls/projects/qece-benchmark>. 2021.
- [FMR21c] **Bruno Ferres**, Olivier MULLER et Frédéric ROUSSEAU. *QECE : Quick Exploration using Chisel Estimators*. <https://gricad-gitlab.univ-grenoble-alpes.fr/tima/sls/projects/qece>. 2021.

Manuscrit de thèse

- [Fer22] **Bruno Ferres**. “Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA”. Available at <https://theses.hal.science/tel-03709710>. Thèse de doct. Université Grenoble Alpes, 2022.