

Bruno Ferres

Docteur en Nano-Électronique
Qualifié CNU 27

62 rue Saint Laurent
F-38000, Grenoble

☎ +33 6 32 97 05 35
✉ bruno.ferres@ens-lyon.fr
🌐 www.ferres.me
né le 01/02/1996 à Nîmes

Formations

- 2018–2022 **Doctorat**, Université Grenoble Alpes, TIMA, Grenoble
Thèse de doctorat préparée au laboratoire **TIMA**, au sein de l'**Université Grenoble Alpes** : « *Utilisation de langages de construction matérielle pour une exploration flexible des espaces de conception sur FPGA* », soutenue le **23/03/2022**.
Encadrants : Frédéric Rousseau et Olivier Muller
Jury : **Virginie Fresse** (rapporteur), Pierre-Henri Horrein, Christophe Jego, Régis Leveugle, **Sébastien Pillement** (rapporteur et président)
- 2017–2018 **Master**, Université Grenoble Alpes, Grenoble, Cyber Sécurité
2^{ème} de promotion, mention **Bien**.
Sujet du Projet de Fin d'Étude (**PFE**) :
Sécurisation d'une application de eCommerce pour un grand compte. Edifixio, Grenoble
Encadrant : **Philippe Perrin**, chef de projet technique Java J2EE, Edifixio.
- 2015–2018 **Diplôme d'Ingénieur**, Grenoble INP - Ensimag, Grenoble, Spécialité *Systèmes et Logiciels Embarqués*
Mention **Bien**.
- 2013–2015 **La Prépa des INP**, Grenoble INP, site de Valence, Valence, 2^{ème} de promotion
Spécialisation en mathématiques, informatique et électronique numérique.
- 2013 **Baccalauréat Scientifique**, Lycée Geneviève de Gaulle Anthonioz, Milhaud, Gard,
Spécialité *mathématiques*
Mention **Très Bien**, avec les félicitations du jury.

Domaines de recherche

- Conception langages de construction matérielle, exploration d'espaces de conception, architectures numériques reconfigurables (FPGA)
- Vérification analyse statique, *SMT solvers*, *model-checking*, *Electrical Rule Checking*

Expériences professionnelles

Expérience de recherche

- 2022–2023 **Chercheur post-doctorant (CDD)**, LABORATOIRE D'INFORMATIQUE DU PARALLÉLISME, Lyon, CNRS - Inria - ENS Lyon - UCBL, en partenariat avec Aniah
1 an et 6 mois *Méthodes formelles pour la vérification de propriétés électriques de circuits intégrés*.
Mots-clefs : analyse statique, *SMT solvers*, circuits intégrés, vérification, *Electrical Rule Checking*, *model-checking*.
- 2018–2022 **Doctorant (CDD)**, TIMA, Grenoble, CNRS - UGA - Grenoble INP
3 ans et 6 mois *Utilisation de langages de construction matérielle pour une exploration flexible des espaces de conception sur FPGA*.
Mots-clefs : *Field-Programmable Gate Array* (FPGA), conception numérique, exploration d'espaces de conception, langages de construction matérielle, *Chisel*.

Expérience d'enseignement

Total : 210 heures équivalent TD

- 2018-2021 **Enseignant vacataire**, GRENOBLE-INP ENSIMAG & POLYTECH GRENOBLE
3 ans 184 heures (équivalent TD) d'enseignement dans les domaines de la conception numérique et de la programmation bas-niveau (langages C et assembleur).
- 2022-2023 **Enseignant vacataire**, ENS DE LYON
1 an 26 heures d'enseignement en programmation en langage C pour préparer les épreuves pratiques de l'agrégation d'informatique.

Expérience d'ingénierie

- 2018 **Stagiaire (Projet de Fin d'Étude)**, EDIFIXIO, Grenoble
6 mois Refonte de la sécurité d'une application web de eCommerce, dans le contexte de mon master en Cyber Sécurité.
Mots-clefs : développement web, sécurité, *Backend*, J2E, javascript.
- 2017 **Stagiaire (Assistant Ingénieur)**, SAP SE, Walldorf, Allemagne
3 mois Implémentation d'opérateurs scientifiques de base pour un nouvel outil de programmation graphique, utilisant des briques opératives de base pour concevoir des flots de calcul.
Mots-clefs : python, *Data Science*, traitement du signal, automatique.
- 2015 **Stagiaire, puis Développeur (CDD)**, MATOOMA, Montpellier
3 mois Développement d'une application de gestion interne de budget. Migration d'une base de donnée vers un moteur NoSQL, et refonte des requêtes pour l'amélioration des performances.
Mots-clefs : python, django, administration système, développement web, base de donnée.

Compétences techniques

- Langages C, python, OCaml, Java, Scala, Ada, assembleur (MIPS, RISC-V), bash, SQL
- Matériel Architecture des ordinateurs, VHDL, (System)Verilog, Chisel, FIRRTL, Vivado
- Systèmes Linux, Windows
- Outils Git, SVN, L^AT_EX, ssh

Publications scientifiques

- [Fer+23] Bruno FERRES, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN G., Matthieu MOY, Gabriel RADANNE et Pascal RAYMOND. "Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory". In : *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2023*. Short paper (2 pages) and poster. IEEE, 2023. URL : <https://hal.science/hal-04007446v1>.
- [FMR20] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. "Chisel Usecase : Designing General Matrix Multiply for FPGA". In : *Applied Reconfigurable Computing. Architectures, Tools, and Applications*. Springer International Publishing, 2020, p. 61-72. URL : <https://hal.science/hal-03082750/>.
- [FMR21b] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. "Integrating Quick Resource Estimators in Hardware Construction Framework for Design Space Exploration". In : *International Workshop on Rapid System Prototyping*. IEEE, 2021, p. 64-70. URL : <https://hal.science/hal-03724027/>.
- [FMR23] Bruno FERRES, Olivier MULLER et Frédéric ROUSSEAU. "A Chisel Framework for Flexible Design Space Exploration through a Functional Approach". 32 pages. Accepté à la publication à ACM TODAES le 23 mars 2023. 2023. URL : <https://arxiv.org/pdf/2302.12702.pdf>.

Thèse de doctorat

- [Fer22] Bruno FERRES. "Leveraging Hardware Construction Languages for Flexible Design Space Exploration on FPGA". Thèse de doct. Université Grenoble Alpes, 2022. URL : <https://theses.hal.science/tel-03709710>.