

Nome _____
Cognome _____
Matricola _____

Architettura degli Elaboratori

Corso di Laurea in Informatica
Appello 14 Febbraio 2014

1. (4 punti) Si supponga di disporre di una macchina dotata di stack. Siano dati quattro registri general purpose inizializzati come segue: $R1 \leftarrow 10$, $R2 \leftarrow 20$, $R3 \leftarrow 25$, $R4 \leftarrow 15$. Si supponga che lo stack sia inizialmente vuoto e sia data la seguente sequenza di istruzioni in linguaggio assembly:

PUSH R2; PUSH R3; PUSH R1; POP R2; MUL R3, R2, R3; ADD R4, R2, R3; PUSH R4; POP R1; POP R3

Fornire il contenuto di ciascun registro al termine della sequenza.

Risposta: R1 _____ R2 _____ R3 _____ R4 _____

2. (2 punti) Si supponga di disporre di un disco rigido avente 64 piatti, 4096 tracce e 512 settori. Determinare la dimensione minima di ciascun settore, in byte, affinché il disco possa contenere 256 file da 256 MiB ciascuno. Dimensione settore: _____

3. (5 punti) Determinare le funzioni di selezione degli integrati (chip select) di una memoria da 1 GiB assumendo che essa sia composta, nell'ordine, da tre integrati da 256 MiB e due integrati da 128 MiB, tutti con **parallelismo di parola**. Per ciascun integrato si fornisca, inoltre, il numero di bit dedicati all'indirizzamento interno di ciascun integrato.

CS_0 : _____ bit.int.____ CS_3 : _____ bit.int.____
 CS_1 : _____ bit.int.____ CS_4 : _____ bit.int.____
 CS_2 : _____ bit.int.____

4. (1 punto) Si illustri brevemente l'effetto della seguente istruzione, in notazione simbolica:

MOV AX, 127[BX]

Risposta: _____

5. (2 punti) Si descrivano brevemente almeno due aspetti caratterizzanti delle architetture RISC:

6. (3 punti) Si consideri una gerarchia di memoria a **tre livelli** in cui: (a) il tempo medio di accesso al livello intermedio t_{c2} è pari a 20 ns; (b) il tempo medio di accesso al livello più basso t_{c3} è pari a 60 ns; (c) il tasso di hit del livello più alto h_1 è pari a 0.9; (d) il tasso di hit del livello intermedio h_2 è pari a 0.8. Si calcoli il tempo medio di accesso al livello più alto, in nanosecondi, affinché il tempo complessivo medio di accesso alla gerarchia risulti pari a 16 ns; (illustrare il procedimento per esteso).

Risposta: _____

7. (4 punti) Sia dato un calcolatore in grado di eseguire i 5 tipi diversi di operazioni descritte in tabella, ognuna delle quali viene eseguita in un certo numero medio di cicli di clock (c_i). Sia dato un programma P che esegue ognuna delle operazioni in figura un certo numero X_i di volte.

i	Istruzione	c_i	X_i
1	ADD	10	$22 \cdot 10^6$
2	MUL	14	$10 \cdot 10^6$
3	MEM	8	$10 \cdot 10^6$
4	JMP	6	$4 \cdot 10^6$
5	DIV	16	$14 \cdot 10^6$

Calcolare:

- (a) il numero effettivo di istruzioni macchina eseguite da P _____
- (b) il numero di cicli di clock del programma P _____
- (c) il numero medio di clock per istruzione di macchina C_{PI} _____
- (d) la frequenza di clock minima, in GHz, affinché il programma P possa essere eseguito in 300 millisecondi _____
8. (2 punti) In riferimento alla legge di Amdahl, si supponga di disporre di un calcolatore in grado di eseguire un programma P in $t_v = 10$ ms. Si supponga di poter accelerare un componente del sistema di calcolo di partenza di un valore pari ad $a_1 = 2$ e che la frequenza di utilizzo di tale componente sia $f_{u1} = 0.6$, ottenendo il sistema risultante **1**. Si supponga allo stesso modo di poter accelerare un diverso componente del sistema di calcolo di partenza di un valore pari ad $a_2 = 1.5$ e che la frequenza di utilizzo di tale componente sia $f_{u2} = 0.8$, ottenendo il sistema risultante **2**. Determinare il sistema risultante più performante, calcolando il tempo di esecuzione di P , in millisecondi, e la corrispondente accelerazione complessiva in ciascuno dei due sistemi sopra specificati.
- (a) Sistema risultante 1: $t_{n1} =$ _____ (b) $a_{g1} =$ _____
- (b) Sistema risultante 2: $t_{n2} =$ _____ (b) $a_{g2} =$ _____
- (c) Sistema risultante migliore ☐ 1 ☐ 2
9. (7 punti) Si forniscano i segnali di controllo temporizzati della fase di execute di una generica istruzione **OP RA,RB,VAR** che ha l'effetto di spostare il contenuto della locazione di memoria, il cui indirizzo è contenuto nel registro RA, nella locazione di memoria il cui indirizzo è dato dalla somma del contenuto del registro RB e dell'indirizzo simbolico VAR, assumendo che, nel formato in linguaggio macchina, l'istruzione occupi 32 bit organizzati, in ordinamento little-endian, come segue: i 6 bit più significativi dedicati al codice operativo, i 10 bit successivi alla specifica dei registri RA ed RB ed i 16 bit meno significativi alla codifica dell'indirizzo simbolico VAR. Si assuma che la fase di fetch termini al ciclo $T3$ e che la memoria risponda in un **due** cicli di clock. Si tenga in considerazione la direzionalità del registro di trasferimento dati. Si assumano parole allineate da 32 bit ed una organizzazione interna a singolo bus.

T	Segnali di Controllo	T	Segnali di Controllo

ATTENZIONE: scrivere le risposte su questo foglio; la vicinanza di borse o astucci e l'uso di cellulari sono motivo di esclusione dalla prova.