

Nome _____
Cognome _____
Matricola _____

Architettura degli Elaboratori

Corso di Laurea in Informatica
Appello 31 Gennaio 2014

1. (4 punti) Si consideri lo statement di alto livello $w = x^3 + y + (z/x)^2$. Si traduca lo statement in una sequenza di istruzioni assembly nel modello registro-registro. Si assuma la presenza di quattro registri general purpose RA, RB, RC, RD. Si commentino le operazioni con la corrispondente notazione simbolica. Si assumano le variabili intere x, y, z disponibili nelle locazioni di memoria di indirizzi simbolici X, Y e Z , rispettivamente. Si assuma che la variabile w sia indirizzabile tramite l'indirizzo simbolico W .

	Istruzioni	Notazione Simbolica		Istruzioni	Notazione Simbolica
1			7		
2			8		
3			9		
4			10		
5			11		
6			12		

2. (3 punti) Si supponga di memorizzare 266 files, da 128 MiB ciascuno, su uno o più dischi rigidi aventi le seguenti caratteristiche: 32 piatti, 1024 tracce, 512 settori e settori da 1024 byte. Supponendo che ciascun file debba essere memorizzato su uno ed un solo disco e che non possa essere diviso tra più dischi, calcolare il numero di dischi necessari per memorizzare tutti i file e la quantità totale (in MiB) di spazio inutilizzato nei vari dischi.

Numero dischi: _____ Spazio libero: _____

3. (5 punti) Determinare le funzioni di selezione degli integrati di una memoria da 2 GiB assumendo che essa sia composta da *due banchi identici* e che ogni banco sia formato, nell'ordine, da integrati di dimensione 512 MiB, 256 MiB e 256 MiB con parallelismo del byte.

SEL1: _____ bit.int. _____ SEL4: _____ bit.int. _____
SEL2: _____ bit.int. _____ SEL5: _____ bit.int. _____
SEL3: _____ bit.int. _____ SEL6: _____ bit.int. _____

4. (2 punti) Si illustrino in notazione simbolica gli effetti delle seguenti istruzioni su una macchina 32bit, dotata di stack e dei registri BP ed SP:

(a) PUSH R2 _____ (b) MOV [BX][DI], AX _____

5. (2 punti) Si fornisca il contenuto del registro AX successivamente alla seguente sequenza di operazioni:

MOV AX,12; PUSH AX; MOV AX,10; PUSH AX; POP AX; MOV AX,8; PUSH AX; POP AX

Risposta: _____

6. (3 punti) Sia dato un calcolatore, con frequenza di clock $f_{ck} = 2.0$ GHz, in grado di eseguire i 5 tipi diversi di operazioni descritte in tabella, ognuna delle quali viene eseguita in un certo numero medio di cicli di clock (c_i). Sia dato un programma P che esegue ognuna delle operazioni in figura un certo numero X_i di volte.

i	Istruzione	c_i	X_i
1	ADD	10	$22 \cdot 10^6$
2	MUL	14	$12 \cdot 10^6$
3	MEM	6	$14 \cdot 10^6$
4	JUM	15	$9 \cdot 10^6$
5	DIV	18	$3 \cdot 10^6$

Calcolare:

- (a) il numero effettivo di istruzioni macchina eseguite da P _____
 (b) il numero di cicli di clock del programma P _____
 (c) il numero medio di clock per istruzione di macchina C_{PI} _____
 (d) il tempo di esecuzione del programma P (in millisecondi) _____
7. (2 punti) In riferimento all'esercizio precedente, dato il tempo di esecuzione di P , si supponga di poter apportare un miglioramento che produce un'accelerazione di un generico componente hardware pari ad $a = 2$. Calcolare la frequenza di utilizzo (f_u) e di inutilizzo (f_i) del componente in modo che risulti una accelerazione complessiva del sistema pari a $a_g = 1.4$. Fornire il tempo di esecuzione t_n di P (in millisecondi) sul sistema risultante.
- (a) $f_u =$ _____ $f_i =$ _____
 (b) $t_n =$ _____

8. (3 punti) Si consideri una gerarchia di memoria a tre livelli in cui: (a) il tempo medio di accesso al livello più alto t_{c1} è pari a 4 ns; (b) il tempo medio di accesso al livello intermedio t_{c2} è pari a 18 ns; (c) il tempo medio di accesso al livello più basso t_{c3} è pari a 80 ns; (d) il tasso di hit del livello più alto h_1 è pari a 0.8; (e) il tasso di hit del livello intermedio h_2 è pari a 0.7. Si calcoli il tempo complessivo medio di accesso alla gerarchia, in nanosecondi.

Risposta: _____

9. (6 punti) Si forniscano i segnali di controllo temporizzati della fase di execute di una generica istruzione **OP RA, RB, VAR** che ha l'effetto di copiare la somma del contenuto del registro RA e della locazione di memoria di indirizzo VAR nella locazione di memoria il cui indirizzo è contenuto nel registro RB , assumendo che, nel formato in linguaggio macchina, l'istruzione occupi 32 bit organizzati, in ordinamento little-endian, come segue: i 6 bit più significativi dedicati al codice operativo, i 10 bit successivi alla specifica dei registri RA ed RB , e i 16 bit meno significativi alla codifica dell'indirizzo simbolico VAR . Si assuma che la fase di fetch termini al ciclo $T3$ e che la memoria risponda in **due** cicli di clock. Si tenga in considerazione la direzionalità del registro di trasferimento dati e si assumano parole allineate da 32 bit ed una organizzazione interna a singolo bus.

T	Segnali di Controllo	T	Segnali di Controllo

ATTENZIONE: scrivere le risposte su questo foglio; la vicinanza di borse o astucci e l'uso di calcolatrici e cellulari sono motivo di esclusione dalla prova.