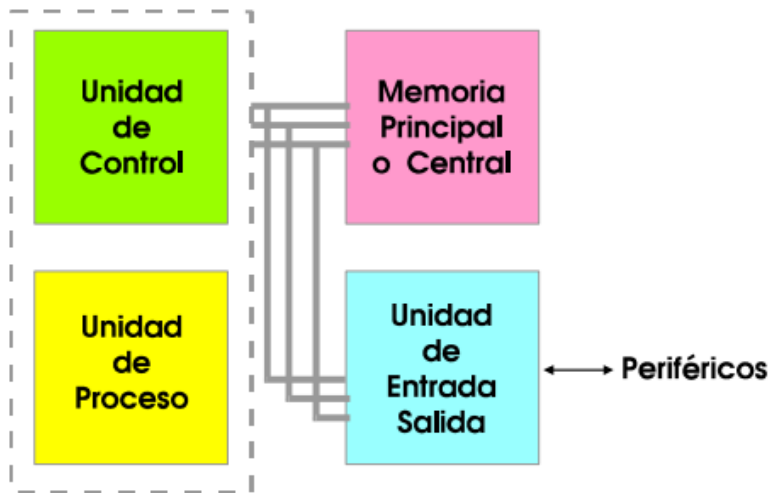


Una **COMPUTADORA** se puede definir como una máquina electrónica capaz de aceptar información, almacenarla y procesarla según un conjunto de instrucciones.

El **ESQUEMA ORDENADOR** funcionalmente está constituido por 4 bloques fundamentales: Unidad de control, Unidad de proceso/Unidad aritmético lógica, Memoria principal/central y Unidades de entrada/salida.



Los **BUSES** son un “conjunto de cables” que transfieren información binaria, SOLO LA TRANSMITEN. Estos son:

- Bus de datos: transporta los datos que se transfieren entre unidades. Es bidireccional ya que los mismos cables se utilizan para transmitir información hacia dentro o hacia fuera de una unidad en cualquier momento.
- Bus de dirección: transporta la dirección de la posición de memoria o del periférico que interviene en el tráfico de información. Permite la comunicación entre el procesador y las celdas de la memoria RAM. Define la cantidad de memoria RAM que el procesador puede gestionar.
- Bus de control: son las señales para controlar y sincronizar todos los componentes. Las señales de control parten de la unidad de control hacia el resto de elementos, y las señales de estados parten del resto de elementos hacia la unidad de control.

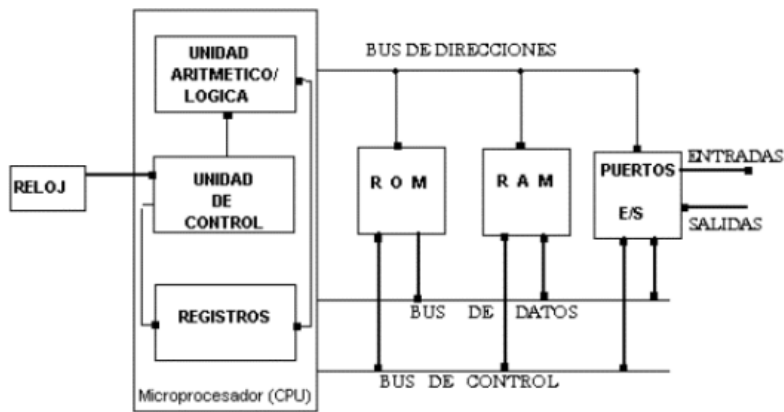
REGISTRO: es un elemento de almacenamiento de información binaria.

Puerto: es un registro ubicado en una unidad de entrada/salida.

MEMORIA PRINCIPAL: es la unidad donde se almacenan los datos e instrucciones necesarios para realizar un determinado proceso. Está formada por circuitos electrónicos capaces de almacenar sólo dos valores (0 - 1) en cada celda de memoria.

JERARQUÍA DE MEMORIA: Caché (SRAM) - Memoria principal (DRAM) - Memoria masiva (discos, etc.) (de más importante a menos)

RELOJ: está directamente asociado al microprocesador y su función es marcar la sincronización de trabajo de todo el esquema ordenador. Hace que los dispositivos internos trabajen con un “ritmo” marcado y a partir de su valor los usuarios tengan una percepción de que tan rápida es su computadora. Su unidad de medida de frecuencia es Hertz.



ARQUITECTURA DE COMPUTADORAS: refiere al diseño conceptual y lógico de un sistema informático, incluye las decisiones de alto nivel sobre la estructura y el funcionamiento general del sistema.

ORGANIZACIÓN DE COMPUTADORAS: se centra en cómo se implementa físicamente el diseño arquitectónico.

TIPOS DE ARQUITECTURAS:

- arquitectura Von Neumann: único espacio de memoria de lectura y escritura, el contenido de la memoria es accesible por posición y la ejecución de las instrucciones es secuencial.

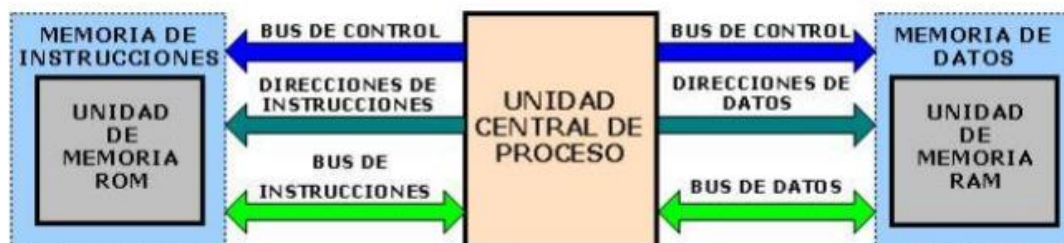
ARQUITECTURA VON NEUMANN

ARQUITECTURA VON NEUMANN



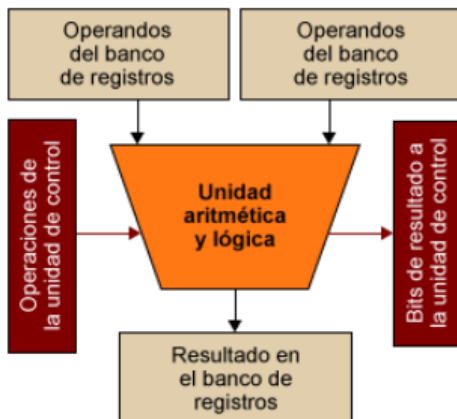
- arquitectura Harvard: se distingue por la división de la memoria en una memoria de instrucciones y una memoria de datos, por lo que el procesador puede acceder separada y simultáneamente a ambas.

ARQUITECTURA HARVARD



Un **PROGRAMA** es un algoritmo constituido por un conjunto de instrucciones que se ejecutan de manera secuencial o por el orden determinado por el propio algoritmo. El esquema ordenador lee, interpreta y ejecuta.

UNIDAD ARITMÉTICA Y LÓGICA (ALU)



UNIDAD DE CONTROL (HARDWIRED):

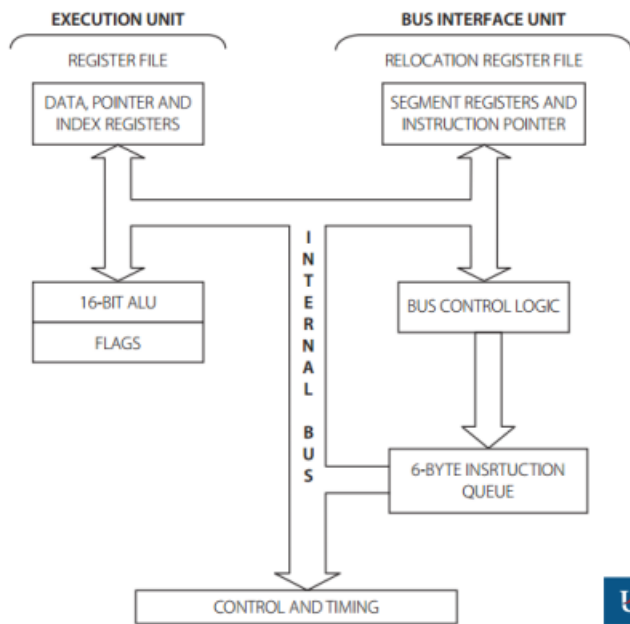
una unidad de control cableada es un componente clave en una CPU que se encarga de coordinar y controlar las operaciones de ejecución de instrucciones.

- decodificación de instrucciones: el circuito está diseñado con una serie de compuertas lógicas y circuitos combinacionales que están cableados de manera fija para decodificar las instrucciones.
- generación de señales de control: el circuito de control cableado genera señales de control específicas en función de la instrucción actual. Estas señales activan o desactivan los componentes de la CPU dependiendo los requisitos de la instrucción.
- secuencia de ejecución: la unidad de control cableada emite una secuencia predefinida de señales de control en función de la instrucción. Las mismas dirigen las operaciones de la CPU en el orden correcto para completar la ejecución de la instrucción.

EL MICROPROCESADOR 8086, características:

- arquitectura de 16 bits.
- bus de datos de 16 bits.
- bus de dirección de 20 bits.
- registros de propósito general: tiene 8 registros de 16 bits (AX, BX, CX, DX, SI, DI, BP, SP) que se pueden usar para realizar operaciones aritméticas-lógicas.
- registro de segmento: tiene 4 registros que apuntan a segmentos de memoria (CS, DS, ES, SS), estos se combinan con desplazamiento para formar direcciones físicas de 20 bits.
- registro de puntero de instrucción: indica la dirección de la próxima instrucción que se ejecutará.
- tiene arquitectura Von Neumann lo que significa que instrucciones y datos se almacenan en la misma memoria.
- velocidad de reloj: originalmente era de 5MHz pero ya no.
- instrucciones de transferencia de bloques.

DIAGRAMA DE BLOQUES INTERNO 8086



REGISTROS INTERNOS 8086:

| | | | |
|----|----|----|----------------|
| AX | AH | AL | ACCUMULATOR |
| BX | BH | BL | BASE REGISTER |
| CX | CH | CL | COUNT REGISTER |
| DX | DH | DL | DATA REGISTER |

| | |
|----|-------------------|
| SP | STACK POINTER |
| BP | BASE POINTER |
| SI | SOURCE INDEX |
| DI | DESTINATION INDEX |

| | |
|-------|---------------------|
| IP | INSTRUCTION POINTER |
| FLAGH | STATUS FLAGS |
| FLAGL | |

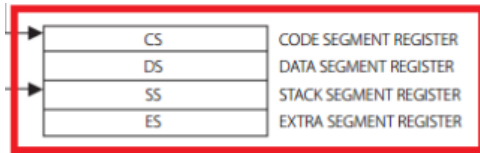
| | |
|----|------------------------|
| CS | CODE SEGMENT REGISTER |
| DS | DATA SEGMENT REGISTER |
| SS | STACK SEGMENT REGISTER |
| ES | EXTRA SEGMENT REGISTER |

REGISTROS DE DATOS: son de 16 bits divididos en 8 y 8 bits, son de propósito general, aunque tienen alguna función por defecto.

| | | | |
|----|----|----|----------------|
| AX | AH | AL | ACCUMULATOR |
| BX | BH | BL | BASE REGISTER |
| CX | CH | CL | COUNT REGISTER |
| DX | DH | DL | DATA REGISTER |

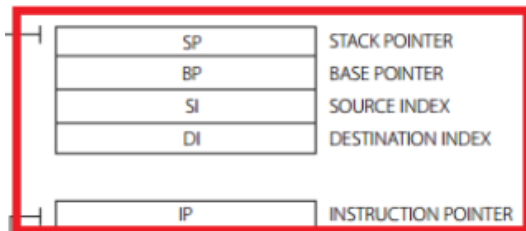
- AX (acumulador): se usa para almacenar el resultado de las operaciones, único registro con el que se puede hacer divisiones y multiplicaciones.
- BX (registro base): almacena la dirección base para los accesos a memoria.
- CX (contador): actúa como contador en los bucles de repetición. CL almacena el desplazamiento en las operaciones de desplazamiento y rotación de múltiples bits.
- DX (datos): es usado para almacenar los datos de las operaciones.

REGISTROS DE SEGMENTOS: son de 16bits y contienen el valor del segmento.



- CS (segmento de código): contiene el valor de segmento donde se encuentra el código y actúa en conjunto con el registro IP para obtener la dirección de memoria que contiene la próxima instrucción.
- DS (segmento de datos): contiene el segmento donde están los datos.
- ES (segmento extra de datos): es usado para acceder a otro segmento que contiene más datos.
- SS (segmento de pila): contiene el valor del segmento donde está la pila y actúa en conjunto con el registro SP para obtener la dirección donde se encuentra el último valor almacenado en la pila por el procesador.

REGISTROS DE ÍNDICE: son usados como índices por ciertas instrucciones y como operandos.



- IP (índice de programa): almacena el desplazamiento dentro del segmento de código y actúa en conjunto con el registro CS para obtener la dirección de memoria que contiene la próxima instrucción. Excepción ya que no puede ser usado como operando.
- SI (índice de origen): almacena el desplazamiento del operando de origen en memoria en algunos tipos de operaciones.
- DI (índice de destino): almacena el desplazamiento del operando de destino en memoria en algunos tipos de operaciones.
- SP (índice de pila): almacena el desplazamiento dentro del segmento de pila, y apunta al último elemento introducido en la pila. Se usa en conjunto con el registro SS.
- BP (índice de base): se usa para almacenar desplazamiento en los distintos segmentos. Por defecto es el segmento de la pila.

REGISTRO DE ESTADO: contiene banderas que indican diversas situaciones en las que se encuentra el procesador.



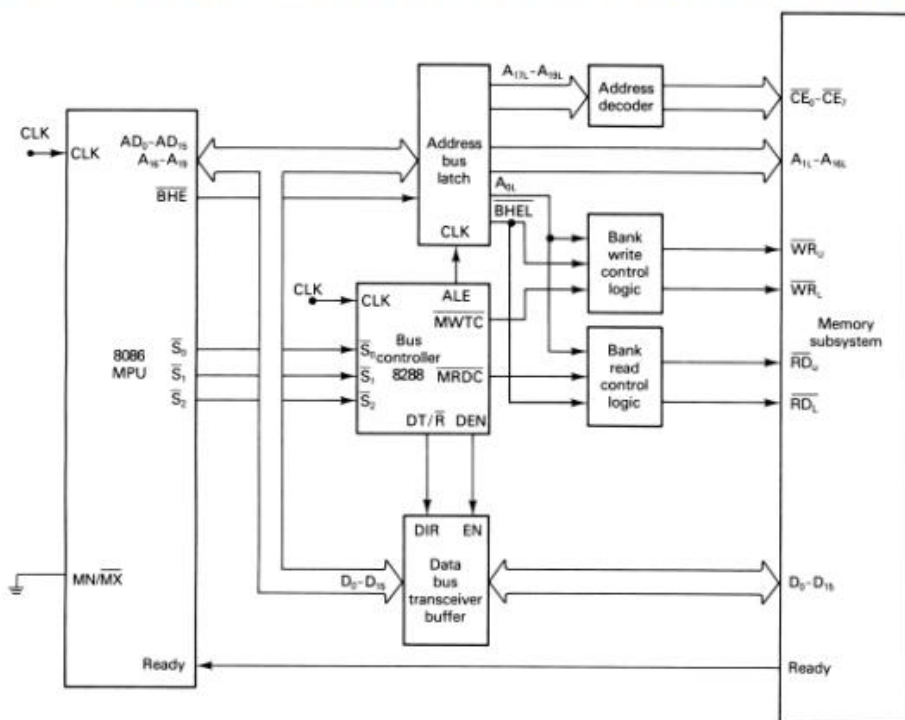
OF: Desbordamiento
 DF: Dirección en operaciones con cadenas
 IF: Indicador de interrupción
 TF: Modo traza
 SF: Indicador de signo en operaciones con signo
 ZF: Indicador de cero
 AF: Acarreo del bit 3 en AL
 PF: Bit de paridad
 CF: Acarreo

FORMATO ENDIAN es un atributo de los datos que describe el orden de los bytes. Cuando las aplicaciones intercambian datos, deben conocer el convenio de clasificación para los datos de varios bytes. En caso contrario, los datos podrían malinterpretarse.

- BIG ENDIAN: formato donde el byte más significativo se almacena en primer lugar y le siguen los demás bytes de forma descendente.
- LITTLE ENDIAN: formato donde el byte menos significativo se almacena en primer lugar y le siguen los demás bytes de forma ascendente. El 8086/88 utiliza este formato.

SEGMENTACIÓN: el 8086/88 tiene un ancho de bus de datos de 16 bits y un ancho de bus de direcciones de 20 bits. Con 20 bits de direcciones se puede acceder a $2^{20} = 1$ Mega posiciones de memoria. Como cada dirección de memoria contiene un byte, el total de memoria accedido por el procesador es de 1 Mbyte. El bus de datos de 16 bits lo que implica que en cada acceso a memoria se leen dos posiciones.

8086 -> CONEXIÓN DE LAS MEMORIAS



MODOS DE DIRECCIONAMIENTO son una técnica utilizada para especificar cómo se accederá a los operandos en una instrucción de máquina. Estos son:

- direccionamiento inmediato, ej mov ax, 23
- direccionamiento por registro, ej mov ax, bx
- direccionamiento directo, ej mov ax, [0200]
- direccionamiento indirecto mediante registro, ej mov ax, [bx]
- direccionamiento por registro base, ej mov ax, [bx + 05]
- direccionamiento indexado, ej mov ax, [bx + di]
- direccionamiento indexado respecto de una base, ej mov ax, [bx + di + 02]

El tipo de direccionamiento se determina en función de los operandos de la instrucción.

PIPELINING consiste en que, para una tarea larga, repetitiva y que se puede dividir en etapas, ésta se pueda paralelizar en varias ejecuciones de la tarea, solapando las etapas que puedan realizarse en simultáneo. El 8086 está compuesto por 2 máquinas conocidas como unidad de interface bus (BIU) y unidad de ejecución (UE) que trabajan en modo PIPELINE, conectadas por una cola.

PIPELINE HAZARDS es cuando se detiene el Pipeline ya que se complicó la ejecución ideal. Estos son:

- hazards estructurales dados cuando hay un conflicto de hardware para alguna combinación de instrucciones. Se solucionan esperando o agregando más hardware.
- hazards de datos dados cuando por alguna dependencia de datos en las instrucciones y el uso de pipeline, se altera el flujo de datos del programa.
- hazards de control causados por instrucciones de saltos u otras modificaciones del PC

Ampliando hazards de datos:

- Read after Write (RaW): Un operando es modificado para ser leído posteriormente. Si la primera instrucción no ha terminado de escribir el operando, la segunda estará utilizando datos incorrectos. Dependencia verdadera.
- Write after Read (WaR): Leer un operando y escribir en él en poco tiempo. Si la escritura finaliza antes que la lectura, la instrucción de lectura utilizará el nuevo valor y no el antiguo. Anti dependencia.
- Write after Write (WaW): Dos instrucciones que escriben en un mismo operando. La primera en ser emitida puede que finalice en segundo lugar, de modo que el operando final no tenga el valor adecuado. Dependencia de salida.

Ampliando hazards de control:

los riesgos ocurren cuando el procesador se ve obligado a saltar a una instrucción que no tiene por qué ser necesariamente la siguiente en el código. En ese caso, el procesador no puede saber por adelantado si debería ejecutar la siguiente instrucción u otra situada más lejos en el código.

INTERRUPCIONES son una señal recibida por el CPU de una computadora, que indica que debe interrumpir el curso de ejecución actual y pasar a ejecutar código específico para tratar esta situación.

Hay dos tipos de interrupciones:

- interrupciones hardware: las cuales pueden ser internas producidas por la CPU y externas producidas por dispositivos de entrada/salida. No son programadas.
- interrupciones software: producidas por la ejecución de instrucciones de la CPU.

RESPUESTA DE INTERRUPCIÓN DEL 8086: (no tengo ganas de copiarlo no voy a estudiarlo)

-Al momento que se solicita o produce una interrupción se supone que el esquema ordenador está ejecutando un programa.

- En ese instante el conjunto de registros CS e IP están apuntando a la próxima instrucción a ejecutar.

- Si la interrupción es externa el micro verificara la máscara en el bit "I" de interrupción del registro de estado accediendo a atender la interrupción si no está enmascarada.

-Si se atiende lanzara la siguiente secuencia:

1) Empilara los registros CS, IP y el registro de estado. El objetivo es "recordarlos", para "volver" a lo que se estaba haciendo una vez que se ejecute el algoritmo de interrupción.

2) Luego de empilar los registros asignara a CS el valor 0 y a IP el numero 4 por el valor de interrupción solicitada. Esto generará una nueva dirección efectiva ($DE = 0 \cdot 10 + 4 \cdot xx$) que producirá un salto a la parte baja de la memoria a un área que se conoce como zona de vectorización.

VECTOR DE INTERRUPCIONES

- Las localizaciones de memoria 00000H a 003FFH están reservadas para el vector de interrupciones.
- Existen 256 tipos posibles de interrupciones.
- Cada Handler o Rutina de Servicio de Interrupción está direccionada por un puntero de 4 bytes: 16 bits de segmento y 16 bits de offset.
- Las rutinas y los punteros deben instalarse antes de habilitar las interrupciones: Servicios de la BIOS; Servicios del Sistema Operativo.

RESPUESTA DE INTERRUPCIÓN DEL 8086

- De los 4 bytes del vector de interrupción, 2 se asignan a CS y 2 a IP, generando ahora una nueva dirección efectiva que es la del comienzo del algoritmo de interrupción.
- Se produce un salto a esa dirección y en ese momento finaliza el ciclo de interrupción del procesador. Una vez allí se continua con la secuencia normal (lee, interpreta, ejecuta) y se ejecuta el algoritmo de interrupción hasta que finalice.
- Este algoritmo tendrá como ultima instrucción a IRET, que significa "retorno de interrupción". Esta instrucción lo que hace es desempilar el valor del registro de estado, de IP y CS.
- Los desempila sobre estos registros generando otra dirección efectiva que hace al sistema volver al donde se interrumpió el programa de ejecución para atender la interrupción.

EL CONTROLADOR 8259

- Un dispositivo genera una señal de interrupción.
- Si no hay otra interrupción de mayor prioridad ejecutándose o pendiente, el 8259 envía la señal INTR al 8086.
- Si IF está a 1, el 8086 acepta la interrupción enviando una señal INTA al 8259.
- El 8259 coloca en el bus de datos el identificador del dispositivo elegido.

PREGUNTAS DE TEORIA SACADAS DEL TP 5

Dado el esquema del microprocesador 8086/8088 describa características de cada uno de los bloques y que función cumplen:

- Unidad de ejecución (EU): realiza las operaciones aritméticas, lógicas, y de transferencia de datos; contiene los registros de datos. Sus funciones son codificar las instrucciones, realizar operaciones y maneja las interrupciones.
- Unidad de interfaz con el bus (BIU): gestiona las transferencias de datos entre el microprocesador y la memoria o los periféricos. Sus funciones son manejo del bus de datos y direcciones, obtener las instrucciones del programa, captar los operandos y escribir los resultados en la memoria.

¿Qué es el registro de banderas (flags)? Describa el registro de banderas del 8088/86 ¿qué significado tiene cada uno de los bits?

En el registro de banderas (flags) se alojan las banderas aritméticas, de modo de trabajo e interrupciones, dichas banderas indican distintas situaciones en las que se encuentra el procesador y el resultado de las operaciones realizadas por la EU. (el significado de cada una está en un gráfico más arriba)

Explique el concepto de dirección efectiva.

La dirección efectiva refiere a la dirección de memoria que se utiliza para acceder a un operando en las instrucciones de un microprocesador, la misma se calcula multiplicando el registro de segmento por 10h y sumando el desplazamiento.