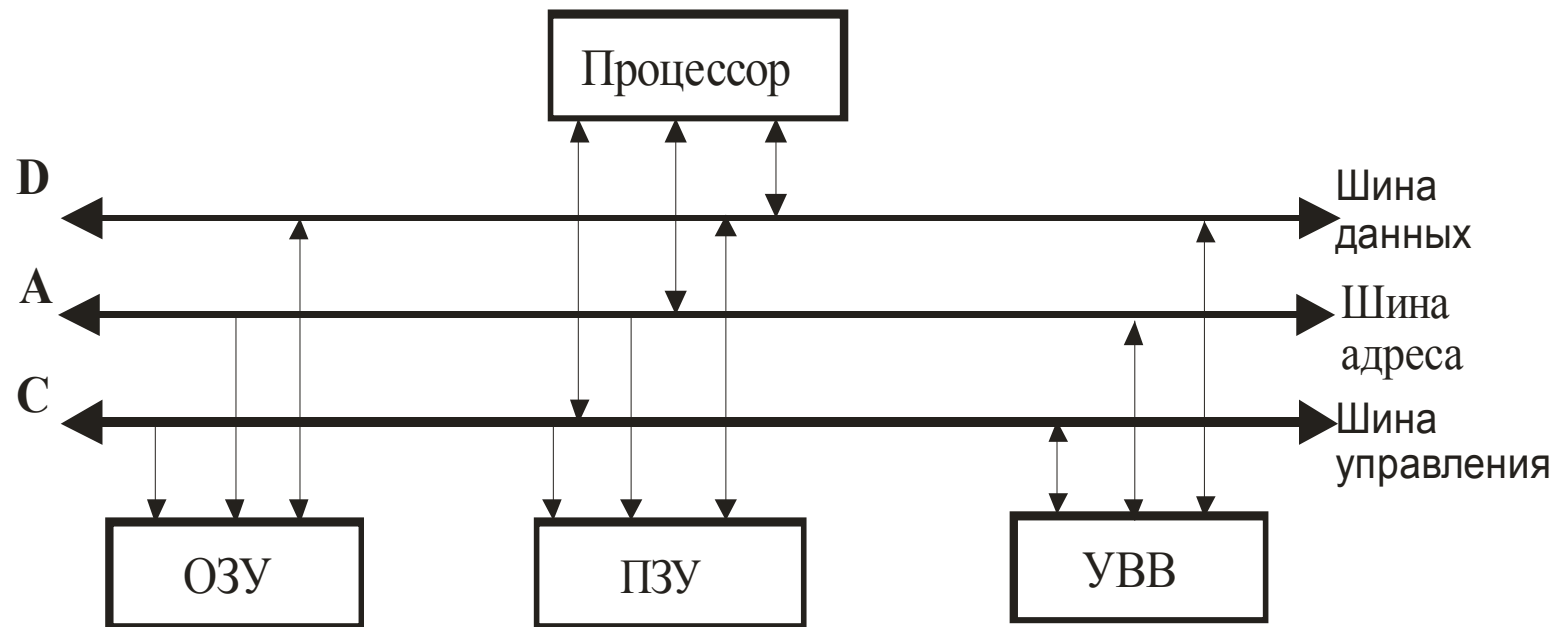
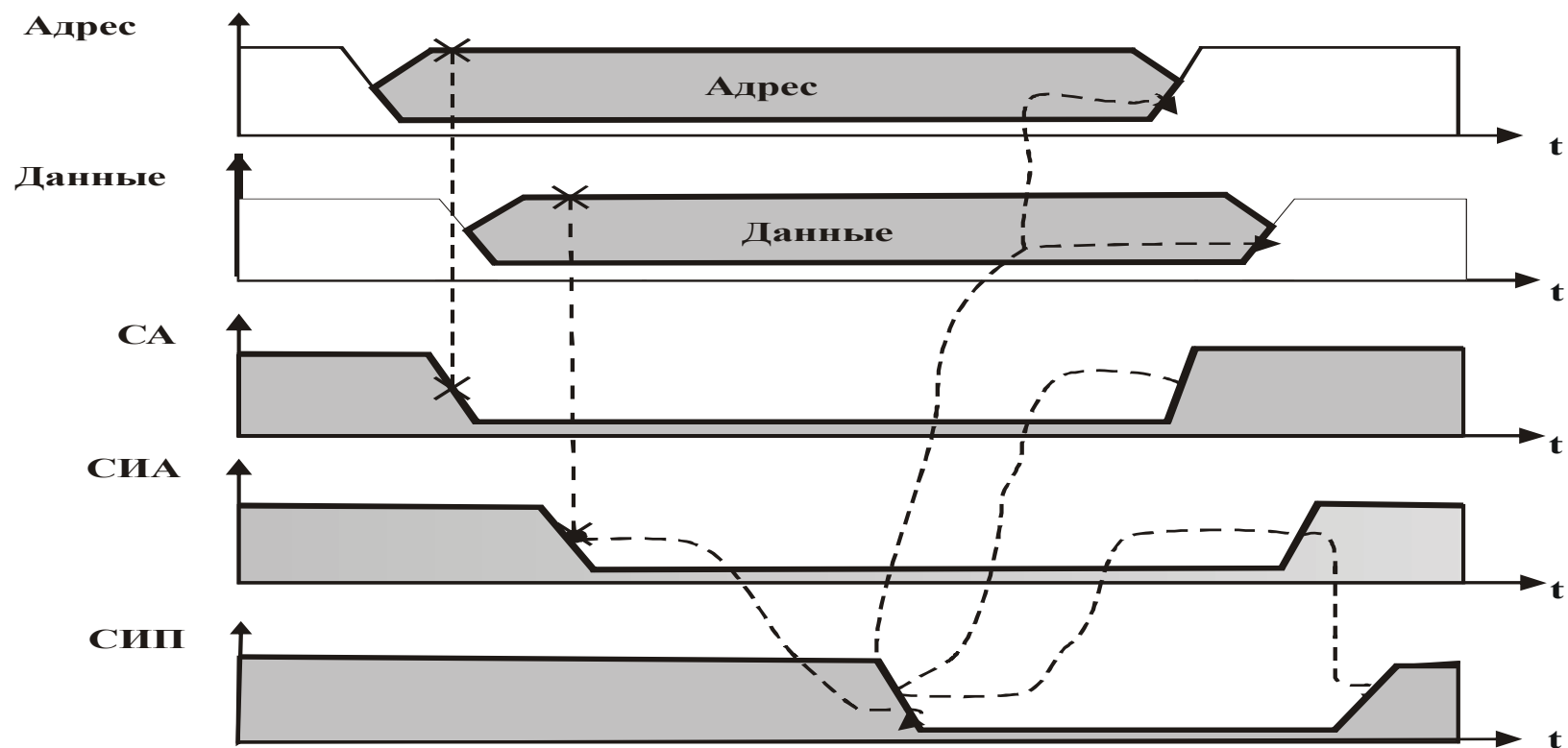


Проблема синхронизации интерфейса при параллельной передаче информации

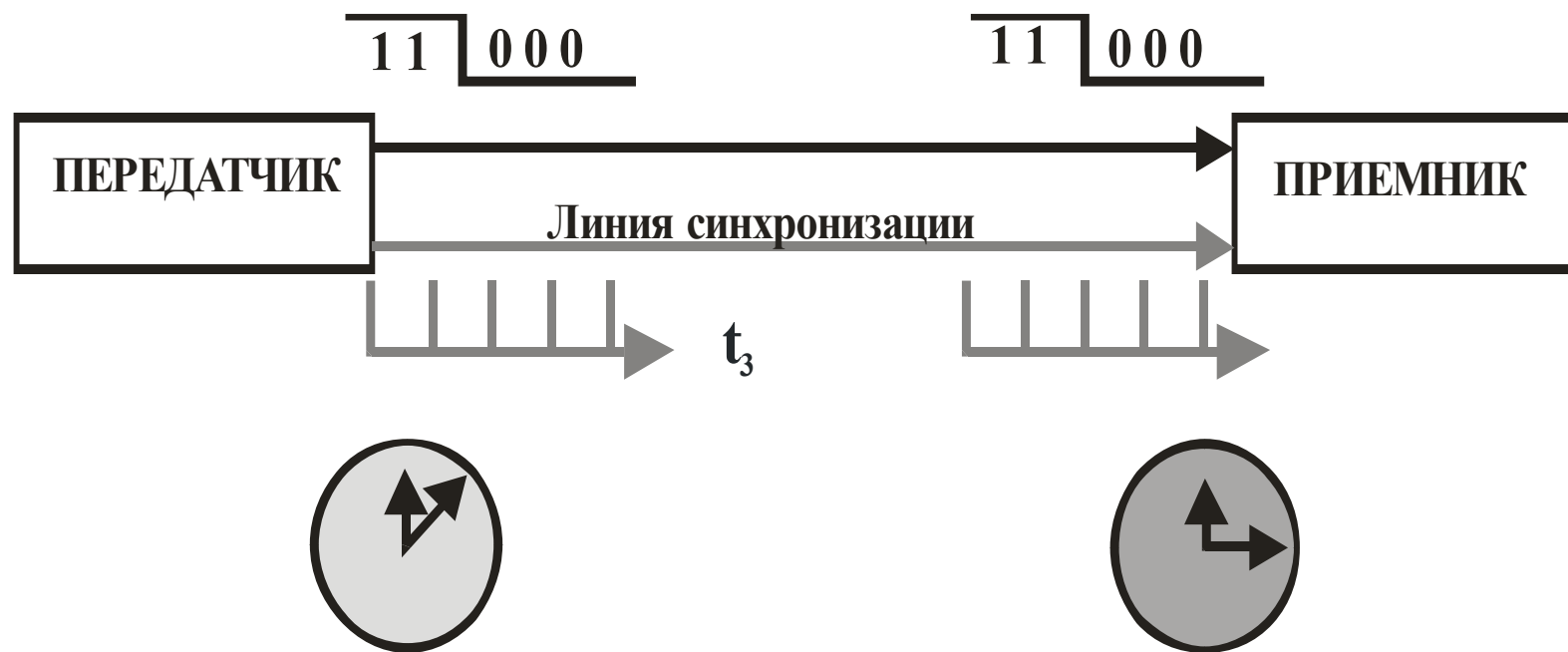


Шины данных, адреса и управления многоразрядные



Временные диаграммы записи данных процессором в ОЗУ

Битовая синхронизации в интерфейсах с последовательной передачей информации



Передача данных через интерфейс с последовательной передачей информации.

Приемник должен "решить" две проблемы:

- он должен определить, в какой момент времени на его входе появилась двоичная последовательность (значимая информация), т.е. решить проблему кадровой синхронизации;
- приемник должен точно выделить интервал времени, соответствующий каждому биту (проблема битовой синхронизации).

Существует несколько технических приемов для решения последней проблемы:

- ограничение длины двоичной последовательности кадра (интерфейс RS-232C);
- передача синхроимпульса от передатчика к приемнику по отдельной дополнительной линии при передаче каждого бита (интерфейсы I²C/SMbus, Space Wire);
- применение самосинхронизирующихся кодов (интерфейсы МИК и PCI-XP, локальные сети FDDI и Token Ring);
- применение процедуры битстаффинга, т.е. вставки избыточных нулей и единиц в передаваемые двоичные последовательности; (промышленная локальная сеть CAN, интерфейс USB);
- применение процедуры скремблирования (перемешивания) битов двоичной последовательности.

Приемник, как правило, по входу представляет собой быстродействующий компаратор напряжения и, при упрощенном рассмотрении, он,

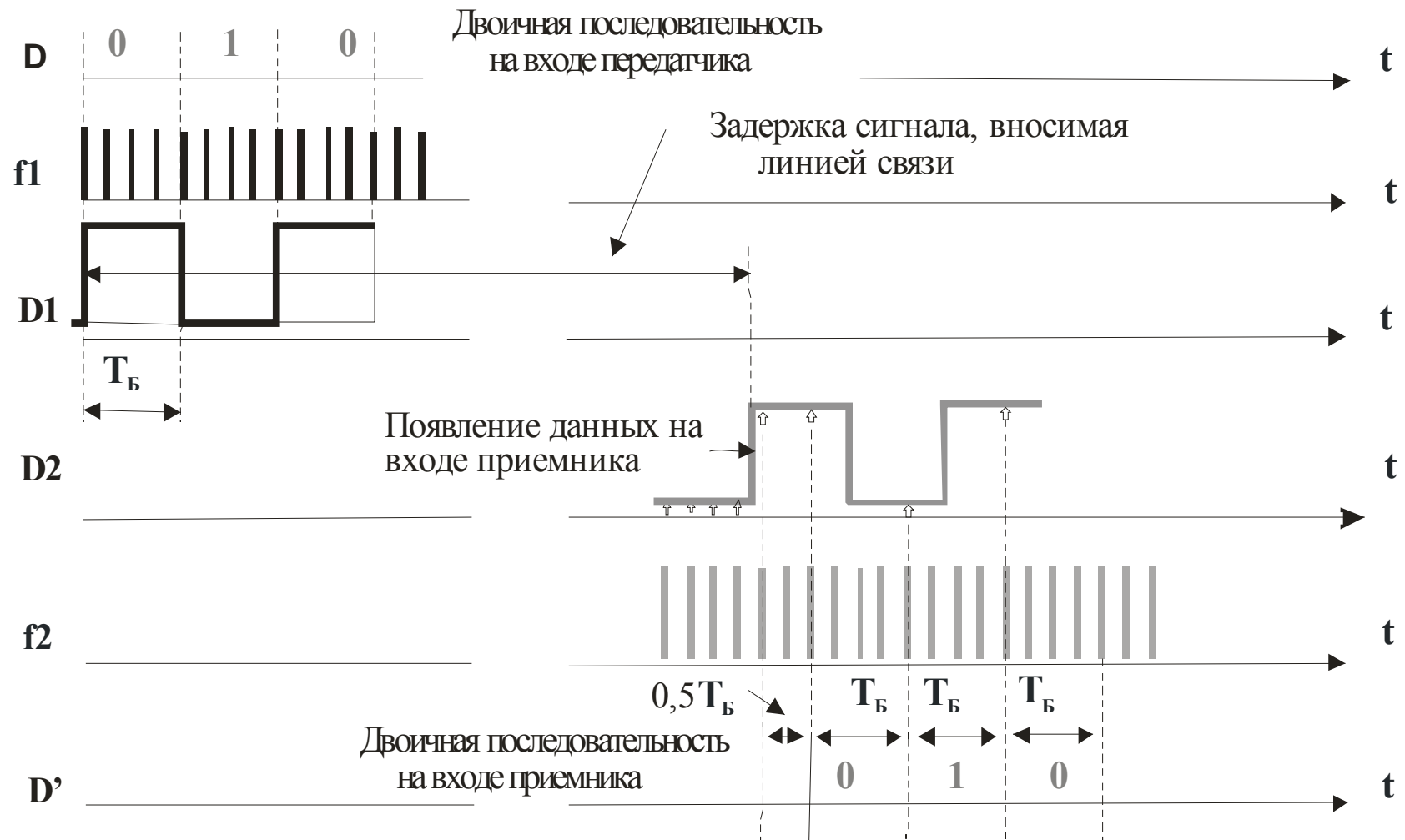
во-первых, “умеет” самостоятельно определять моменты времени, когда уровень напряжения на его входе изменяется с низкого на высокий или наоборот (переход «0»-«1» или «1»-«0») и,

во-вторых, в эти моменты он может корректировать уход своих “часов” (сбросить в ноль).

В-третьих, по внутренним командам от своих “часов” приемник может в любой момент времени однозначно “прочитать” текущее значение уровня напряжения (логического «0» или логической «1») сигнала двоичной последовательности на его входе.

Битовая синхронизация ограничением длины двоичной последовательности кадра

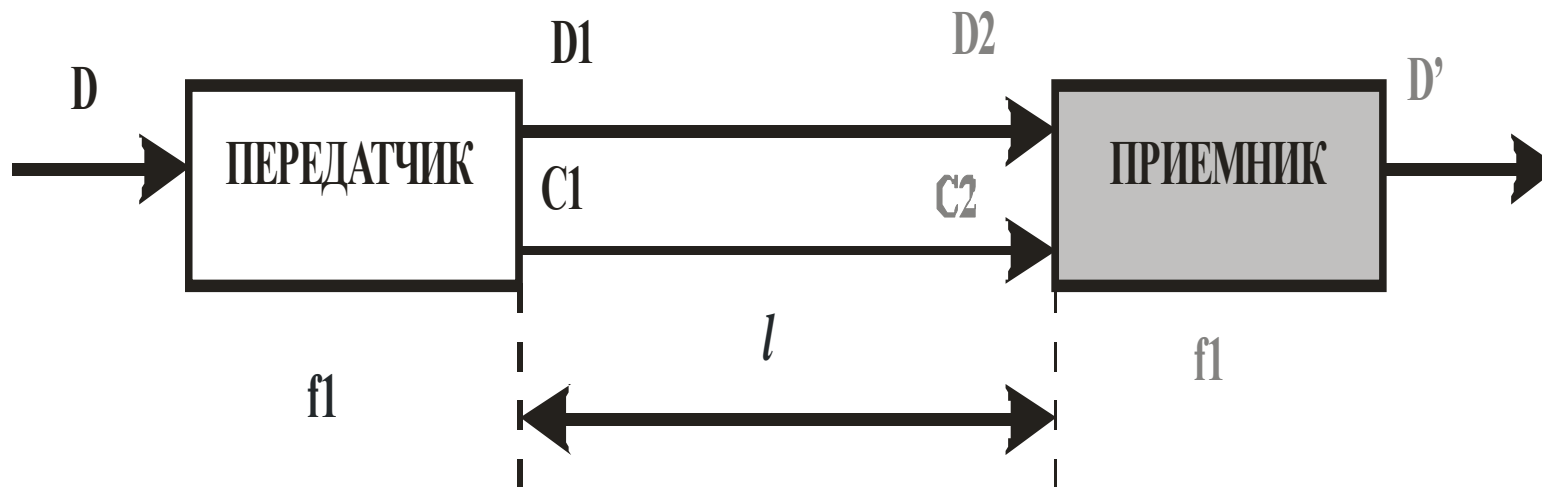




Временные диаграммы, поясняющие принцип битовой синхронизации ограничением длины двоичной последовательности кадра

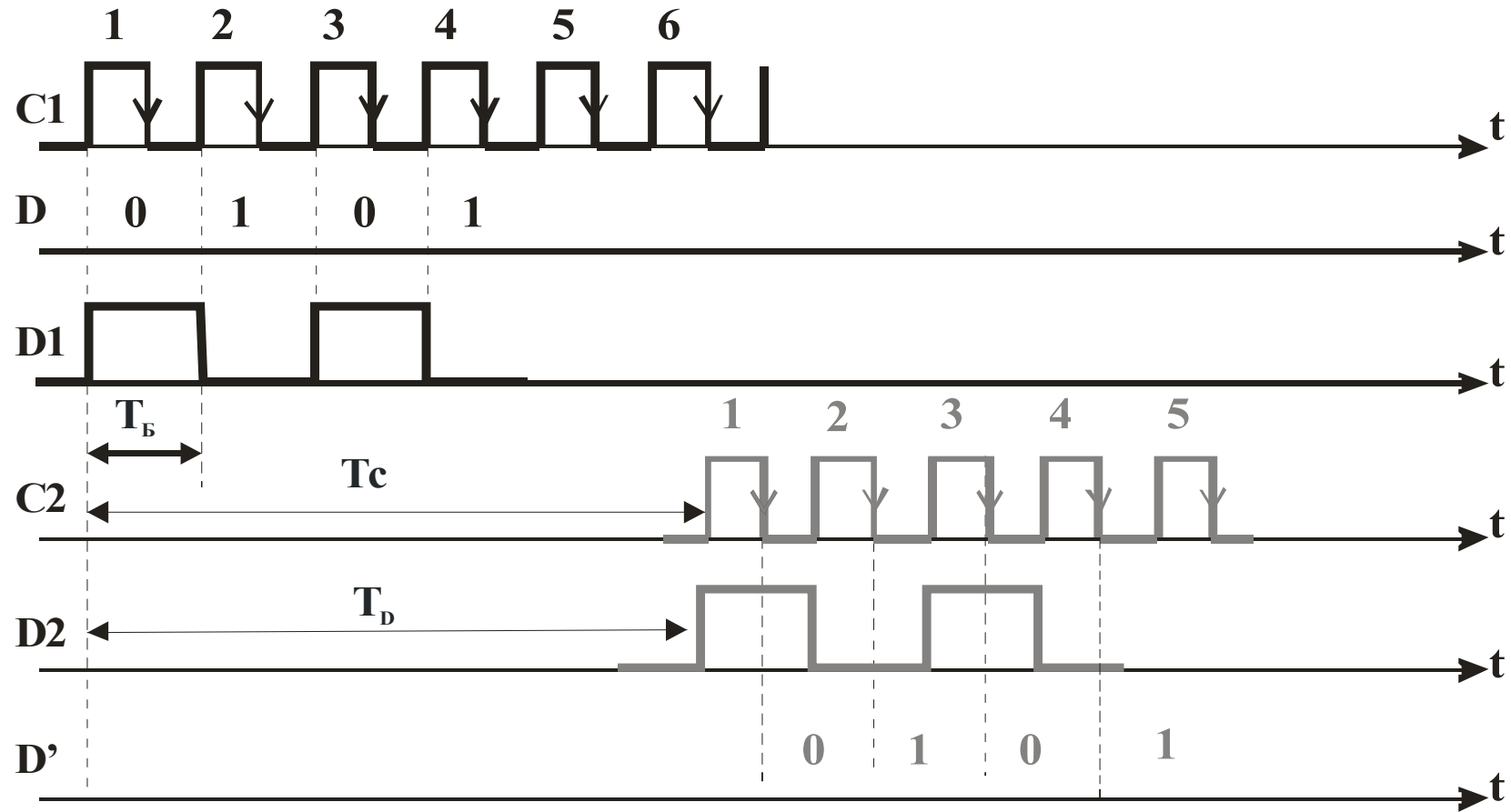
$n \cdot \Delta T \leq \frac{T_B}{2}$, где $\frac{1}{f_1} - \frac{1}{f_2} = \Delta T$ и n — число битовых интервалов в кадре.

Битовая синхронизация передачей синхроимпульса по отдельной дополнительной линии.

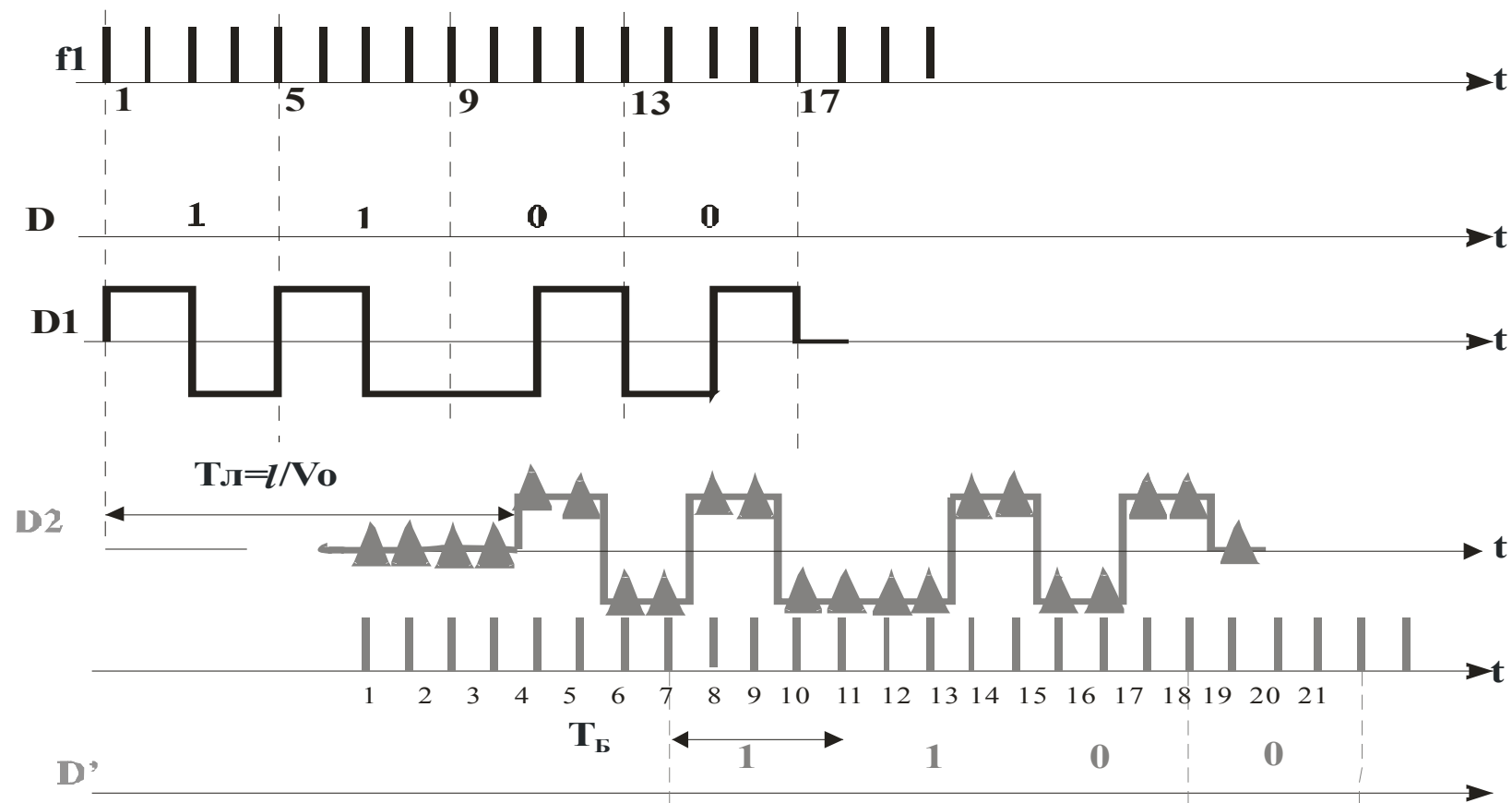


Битовая синхронизация передачей синхроимпульса по отдельной дополнительной линии.

$$|T_C - T_D| = \Delta T \leq \frac{1}{2} T_B, \quad T_C = \frac{l_C}{V_{0C}}, \quad T_D = \frac{l_D}{V_{0D}}$$



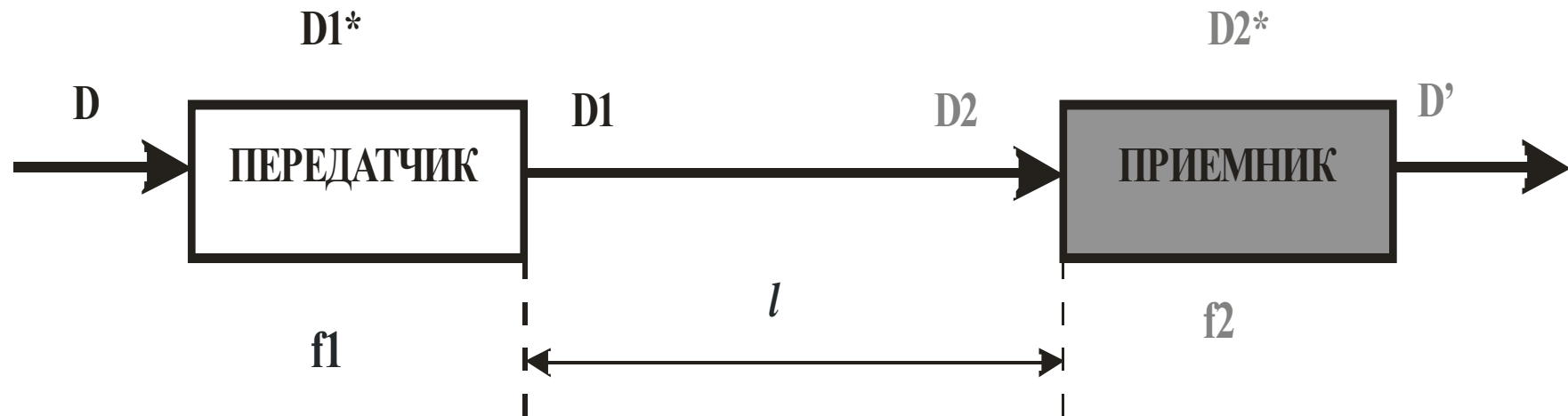
Битовая синхронизация с использованием синхронизирующихся кодов.



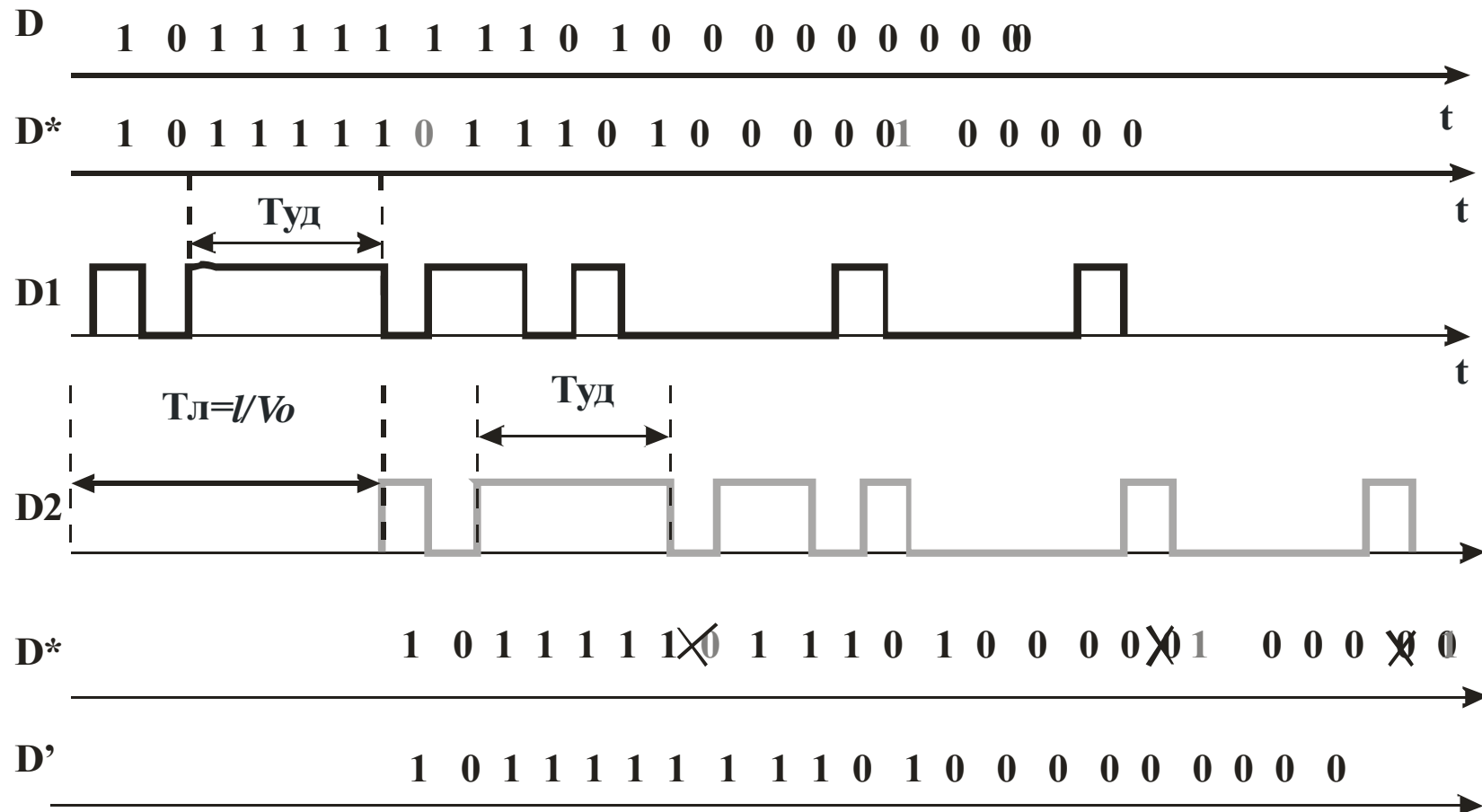
Временные диаграммы, поясняющие принцип битовой синхронизации с использованием

синхронизирующего кода Манчестер-2

Битовая синхронизация с применением процедуры битстаффинга



Битовая синхронизация с применением процедуры битстаффинга



Временные диаграммы, поясняющие принцип битовой синхронизации с применением процедуры битстаффинга.

Битовая синхронизация с применением процедуры скремблирования

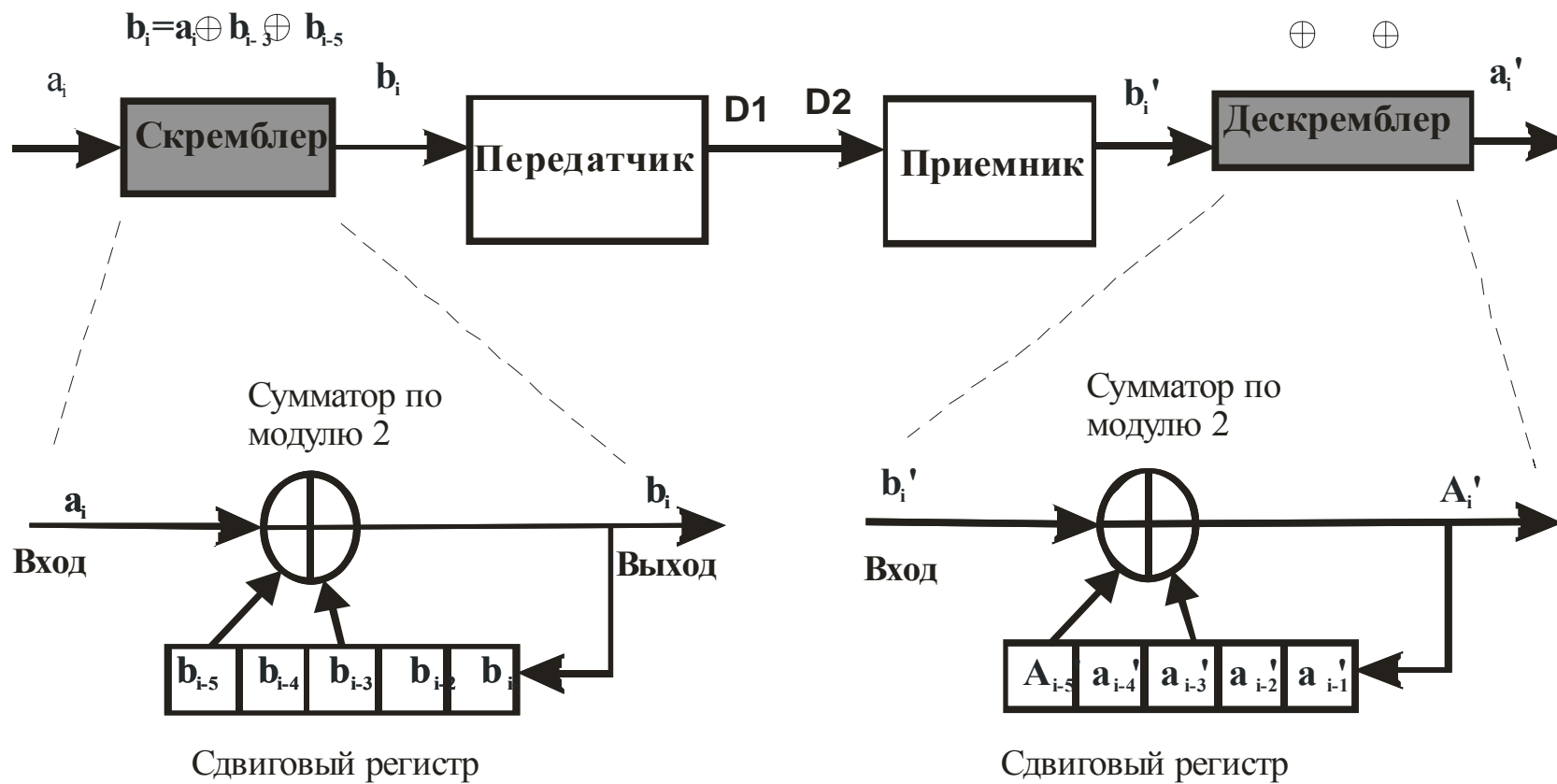
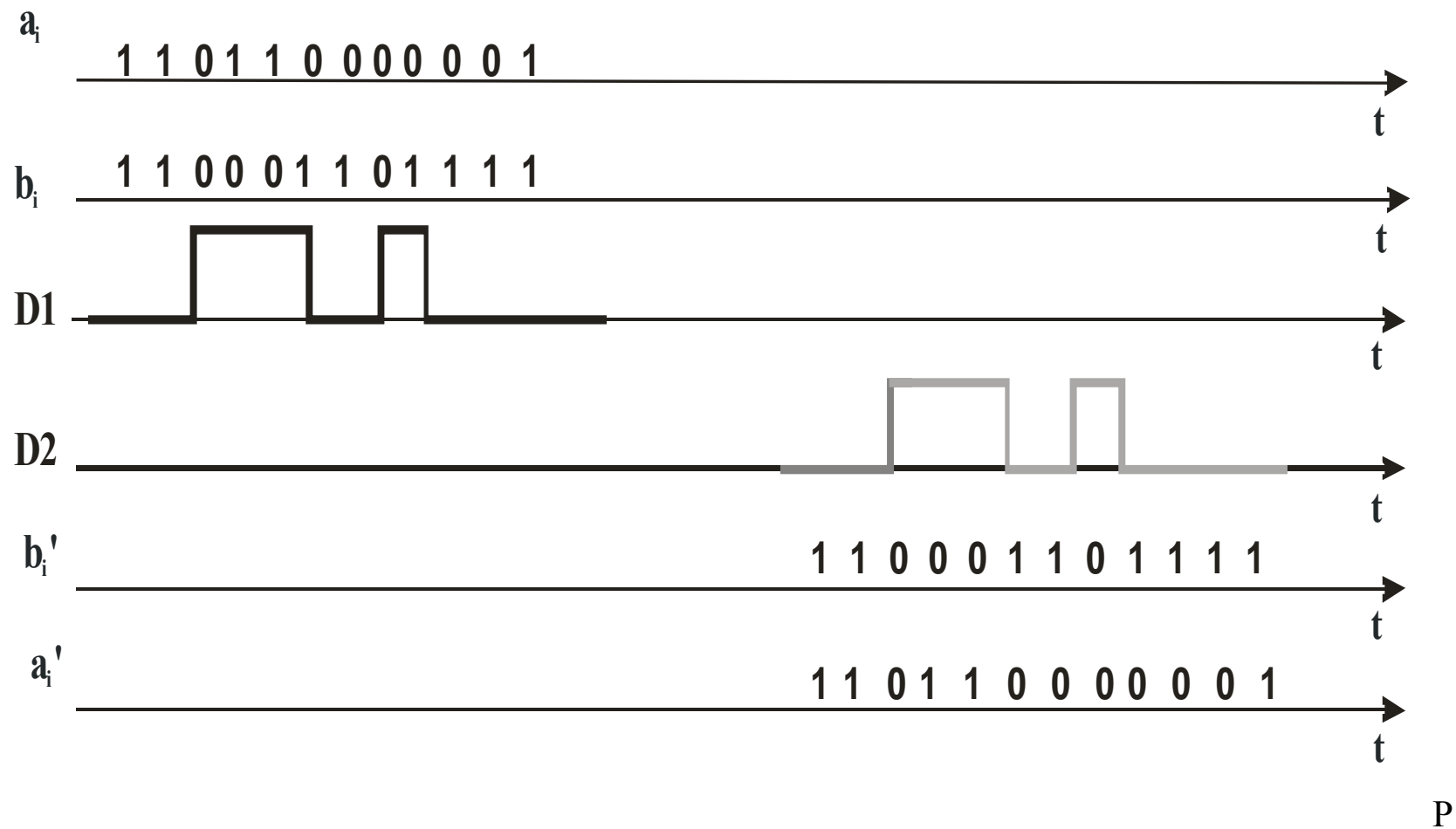


Схема передачи информации при использовании скремблирования



Временные диаграммы, поясняющие принцип битовой синхронизации с применением процедуры скремблирования.

Кадровая синхронизация при последовательной передаче

Проблема заключается в определении приемником первого информационного (значащего) бита в двоичной последовательности (кадре, фрейме, дейтаграмме), приходящей по линии связи на вход приемника асинхронно (в произвольный момент времени).

Используются, по крайней мере, два метода её решения:

- 1)ограничение (обрамление) кадра открывающими и закрывающими флагами;
- 2)соглашения по временной диаграмме передачи.

Ограничение (обрамление) кадра открывающими и закрывающими флагами.

В этом случае кадровая синхронизация обеспечивается обрамлением

тела кадра (адресное поле, поле управления, поле данных, контрольное поле) специальными флагами.

Флаговое обрамление кадра применяется в большинстве последовательных интерфейсов, например в системных интерфейсах PCI-XP, Compact PCI-XP, сетевых интерфейсах ETHERNET, FDDI, CAN, FlexRay, интерфейсах периферийных устройств RS-232C, RS-422A, RS-485, IrDA, USB 1.0, USB 2.0.

SDLC-кадр:

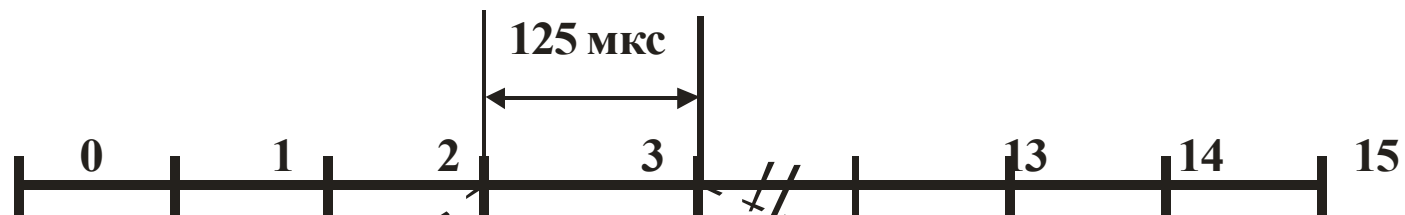
	Адрес получа- теля	Поле управле- ния	Информа- ционное поле	Поле контрольной последовательности	
01111110 1байт Открываю- щий флаг			Поле с любым числом байт, обрабатываемое процедурой битстафинга, т.е. в этом поле никогда не будет более пяти логических “1” подряд		01111110 1байт Закрываю- щий флаг

Кадр SDLC

Синхронный кадр.

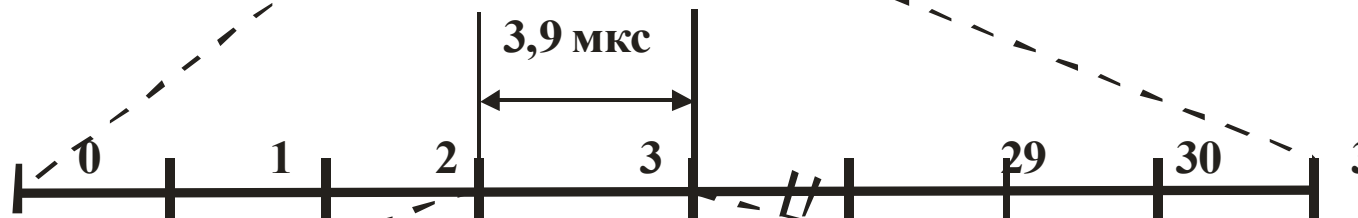
Синхронный кадр используется в цифровых телефонных линиях Е-1. Каждый синхронный кадр (сверхцикл) длительностью 2 мс включает в себя 16 циклов по 125 мкс. Каждый раз через 125 мкс в одном из 32 каналов цифровой телефонии Е-1 передается 1 байт информации.

Сверхцикл



$$125 \cdot 16 = 2 \text{ мс}$$

Цикл



$$3,9 \cdot 32 = 125 \text{ мкс}$$

Временной
интервал



$$0,4875 \cdot 8 = 3,9 \text{ мкс}$$

Синхронный кадр E-1