

## Интерфейс I<sup>2</sup>C

### Основные технические характеристики

Интерфейс I<sup>2</sup>C (*Inter IC Bus* - шина соединения микросхем) — синхронная последовательная шина, обеспечивающая двустороннюю передачу данных между подключенными устройствами по двум сигнальным линиям.

Шина ориентирована на 8-битные передачи.

Передача данных может быть как одноадресной, к выбранному устройству, так и широковещательной. Для выборки устройств используется 7-битная или 10-битной адресация.

Уровни сигналов — совместимые с логикой ТТЛ, КМОП, n-МОП, как с традиционным питанием +5 В так и с низковольтным (+3,3 В и ниже).

Скорость передачи данных до 3,4 Мбит/с.

Поддержка подключения нескольких устройств.

Поддержка «горячего» подключения/ отключения и технологии PnP.

Интерфейс мультиплексный – во время обмена данными один «мастер» и один или несколько «подчиненных» устройств.

### Основные термины, используемые при описании работы с шиной I<sup>2</sup>C:

Передатчик – устройство, передающее данные по шине

Приемник – устройство, получающее данные с шины

«Master» - устройство, которое инициирует передачу и формирует тактовый сигнал

«Slave» - устройство, к которому обращается «Master»

Multi-«Master» - режим работы шины I<sup>2</sup>C с более чем одним «Master»

Арбитраж – процедура, гарантирующая, что только один «Master» управляет шиной

Синхронизация – процедура синхронизации тактового сигнала от двух или более устройств

**Протокол** позволяет взаимодействовать на одной шине устройствам с различным быстродействием интерфейса. Требования к временным параметрам сигналов весьма свободные, так что на компьютерах и микроконтроллерах, не имеющих аппаратной поддержки шины I<sup>2</sup>C, ее протокол может быть реализован даже чисто программно.

В I<sup>2</sup>C определены три режима передачи: *стандартный* — *Standard Mode (S)* — со скоростью 0-100 Кбит/с, *быстрый* — *Fast Mode (F)* — со скоростью 0-400 Кбит/с, и *высокоскоростной* — *High speed (Hs)* — со скоростью до 3,4 Мбит/с.

Режимы F и S логически работают одинаково, и для них используют обобщенное обозначение F/S.

Интерфейс I<sup>2</sup>C использует две сигнальные линии: данных SDA (Serial Data) и синхронизации SCL (Serial Clock). В обменах участвуют два устройства — *ведущее (master)* и *ведомое (slave)*. Ведущее и ведомое устройства могут выступать в роли и *передатчика*, и *приемника* данных. Протокол допускает наличие на шине нескольких ведущих устройств и имеет простой механизм арбитража (разрешения коллизий).

Протокол обмена для обычных устройств F/S иллюстрирует рис. X.1. Обе сигнальные линии имеют нагрузочные резисторы, «подтягивающие» их уровень к напряжению питания. На устройстве к каждой линии подключен приемник и передатчик типа «открытый коллектор» («открытый сток»), у ведомого устройства передатчик на линии SCL не обязателен. Все одноименные передатчики соединяются по схеме «Монтажное И»: уровень в линии будет высоким, если все передатчики пассивны, и низким, если хоть у одного передатчика выходной транзистор открыт. В покое (*Idle*, исходное состояние шины) все передатчики пассивны. Синхронизацию задает ведущее устройство, но ведомое, если оно не имеет достаточного быстродействия, может замедлять обмен данными.

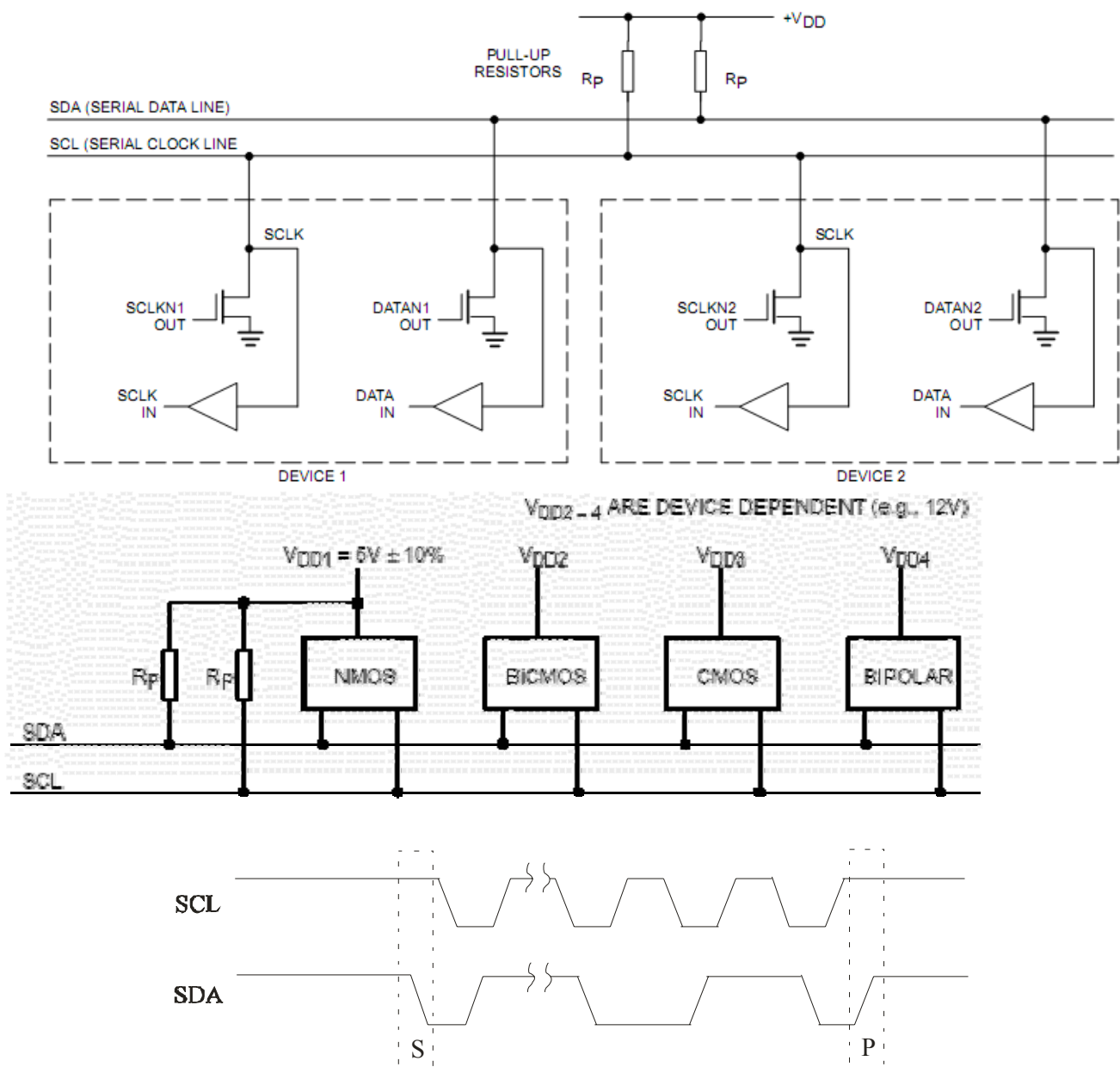


Рис. X.1.

Начало любой передачи — условие *Start* — инициируется ведущим устройством, убедившись в том, что шина свободна (высокий уровень сигналов SCL и SDA).

Условие *Start* (на диаграммах обозначается как S) — перевод сигнала SDA из высокого в низкий при высоком уровне SCL.

Завершается операция переводом сигнала SDA из низкого уровня в высокий при высоком уровне SCL — условие *Stop* (обозначается как P), также вводящееся ведущим устройством.

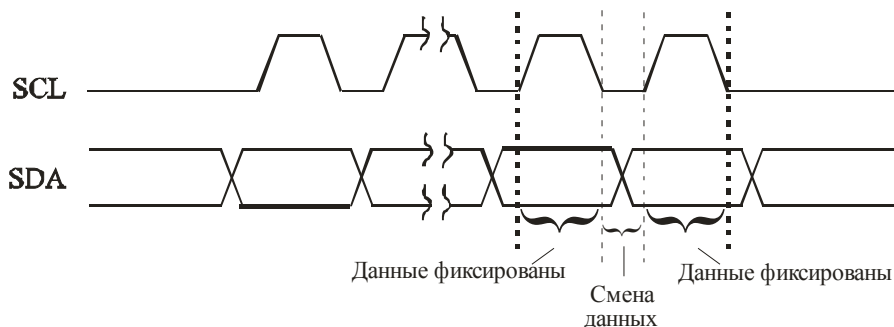


Рис. X.2.

При передаче данных состояние линии SDA может изменяться только при низком уровне SCL, биты данных считаются действительными во время высокого уровня SCL.

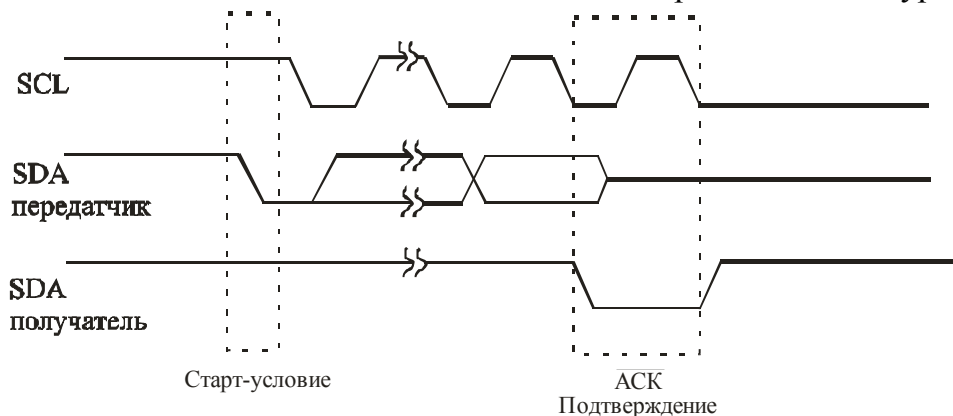
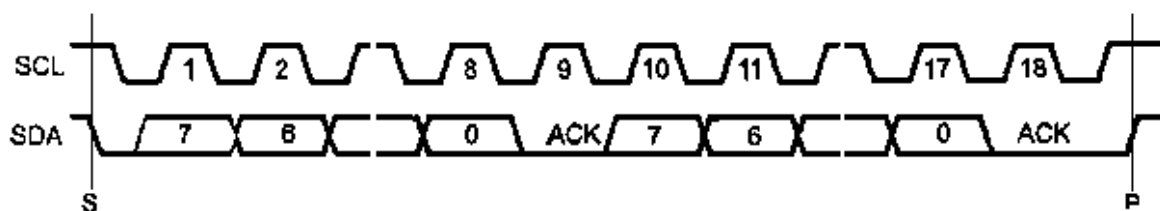


Рис. X.3.

Каждая посылка данных состоит из 8 бит данных, формируемых передатчиком, после чего передатчик на один такт освобождает линию данных для получения подтверждения.



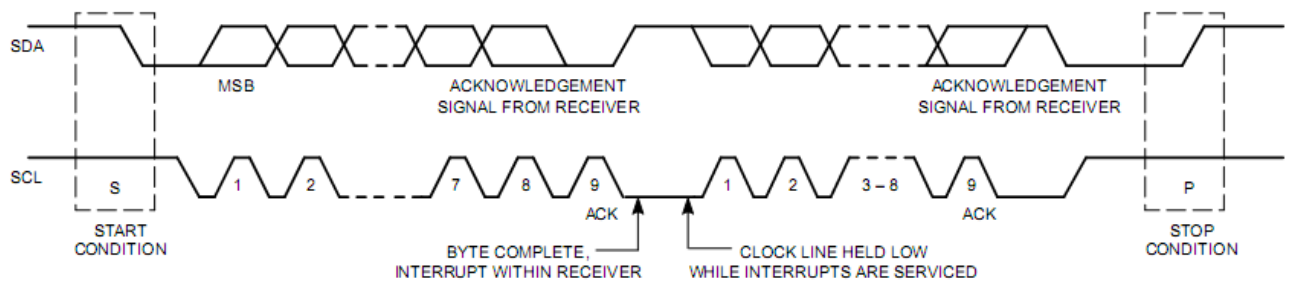


Рис. X.4.

Приемник во время девятого такта формирует бит подтверждения Ack, по которому передатчик убеждается, что передача прошла успешно. После передачи бита подтверждения ведомое устройство может задержать следующую посылку, удерживая линию SCL на низком уровне. Ведомое устройство в режимах F/S может замедлить передачу по шине и на уровне приема каждого бита, удерживая SCL на низком уровне после его спада, сформированного передатчиком. Поэтому ведущее устройство должно генерировать сигнал SCL, анализируя состояние этой линии: сняв этот сигнал, новый импульс (открытие ключа передатчика) оно имеет право вводить, лишь убедившись, что сигнал SCL вернулся в пассивное состояние (высокий уровень). В противном случае синхронизация будет потеряна. Сигнал SCL может быть растянут и другим устройством, пытающимся захватить шину в это же время. Тактовый сигнал SCL не обязательно будет равномерным: время его нахождения на низком уровне будет определяться максимальным временем, в котором его захочет удержать самое медленное из устройств, участвующих в данном обмене (даже и конфликтующих).

### Адресация в шине I2C

Каждое устройство, подключённое к шине, может быть программно адресовано по уникальному адресу.

Для выбора приемника сообщения ведущий использует уникальную адресную компоненту в формате посылки. При использовании однотипных устройств, ИС часто имеют дополнительный селектор адреса, который может быть реализован как в виде дополнительных цифровых входов селектора адреса, так и в виде аналогового входа. При этом адреса таких однотипных устройств оказываются разнесены в адресном пространстве устройств, подключенных к шине.

В обычном режиме используется 7-битная адресация.

Процедура адресации на шине I2C заключается в том, что первый байт после сигнала СТАРТ определяет, какой ведомый адресуется ведущим для проведения цикла обмена. Исключение составляет адрес "Общего вызова", который адресует все устройства на шине. Когда используется этот адрес, все устройства в теории должны послать сигнал подтверждения. Однако, устройства могут обрабатывать "общий вызов" на практике встречаются редко.

Первые семь битов первого байта образуют адрес ведомого. Восьмой, младший бит, определяет направление пересылки данных. "Ноль" означает, что ведущий будет

записывать информацию в выбранного ведомого. "Единица" означает, что ведущий будет считывать информацию из ведомого.

После того, как адрес послан, каждое устройство в системе сравнивает первые семь бит после сигнала СТАРТ со своим адресом. При совпадении устройство полагает себя выбранным как ведомый-приёмник или как ведомый-передатчик, в зависимости от бита направления.

Адрес ведомого может состоять из фиксированной и программируемой части.

Часто случается, что в системе будет несколько однотипных устройств (к примеру ИМС памяти, или драйверов LED-индикаторов), поэтому при помощи программируемой части адреса становится возможным подключить к шине максимально возможное количество таких устройств. Количество программируемых бит в адресе зависит от количества свободных выводов микросхемы. Иногда используется один вывод с аналоговой установкой программируемого диапазона адресов, как это, к примеру, реализовано в ИМС SAA1064. При этом в зависимости от потенциала на этом адресном выводе ИМС, возможно смещение адресного пространства драйвера так, чтобы однотипные ИМС не конфликтовали между собой на общей шине.

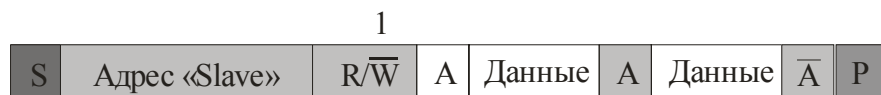
Все ИМС, поддерживающие работу в стандарте шины I2C, имеют набор фиксированных адресов, перечень которых указан производителем в описаниях контроллеров.



Передача

Передаваемые данные  
(n байтов + ACK)

а) Передача от «Master» к «Slave»



Чтение

Принимаемые данные  
(n байтов + ACK)

б) Чтение из «Slave»

От «Master» к «Slave»

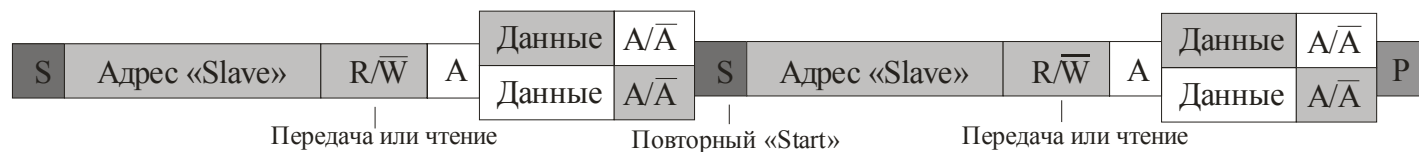
От «Slave» к «Master»

«Start» - условие

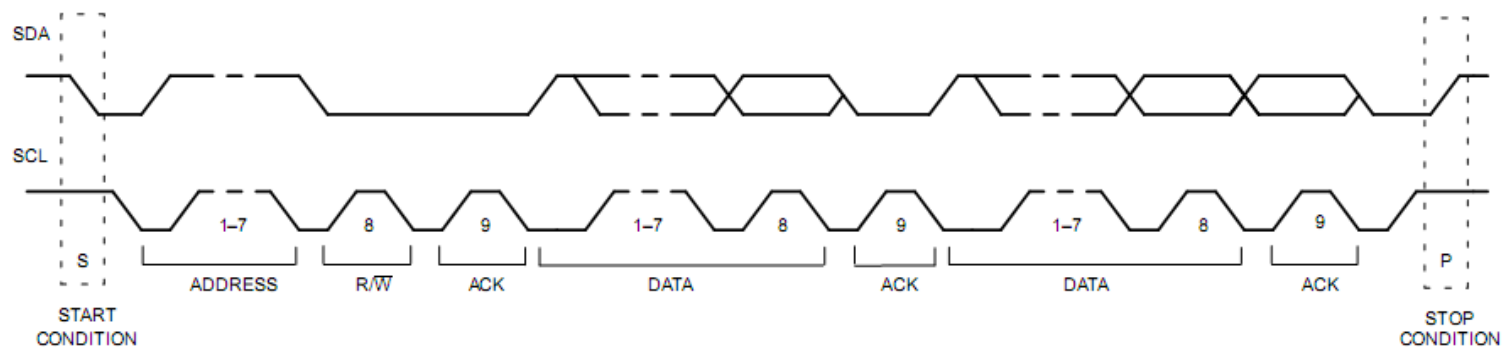
«Stop» - условие

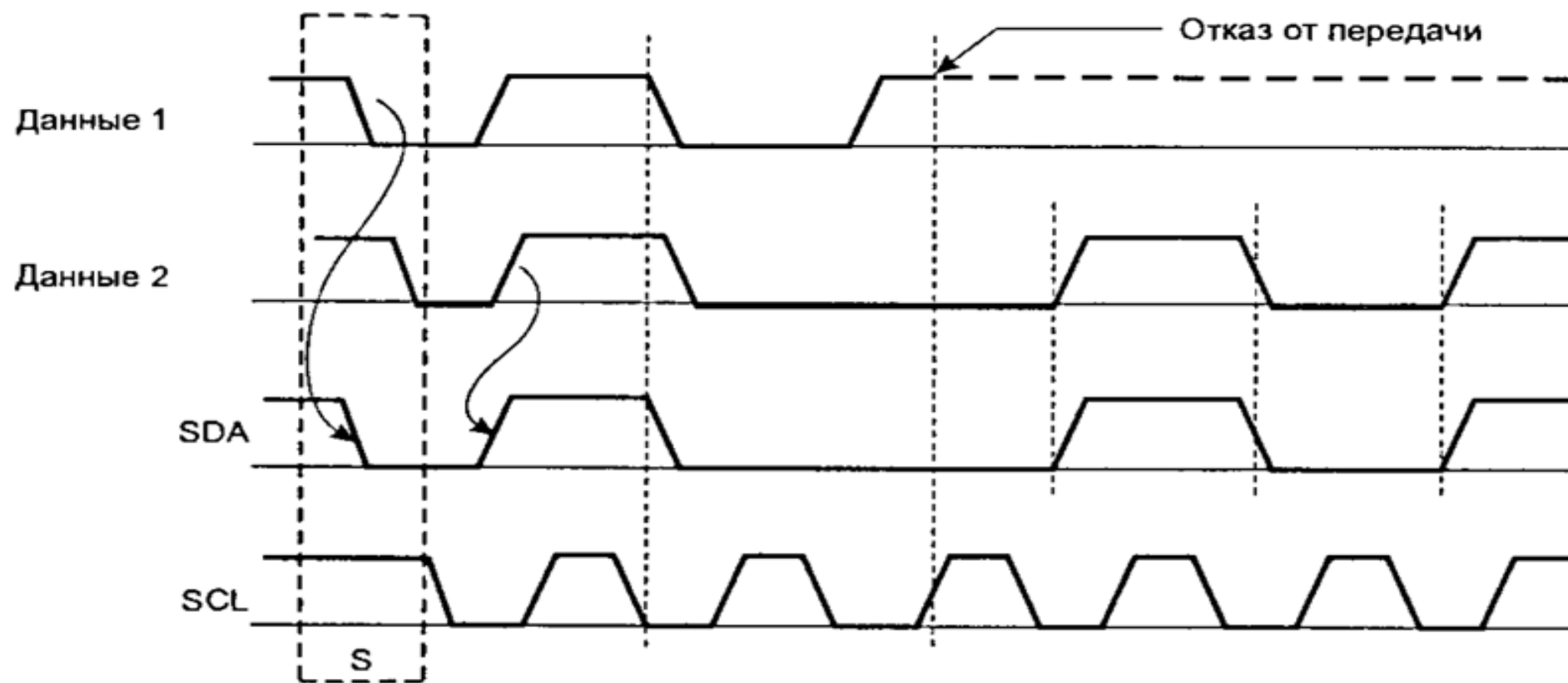
Бит подтверждения (ACK)

Отсутствие подтверждения



в) Комбинированный формат — передача/чтение





Мульти - мастер режим передачи.