山东大学 计算机科学与技术 学院

数字逻辑 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202000130143 | 姓名： 郑凯饶 | | 班级： 20.1 |
| 实验题目： 十进制数加法器 | | | |
| 实验学时：4 | | 实验日期： 1110 | |
| 实验目的：   1. 学习组合电路的设计方法； 2. 了解余3码的构成和十进制数加法器的构成和工作原理； 3. 熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：   1. 操作系统为window xp的计算机一台； 2. 数字逻辑与计算机组成原理实验系统一台； 3. 4位二进制并行加法器74283和六非门7404. | | | |
| 软件环境：  Quartus 2 | | | |
| 实验步骤与内容：  （包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期（采用什么方式展示，如采用那几个发光二极管等），以及最终实现的结果（是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果））   1. 根据实验手册进行电路原理图连接，并完成相关引脚定义：  1. 十进制数加法器的原理剖析：   为什么使用余3码，而不是8421码？  答：使用余3码可以大大简化电路。电路本身进行的是二进制运算，4位的二进制数加法器是逢16进1的，通过余3码可以将进位转化为逢10进1，并且sum4-sum1是正确的十进制数，若没有进位则通过+10得到正确的十进制数，最后再+3得到余3码。所以在电路原理图中体现的进位则+3，没有进位则+13. | | | |
| 结论分析与体会：  这次验收意外遭到zzy学长的问题轰炸。一开始我们理解电路是通过电路输入输出的数学关系上去理解，而不是电路设计的意义。所以不出意外地，我们基本没有答上来，但是在学长的引导下我们对这个十进制数加法器的设计初衷进行了深刻的思考，收获良多。 | | | |