山东大学 计算机科学与技术 学院

数字逻辑 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202000130143 | 姓名： 郑凯饶 | | 班级： 20.1 |
| 实验题目： 译码器 | | | |
| 实验学时：4 | | 实验日期： 1117 | |
| 实验目的：   1. 学习组合电路的设计方法； 2. 了解译码器的工作原理和构成； 3. 熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：   1. 操作系统为window xp的计算机一台； 2. 数字逻辑与计算机组成原理实验系统一台； 3. 三输入与门和非门电路若干。 | | | |
| 软件环境：  Quartus 2 | | | |
| 实验步骤与内容：  （包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期（采用什么方式展示，如采用那几个发光二极管等），以及最终实现的结果（是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果））   1. 根据实验手册进行电路原理图连接，并完成相关引脚定义：  1. 原理图生成元件符号图，并在电路图中作为“黑箱”使用：  1. 3 — 8译码器原理：   将一个二进制数作为输入，将其映射至一个输出。 | | | |
| 结论分析与体会：  这次实验我们尝试使用元件符号图，将原理图文件bsf以及符号图文件sym添加至要使用该图的项目下即可。过程中我们理解了软件项目中各个文件的作用。 | | | |