计算机科学与技术学院计算机系统原理课程实验报告

|  |  |  |
| --- | --- | --- |
| 实验题目：设计MIPS五级流水线模拟器中的 Cache | | 学号：202000130143 |
| 班级：2020级1班 | 姓名：郑凯饶 | |
| Email：1076802156@qq.com | | |
| 实验目的：   1. Cache结构及功能的设计； 2. 了解指令流水线运行的过程； 3. 探究Cache对计算机性能的影响 | | |
| 实验软件和硬件环境：  DellLatitude5411  Intel(R)Core(TM)i5-10400HCPU@2.60GHz(8GPUs),~2.6GHz  Windows10家庭中文版64位（10.0，版本18363） | | |
| 实验原理和方法：  计算机系统基础 P244 6.4高速缓冲存储器及P213 5.3 流水线方式下指令的执行 | | |
| 实验步骤：  1. 题目给了一个强大的MIPS流水线计时模拟器，我们按要求在其基础上增加Cache：    我们的Cache定义：    CacheBlock为一个Cache行（块），它有LRU位frequency，有效位v，脏位changed，标记位tag（这些我们并未考虑其实际所占空间）以及数据区域data。  CacheBlock根据一定规则组成setNumber组ways路的Cache。  定义INSTRUCTION\_CACHE和DATA\_CACHE:    初始化操作：    初始化各位，比较重要的是将LRU位赋为 ,之后组内选择替换块，选择的块，最近使用的.  读操作：    写操作：  流程和读操作几乎相同，最后一步为将数据写入Cache.  清理操作:    将Cache中所有数据和主存同步。  2.延时设计：  增加变量locked:  发生访问内存操作，即Cache缺失替换时，将locked置为50；在pipe.c文件流水线设计部分增加阻塞操作。 | | |
| 结论分析与体会：  通过这次实验我们熟悉了Cache设计和指令流水线运行过程。在和队友讨论合作的过程中我获益颇深，最终的“ALL PASS”肯定了我们“结对编程”的成果。但这次终归只是Cache的简单模拟，还有很多诸如Cache各项指标对模拟器性能的测试、对替换策略的优化、设计benchmark测试性能的拓展实验因为时间原因我们没有完成。希望以后有机会我们能更深入探究计算机系统的魅力。 | | |