山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202000130143 | 姓名： 郑凯饶 | | 班级：2020级1班 |
| 实验题目：  二进制补码加法器实验 | | | |
| 实验学时：2 | | 实验日期： 2022-4-24 | |
| 实验目的：  根据补码加法器的模型，理解数据流及其时序关系。  掌握加法器实现补码加、减运算的基本原理。 | | | |
| 实验软件和硬件环境：  软件环境：  QuartusII软件  硬件环境：  1.实验室台式机  2.计算机组成与设计实验箱 | | | |
| 实验原理和方法：   1. 补码加、减运算器结构图     模块讲解：  原反控制器：用于转换，减法运算时将Y连同符号位取反加一。  累积器：类似ALU中ACC寄存器，存放加数、被减数。  加法器（符号位）：用于计算双符号位。  加法器（数据）：用于计算4位数据位。  溢出判断：异或门判断双符号位是否相同。 | | | |
| 实验步骤：  连接电路原理图：  D:\study\大二下\计算机组成与设计\实验\6\A50679D54EC70CF3DE1FB0BA4DC2417A.jpg  连接电路输出时不能直接连接在运算器件的输出，要通过寄存器，否则在输入时输出也随之变化。通过寄存器隔离输入交互。  引脚分配：  C:\Users\DELL\AppData\Local\Microsoft\Windows\INetCache\Content.Word\5EDBD3571E60B352DCE92C0045D8BD39.jpg  测试、调试： 减法操作：  初始状态，设置减数为3.    0 – 3 = -3    -3 – 3 = -6    -6 – 3 = -9    -9 – 3 = -12    -12 – 3 = -15    -15 – 3 = -2  此时发生溢出，溢出信号灯（D8）亮起。 | | | |
| 结论分析与体会：  这次的设计比较复杂，但是之前的实验让我们对运算器有了初步了解。我们解耦了整体设计，模块化地依次设计原反控制器、加法器向累加器的传送线路和溢出判断模块等等。在测试的过程中我们遇到了一些BUG，比如输出未经过寄存器、减法操作时符号位未取反，调试修改后我们完成了实验任务。 | | | |
|  | | | |