

An abstract graphic on the left side of the slide, featuring a complex network of yellow lines that resemble a circuit board or a tree structure. These lines are interspersed with small black and white dots, creating a dense, organic pattern against the yellow background.

Arquitetura de computadores

BARRAMENTOS DO SISTEMA

FELIPE G. TORRES

BARRAMENTOS DO SISTEMA

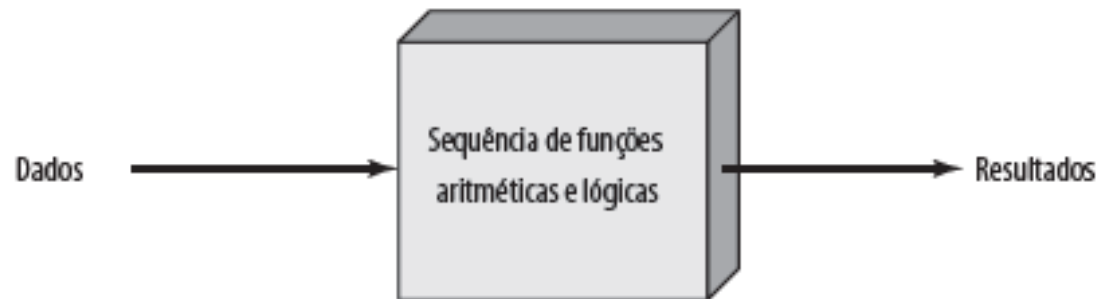
Um computador consiste em CPU, memória e componentes de E/S, com um ou mais módulos de cada tipo.

Esses componentes são interconectados de alguma forma para realizar a função básica do computador, que é executar programas.

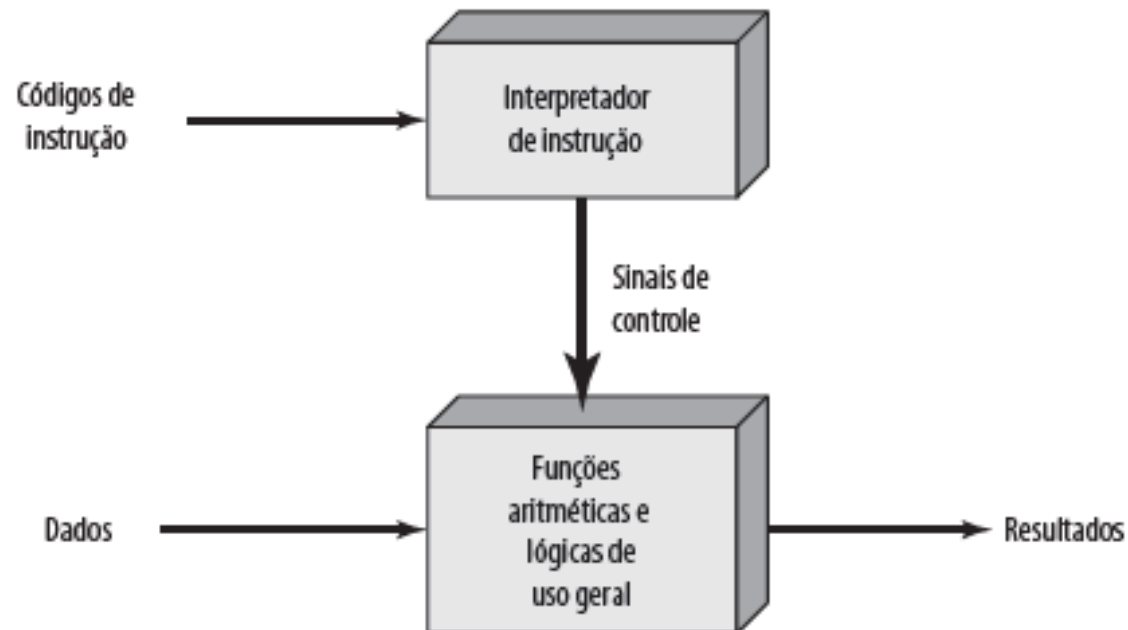
Logo se faz necessário um elemento que viabilize a interconexão entre esses elementos.

O mecanismo mais comum de interconexão dos componentes de um computador (processador, memória principal e módulos de E/S) usa um **barramento do sistema compartilhado** com múltiplas linhas.

BARRAMENTOS DO SISTEMA

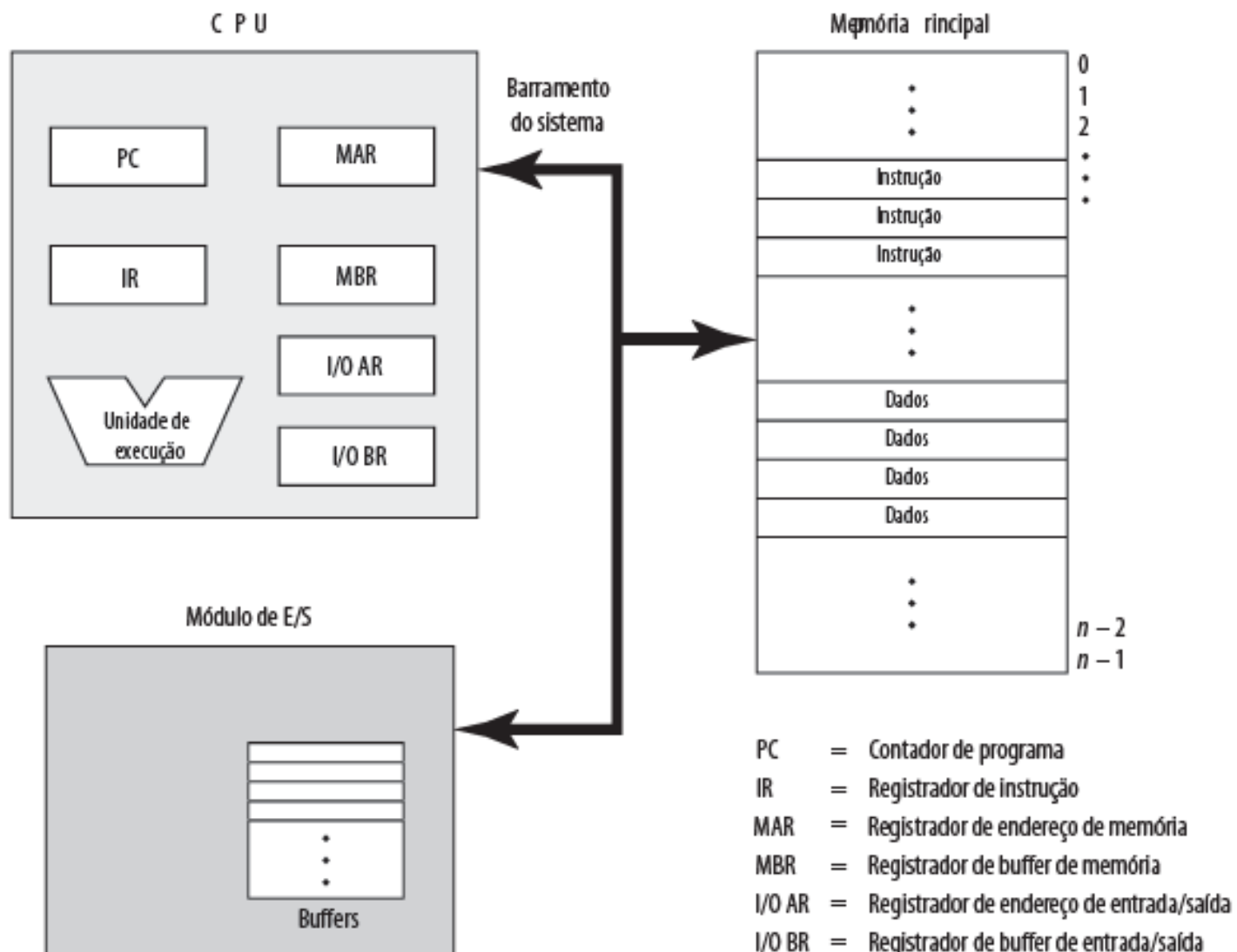


(a) Programação no hardware



(b) Programação no software

COMPONENTES DO COMPUTADOR: VISÃO DE ALTO NÍVEL



BARRAMENTOS DO SISTEMA

Um barramento é um caminho de comunicação que conecta dois ou mais dispositivos.

A característica-chave de um barramento é que ele é um meio de transmissão compartilhado.

Múltiplos dispositivos se conectam ao barramento, e um sinal transmitido por qualquer dispositivo está disponível para recepção por todos os outros dispositivos conectados ao barramento.

Se dois dispositivos transmitirem durante o mesmo período, seus sinais serão sobrepostos e ficarão distorcidos. Assim, somente um dispositivo de cada vez pode transmitir com sucesso.

BARRAMENTOS DO SISTEMA

Os sistemas de computação contêm diversos barramentos diferentes, que oferecem caminhos entre os componentes em diversos níveis da hierarquia do sistema de computação.

Um barramento que conecta os principais componentes do computador (processador, memória, E/S) é chamado de barramento do sistema.

As estruturas de interconexão de computador mais comuns são baseadas no uso de um ou mais barramentos do sistema.

ESTRUTURA DE BARRAMENTO

Um barramento do sistema consiste, normalmente, em cerca de 50 a centenas de linhas separadas. Cada linha recebe um significado ou função em particular.

Embora existam muitos projetos de barramento diferentes, em qualquer barramento as linhas podem ser classificadas em três grupos funcionais:

- **Linhas de dados**
- **Endereço**
- **Controle**

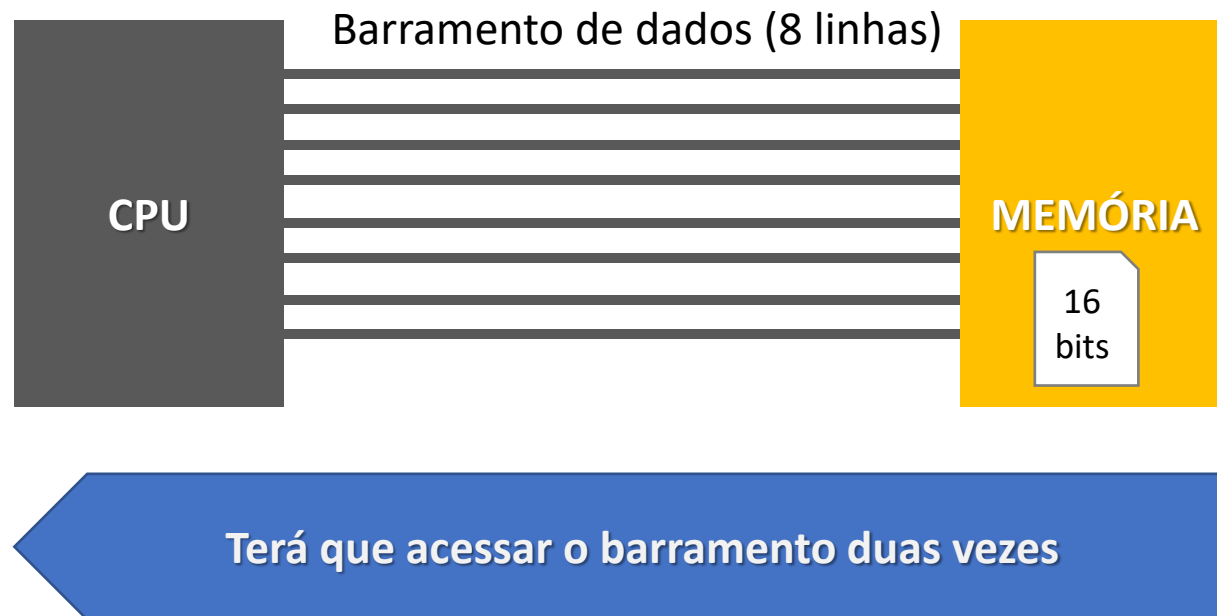
As **linhas de dados** oferecem um caminho para movimentação de dados entre os módulos do sistema. Essas linhas, coletivamente, são chamadas de **barramento de dados**.

O barramento de dados pode consistir em 32, 64, 128 ou ainda mais linhas separadas, sendo que o número de linhas é conhecido como a **largura do barramento de dados**.

Cada linha só pode transportar 1 bit de cada vez, o número de linhas determina quantos bits podem ser transferidos de uma só vez.

EXEMPLO DE BARRAMENTOS DE DADOS

Se um barramento possui 8 bits (linhas) e uma instrução possui 16 bits, o processador deverá acessar duas vezes o barramento de dados a cada ciclo de instrução.

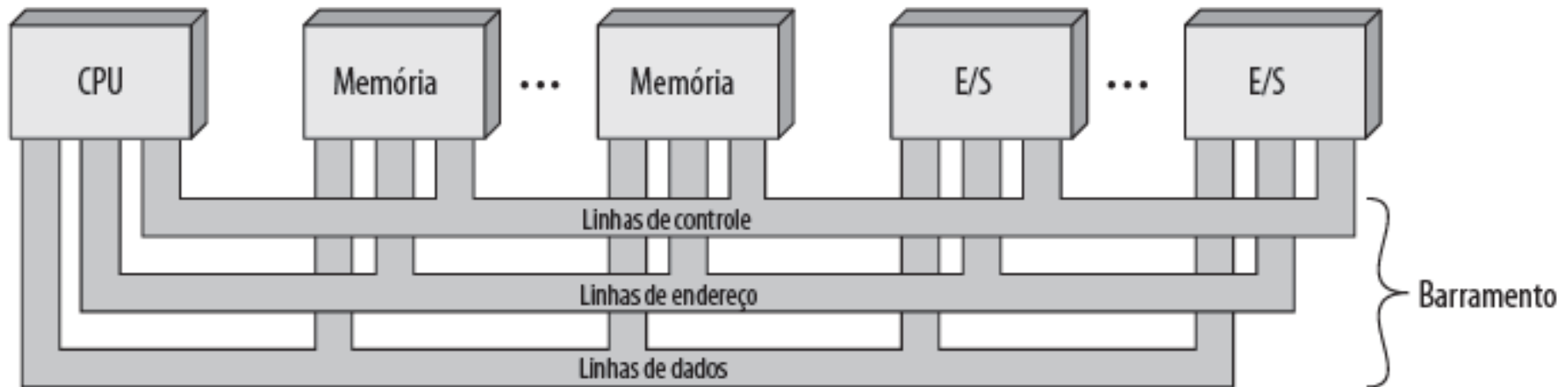


As **linhas de endereço** são usadas para designar a origem ou o destino dos dados no barramento de dados.

Por exemplo, se o processador deseja ler uma palavra (8, 16 ou 32 bits) de dado da memória, ele coloca o endereço da palavra desejada nas linhas de endereço.

A largura do barramento de endereço determina a capacidade de memória máxima possível do sistema.

LINHAS DE ENDEREÇOS



As **linhas de controle** são usadas para controlar o acesso e o uso das linhas de dados e endereço.

Como as linhas de dados e endereço são compartilhadas por todos os componentes, é preciso haver um meio de controlar seu uso.

Os sinais de controle transmitem informações de comando e sincronização entre os módulos do sistema.

HIERARQUIA DE BARRAMENTO MÚLTIPLO

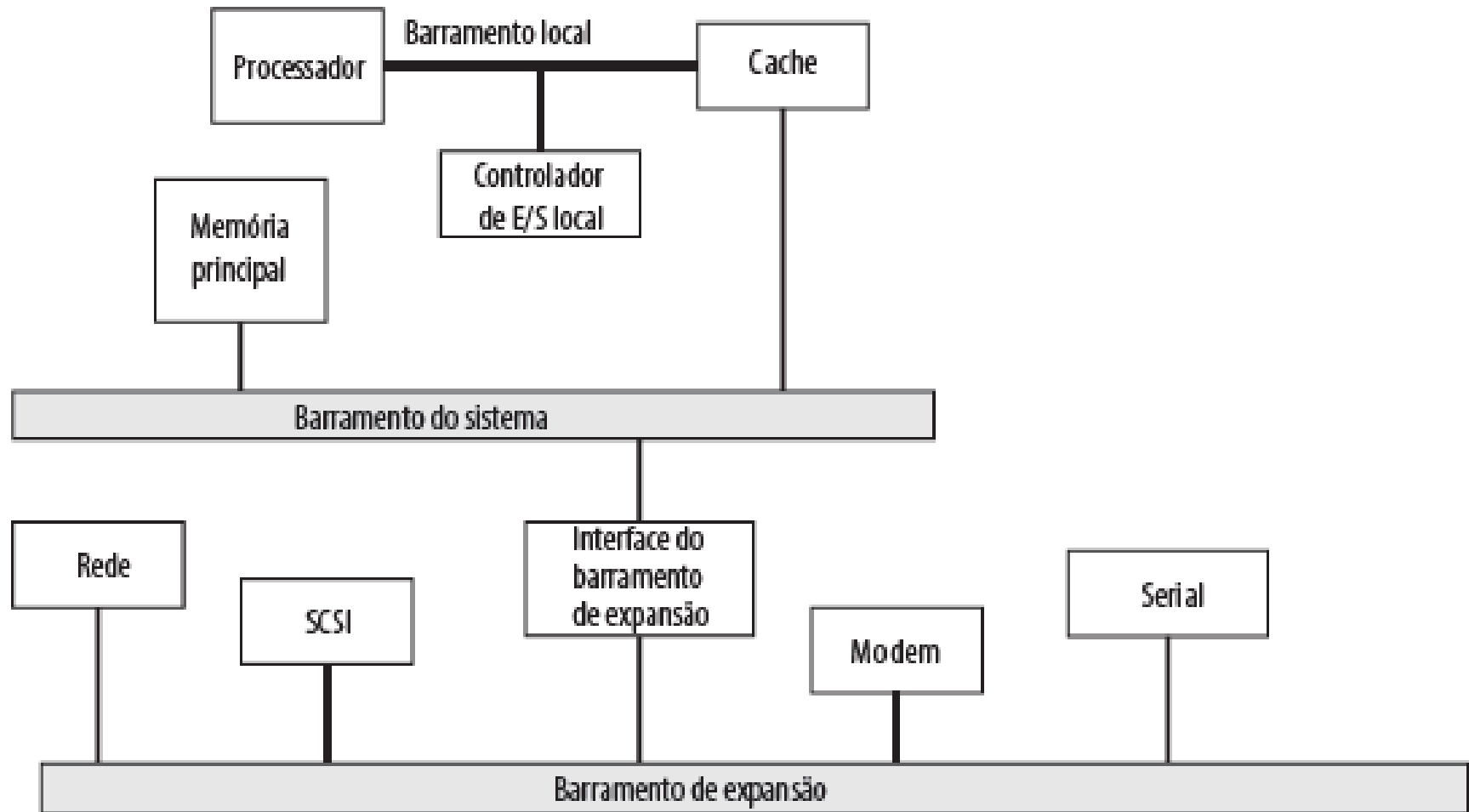
Se muitos dispositivos estiverem conectados ao barramento, o desempenho será prejudicado. Existem duas causas principais:

- Quanto mais dispositivos conectados ao barramento, maior o tamanho do barramento e, portanto, maior o atraso de propagação. Esse atraso determina o tempo gasto para os dispositivos coordenarem o uso do barramento.
- O barramento pode se tornar um gargalo à medida que a demanda de transferência de dados agregada se aproxima da capacidade do barramento.

ARQUITETURA DE BARRAMENTO TRADICIONAL

Essa arquitetura de barramento tradicional é razoavelmente eficaz, mas começa a fracassar quando um desempenho cada vez maior é visto nos dispositivos de E/S.

ARQUITETURA DE BARRAMENTO TRADICIONAL



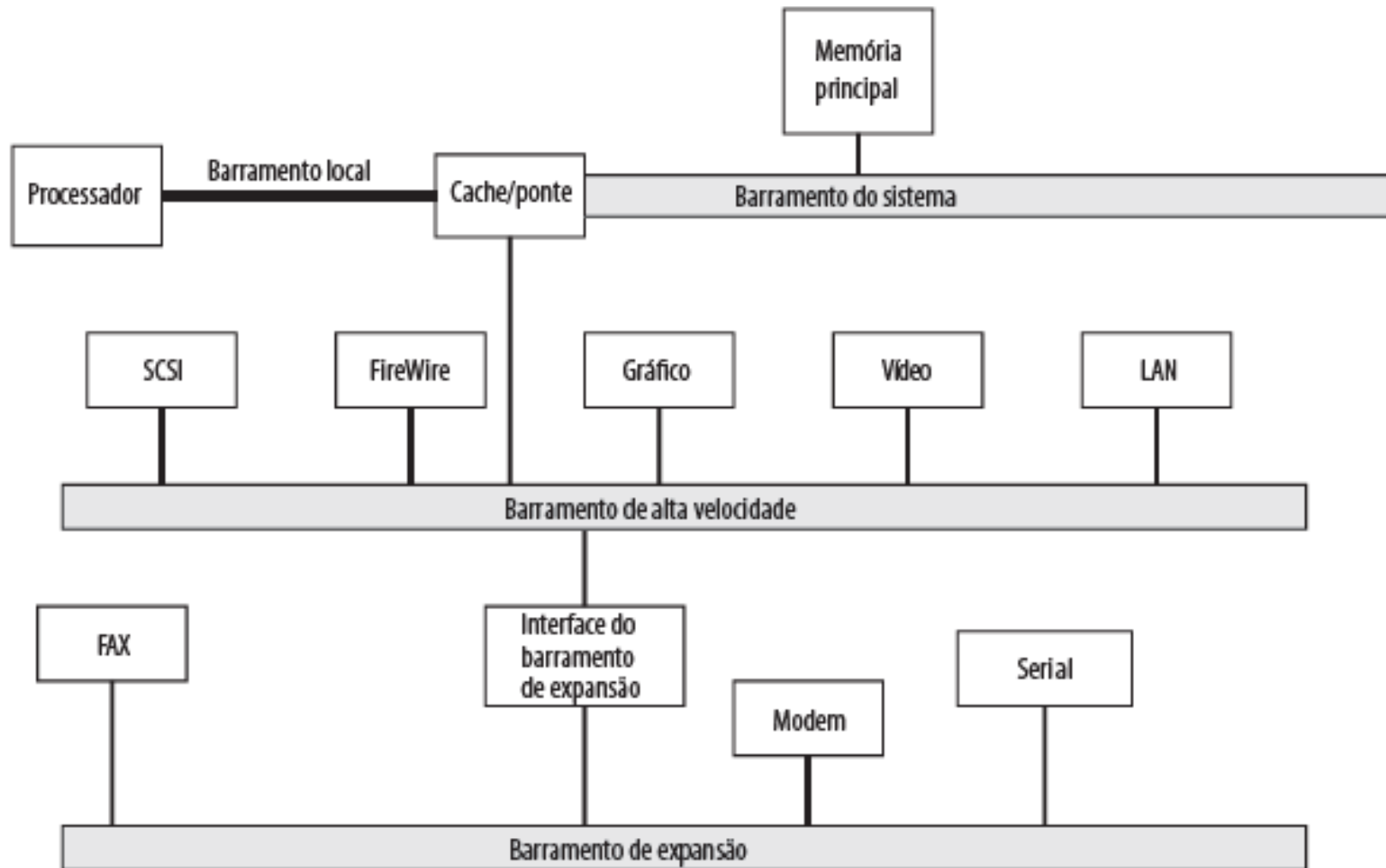
ARQUITETURA DE ALTO DESEMPENHO

Uma técnica comum usada pela indústria é montar um barramento de alta velocidade que esteja rigorosamente integrado ao restante do sistema, exigindo apenas uma ponte entre o barramento do processador e o barramento de alta velocidade.

Existe um barramento local que conecta o processador a um controlador de cache, que por sua vez, é conectado a um barramento do sistema que admite memória principal.

O controlador de cache é integrado a uma ponte, ou dispositivo de armazenamento temporário (buffer), que se conecta ao barramento de alta velocidade.

ARQUITETURA DE ALTO DESEMPENHO



PRINCIPAIS ASPECTOS DO SISTEMA DE BARRAMENTO

- Arbitração
- Temporização
- Largura do barramento

- O controlador ou árbitro de barramento, é responsável por alocar tempo no barramento.
- O dispositivo pode ser um módulo separado ou parte do processador. Em um esquema distribuído, não existe um controlador central.
- Cada módulo contém lógica de controle de acesso e os módulos atuam juntos para compartilhar o barramento.

- Os métodos de arbitração podem ser:

- **Centralizados**

Um único dispositivo (módulo em separado ou parte do processador), é responsável por alocar o tempo de utilização do barramento.

- **Distribuídos**

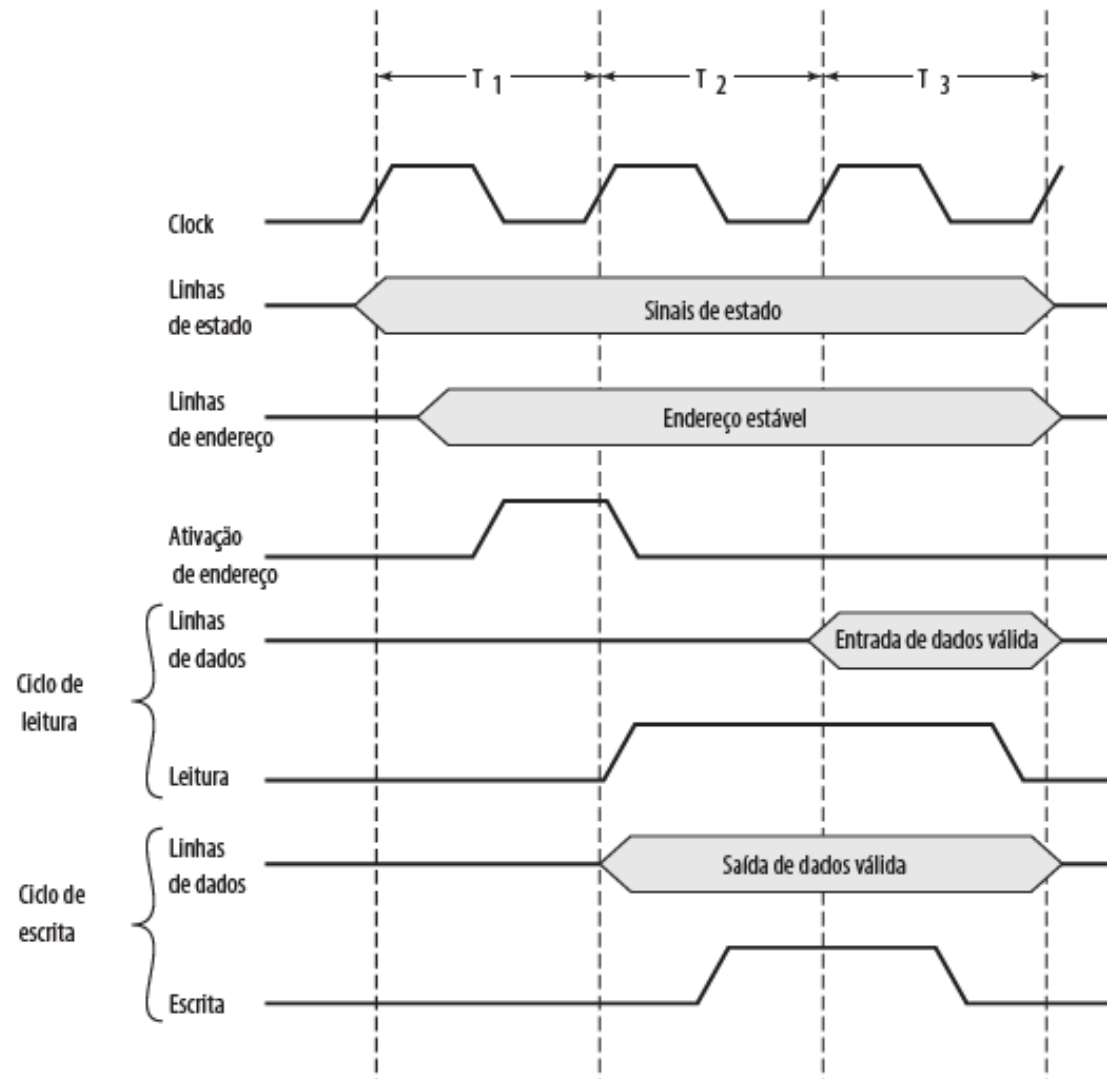
Os módulos agem de forma conjunta para compartilhar o barramento.

A temporização do barramento refere-se ao modo como os eventos são coordenados no barramento. Os barramentos utilizam **temporização síncrona** ou **assíncrona**.

Com a **temporização síncrona**, a ocorrência de eventos no barramento é determinada por um **clock**.

O barramento inclui uma **linha de clock**, sobre a qual um clock é transmitido como uma sequência regular de 1s e 0s alternados, com a mesma duração.

Uma única transmissão 1-0 é conhecida **como ciclo de clock ou ciclo de barramento**, e define um **slot de tempo**.

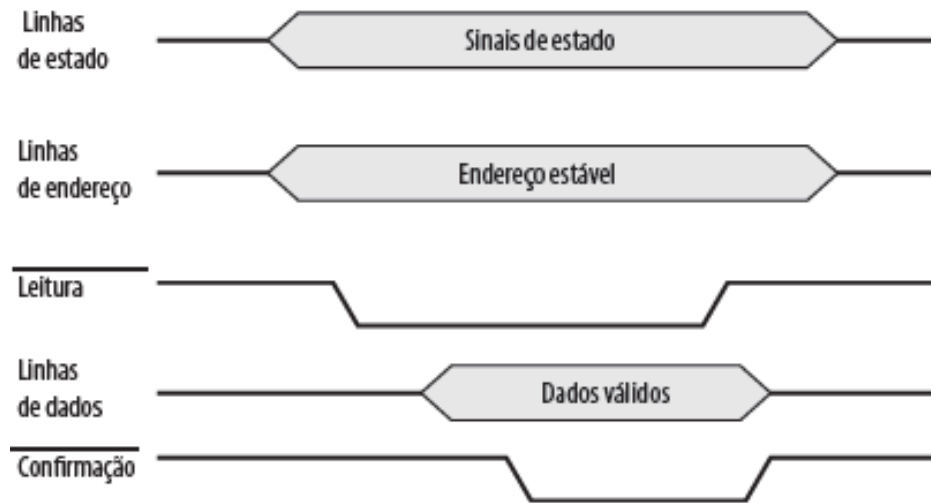


Com a **temporização assíncrona**, a ocorrência de um evento em um barramento segue e depende da ocorrência de um evento anterior.

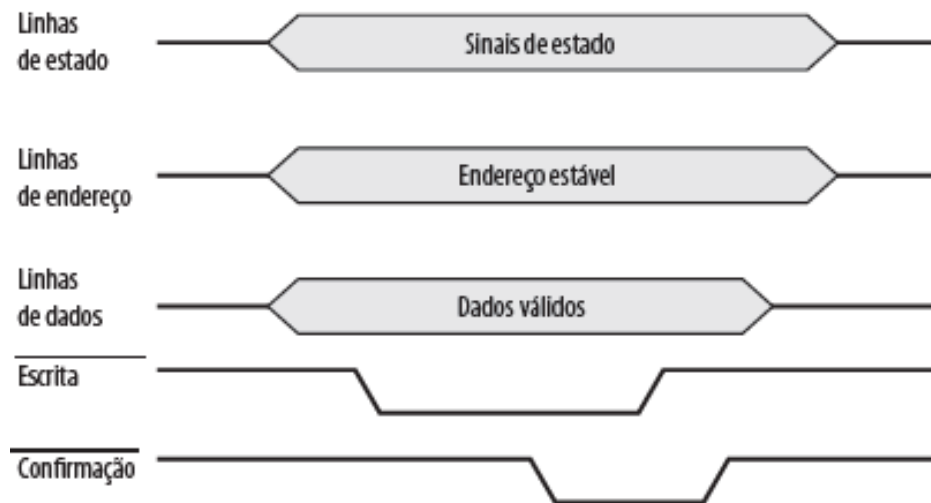
A temporização síncrona é mais simples de implementar e testar. Porém, ela é menos flexível que a temporização assíncrona.

Os dispositivos em um barramento síncrono estão presos a uma taxa de clock fixa, o sistema não pode tirar proveito dos avanços no desempenho do dispositivo.

Com a temporização assíncrona, uma mistura de dispositivos lentos e rápidos, usando tecnologia mais antiga e mais nova, pode compartilhar um barramento



(a) Ciclo de leitura do barramento do sistema



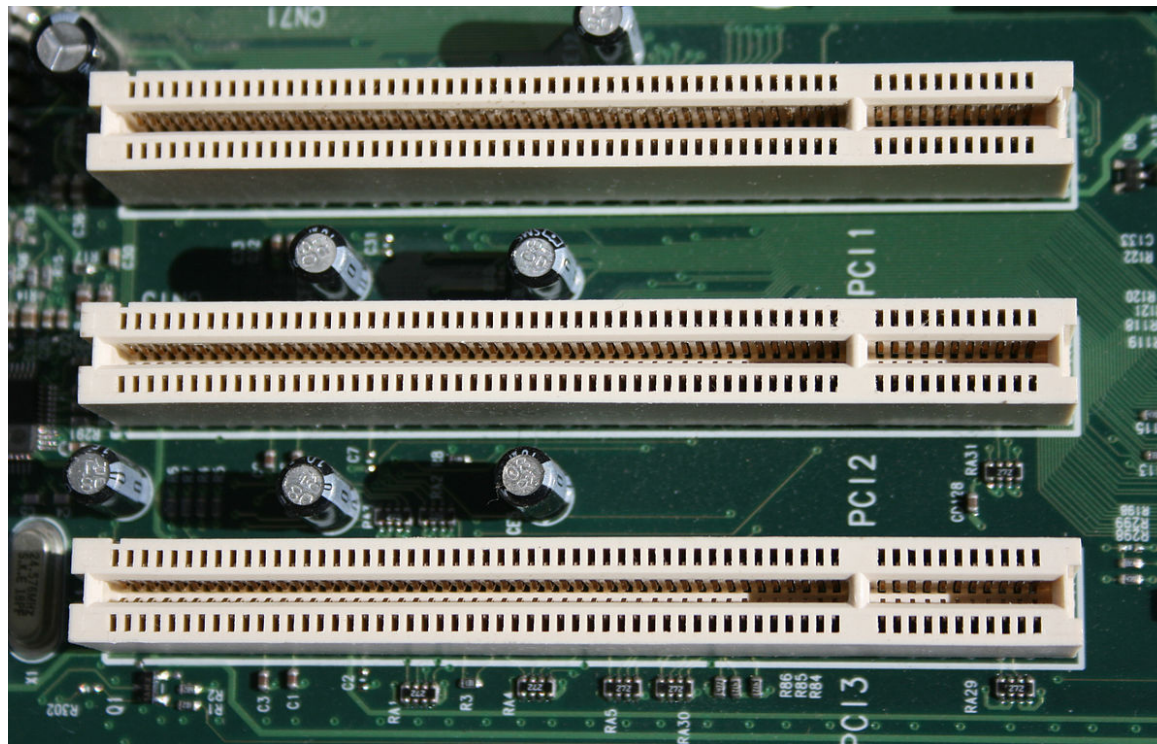
(b) Ciclo de escrita do barramento do sistema

LARGURA DO BARRAMENTO

A largura do barramento de dados tem um impacto sobre o desempenho do sistema: quanto mais largo o barramento de dados, maior o número de bits transferidos de cada vez.

A largura do barramento de endereço tem um impacto direto sobre a capacidade do sistema: quanto mais largo o barramento de endereço, maior o intervalo de locais que podem ser referenciados.

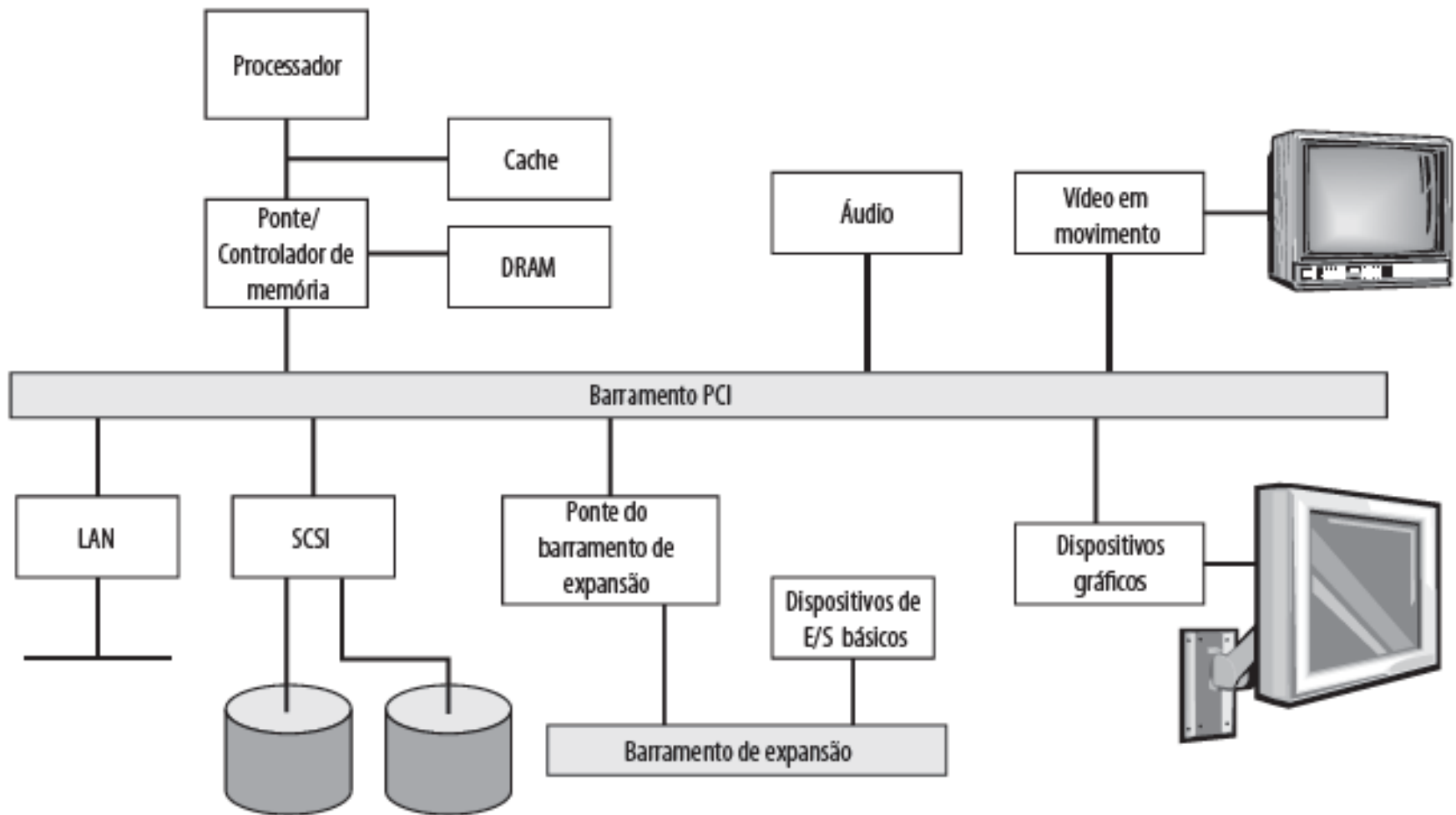
O **barramento PCI** (*PCI do inglês peripheral component interconnect*) é um barramento de grande largura de banda, independente de processador, que pode funcionar como barramento periférico.



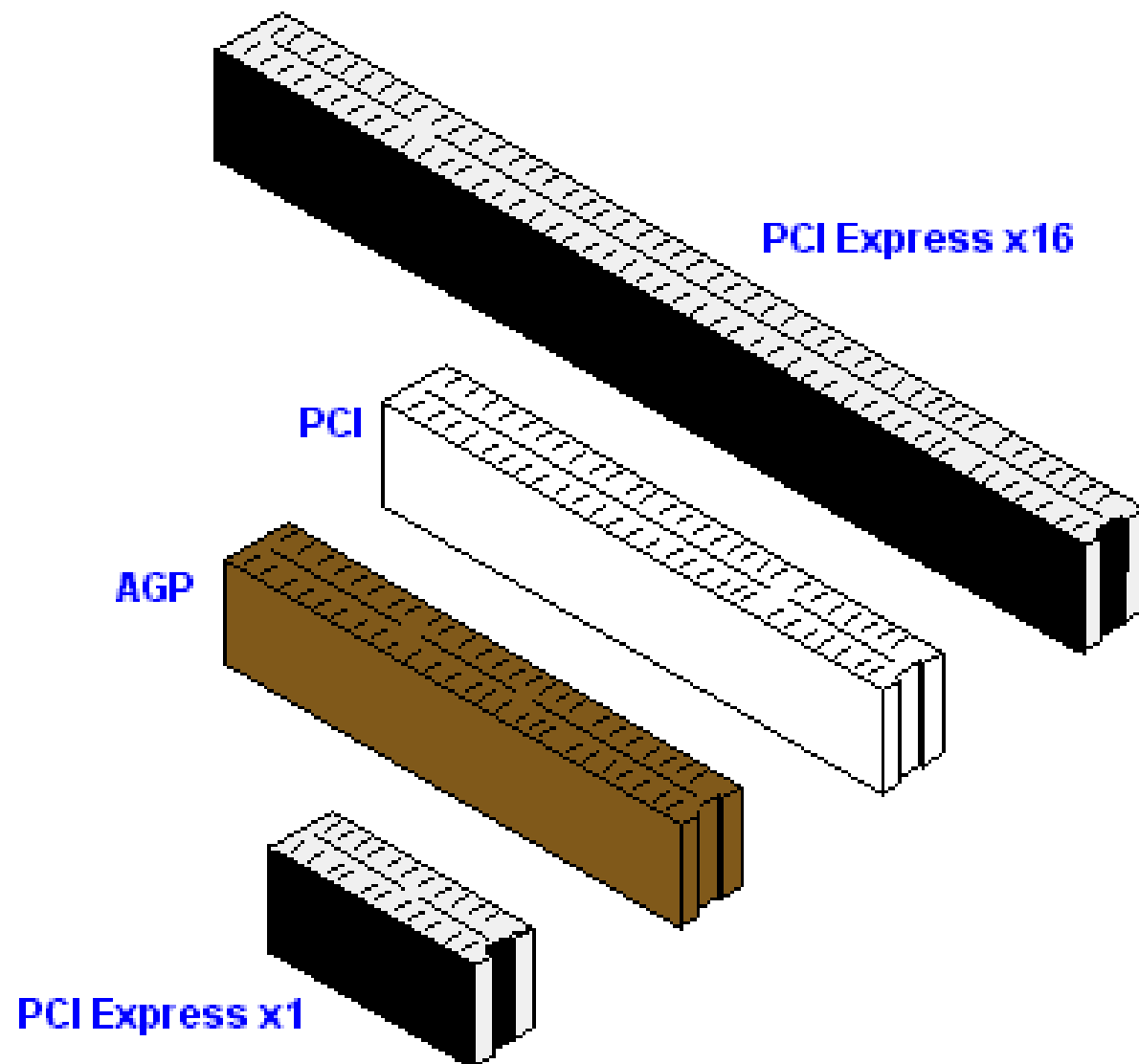
Em comparação com outras especificações de barramento comuns, o PCI oferece melhor desempenho de sistema para subsistemas de E/S de alta velocidade (por exemplo, placas de vídeo e etc).

O PCI foi projetado para admitir uma série de configurações baseadas em microprocessadores, incluindo sistemas de processador único e múltiplo.

O barramento PCI pode ser configurada como um barramento de 32 ou 64 bits.



(a) Sistema típico de um computador de mesa (desktop)



PCI Express Example Connectors



x1

BANDWIDTH

5Gbps / 400MBps
bi-directional



x4

BANDWIDTH

20Gbps / 1.6GBps
bi-directional



x8

BANDWIDTH

40Gbps / 3.2GBps
bi-directional



x16

BANDWIDTH

80Gbps / 6.4GBps
bi-directional

PCI Express® 2.0 doubles the bus data rate



Specs/performance of motherboard bus types

Bus type	Frequency (MHz)	Bus-width (bits)	Clock-doubling technology	Theoretical bandwidth (MBytes per sec)
ISA	8 ⁽¹⁾	16	N	8
PCI version 2.1	33	32	N	133
PCI-X	66/100/133	64	N	533/800/1066
PCI-X 2.0	133	64	4x	4,266
AGP (first implementation)	66	32	2x	266
AGP 8x	66	32	8x	2,133
PCI-Express single-lane	2,500	8	N	250 ⁽²⁾
PCI-Express 4-lane	2,500	8	N	1,000 ⁽²⁾
PCI-Express 8-lane	2,500	8	N	2,000 ⁽²⁾
PCI-Express 16-lane	2,500	8	N	4,000 ⁽²⁾
(1) Some had synchronous frequencies up to 11MHz				(2) In each direction

STALLINGS, William. **Arquitetura e organização de computadores: projeto para o desempenho**. 8 ed. São Paulo: Prentice Hall : Person Education, 2010. 624 p. ISBN 9788576055648.

TANENBAUM, Andrew S. **Organização estruturada de computadores**. 5. ed São Paulo: Pearson Prentice Hall, 2007. 449 p. ISBN 9788576050674.

An abstract graphic on the left side of the slide, featuring a complex network of yellow lines that resemble a circuit board or a tree structure. These lines are interspersed with small black and white dots, creating a dense, organic pattern against the yellow background.

Arquitetura de computadores

BARRAMENTOS DO SISTEMA

FELIPE G. TORRES