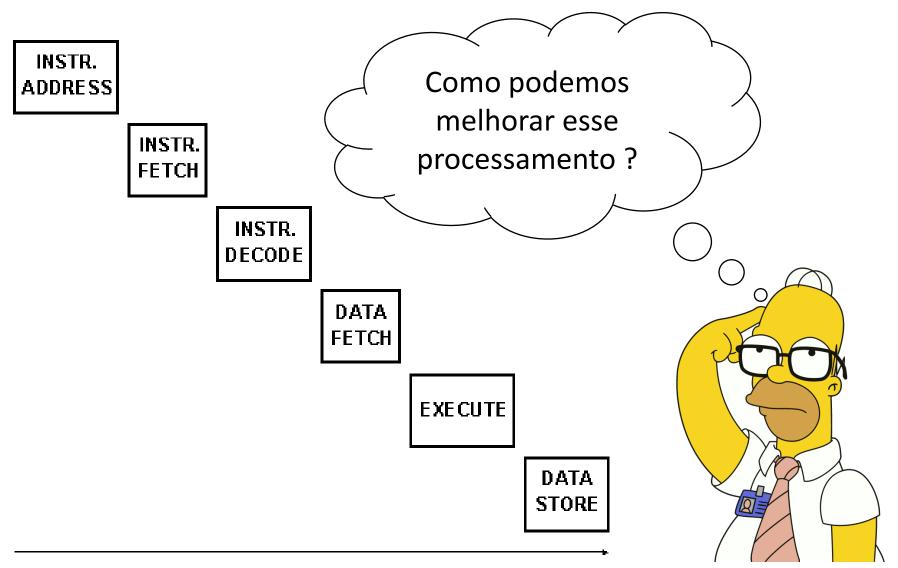


PROCESSAMENTO DAS INSTRUÇÕES



TIME

PROCESSAMENTO DAS INSTRUÇÕES

Como uma abordagem simplificada, considere dividir o processamento da instrução em dois estágios: ler instrução e executar instrução.

Existem momentos durante a execução de uma instrução em que a memória principal não está sendo acessada. Esse tempo poderia ser usado para obter a próxima instrução paralelamente com a execução da instrução atual.

Pipeline é uma técnica de hardware que permite que a CPU realize a busca de uma ou mais instruções além da próxima a ser executada.

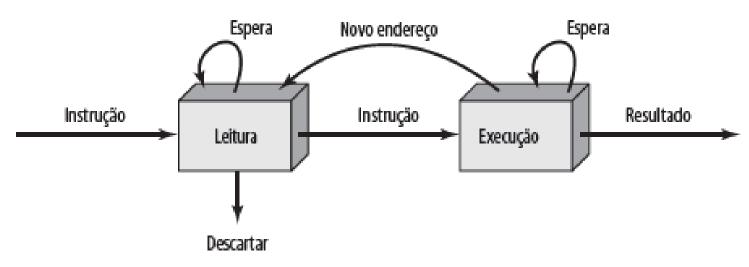
O pipeline possui dois estágios independentes:

- O primeiro obtém a instrução e a coloca no buffer.
- Quando o segundo estagio esta livre, o primeiro passa para ele a instrução do buffer.
- Enquanto o segundo estagio esta executando a instrução, o primeiro estagio aproveita qualquer ciclo de memoria não utilizado para obter a próxima instrução e coloca-la no buffer.

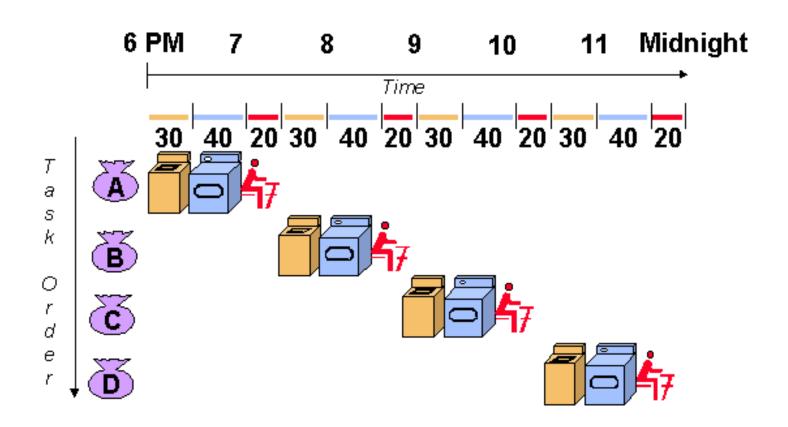
Isso e chamado de busca antecipada (prefetch) ou busca sobreposta



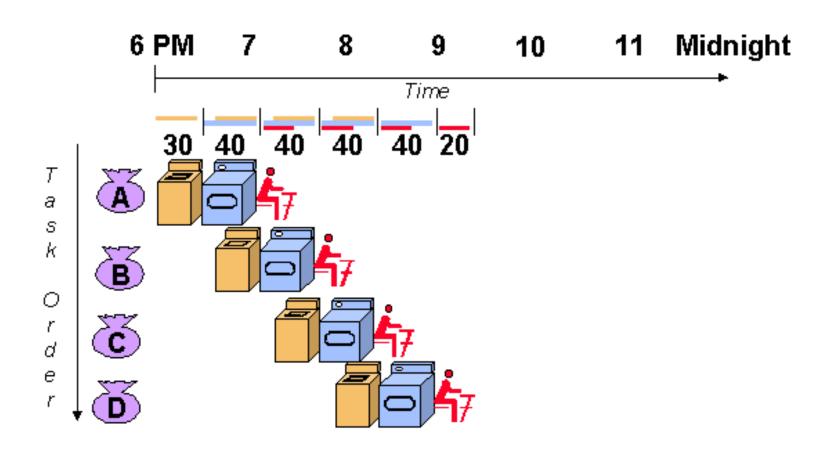
(a) Visão simplificada



(b) Visão expandida



SEM USAR PIPELINE.



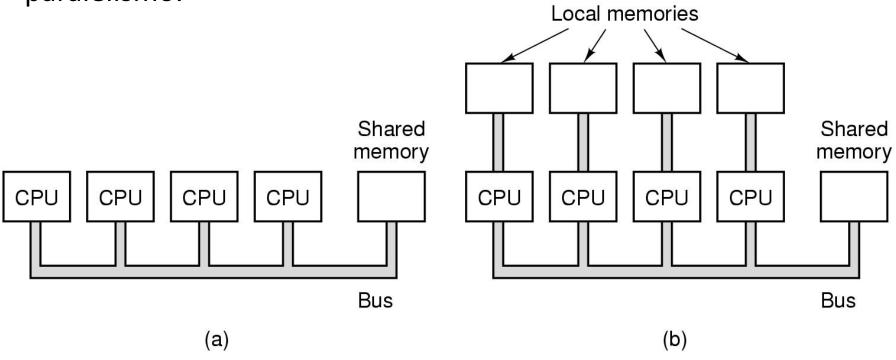
USANDO PIPELINE.

PARALELISMO



PARALELISMO A NÍVEL DE PROCESSADOR

A nível de processador podemos ter duas abordagens de paralelismo.



Multiprocessadores (10x mais rápido)

Multicomputadores (100x mais rápido)

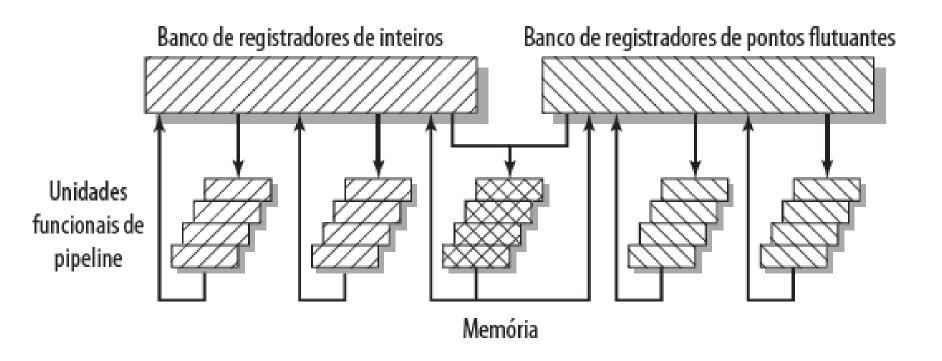
O termo **superescalar**, criado em 1987, refere -se a uma máquina que é projetada para melhorar o desempenho da execução de instruções escalares.

Na maioria das aplicações, a maior parte das operações e de grandezas escalares.

Consequentemente, a abordagem **superescalar** representa o próximo passo na evolução de processadores de uso geral e de alto desempenho.

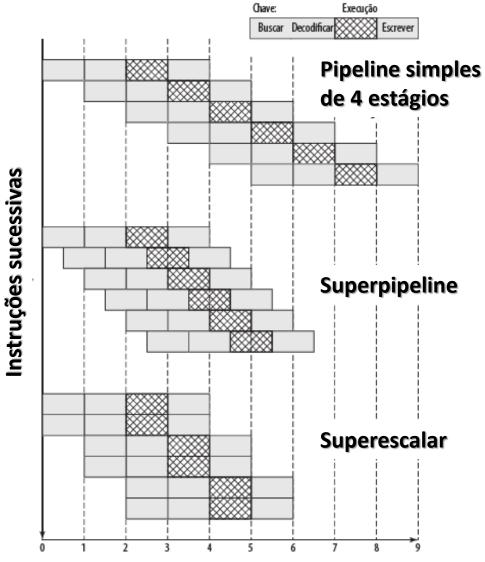
A essência da abordagem **superescalar** é a habilidade de executar instruções independente e concorrentemente em pipelines diferentes

A essência da abordagem superescalar é a habilidade de executar instruções independente e concorrentemente em pipelines diferentes





Qual a diferença entre superescalar e superpipeline?



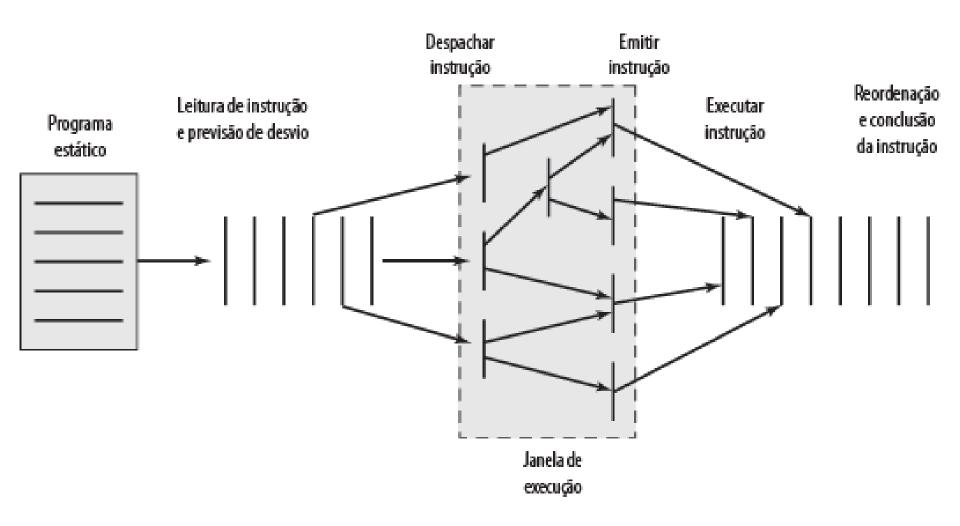
Tempo em ciclos básicos

Arquitetura de computadores 13

- As estratégias de busca de instrução que obtêm simultaneamente várias instruções, frequentemente prevendo os resultados das instruções de desvios condicionais. Estas funções requerem o uso de múltiplos estágios de busca e decodificação e lógica de previsão de desvios.
- Lógica para determinar dependências verdadeiras envolvendo valores de registradores e mecanismos para transferir esses valores para onde eles forem necessários durante a execução.
- Mecanismo para iniciar, ou emitir, múltiplas instruções em paralelo.

- Recursos para execução paralela de múltiplas instruções, incluindo múltiplas unidades funcionais de pipeline e hierarquias de memória capazes de atender simultaneamente várias referências de memória.
- Mecanismos para concluir o estado do processo na ordem correta.

CONCEITUAL DE PROCESSAMENTO SUPERESCALAR

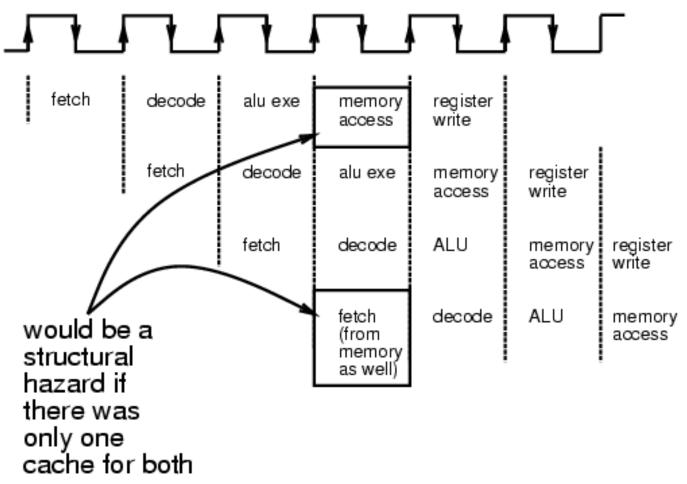


CONFLITOS OU HAZARDS

- Situações em que podem ocorrer conflitos na execução do pipeline.
- Esses conflitos são eventos que impedem a execução da próxima instrução no próximo ciclo de clock.
- Os conflitos podem ser de quatro tipos:
 - Conflitos estruturais
 - Conflitos de dados
 - Conflitos de controle

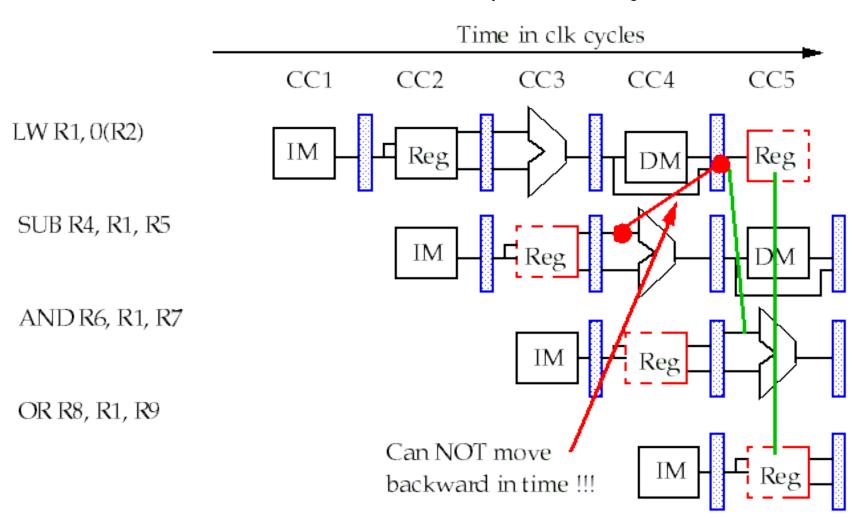
CONFLITOS ESTRUTURAIS

 Esse tipo de conflito ocorre quando um recurso necessário está ocupado.



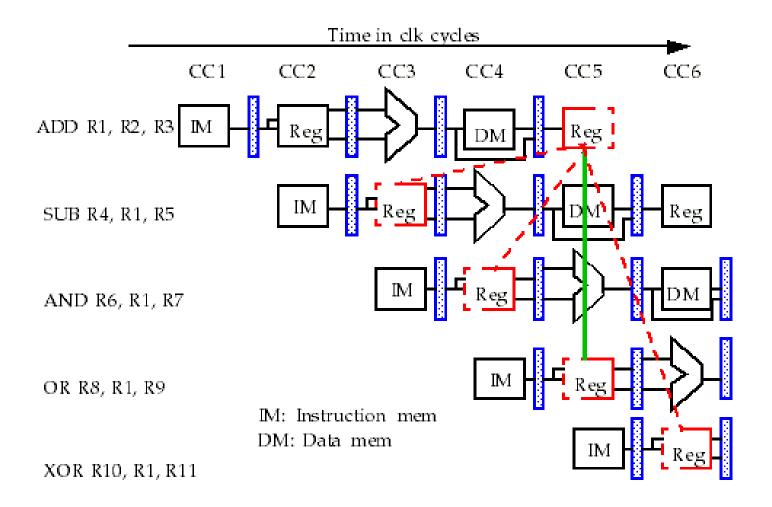
CONFLITOS DE DADOS

Quando um dado é escrito ou lido pela instrução anterior.



CONFLITOS DE CONTROLE

Decisão do controle depende de uma instrução prévia.

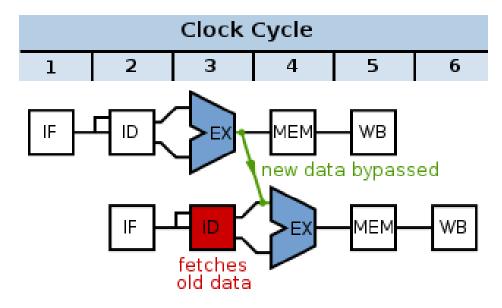


TRATAMENTO DE CONFLITOS

- Para tratar os conflitos, pode-se utilizar diversas técnicas. As mais comuns são:
 - Bypassing ou encaminhamento
 - Pipeline interlock

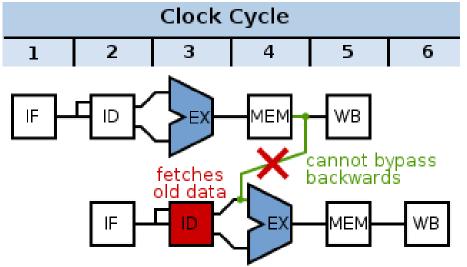
BYPASSING OU ENCAMINHAMENTO

Pipeline Stage	Clock Cycle					
	1	2	3	4	5	6
Fetch	SUB	AND				
Decode		SUB	AND		_	
Execute			SUB	AND		
Access				SUB	AND	
Write-Back					SUB	AND

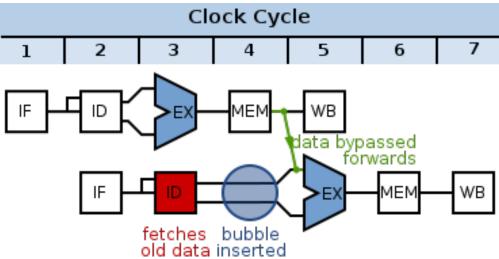


PIPELINE INTERLOCK

Bypassing backwards in time



Problem resolved using a bubble



REFERÊNCIAS

STALLINGS, William. **Arquitetura e organização de computadores: projeto para o desempenho**. 8 ed. São Paulo: Prentice Hall: Person Education, 2010. 624 p. ISBN 9788576055648.

TANENBAUM, Andrew S. **Organização estruturada de computadores**. 5. ed São Paulo: Pearson Prentice Hall, 2007. 449 p. ISBN 9788576050674.



Exemplos de paralelismo e pipeline

[Disponível em https://youtu.be/2QzXUJA0Mk4]

