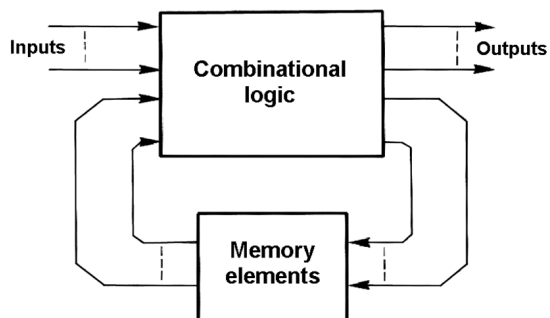


28. Sekvenční obvody (základní vlastnosti a typy klopných obvodů, registry, posuvné registry, čítače, návrh automatů typu Mealy a Moore).

Základní vlastnosti sekvenčních obvodů

Sekvenční logický obvod je elektronický obvod složený z logických členů. Sekvenční obvod se skládá ze dvou částí – kombinační a paměťové. Abychom mohli určit hodnotu výstupní proměnné, je potřeba u sekvenčních obvodů sledovat kromě vstupních proměnných ještě i jeho vnitřní proměnné – vnitřní stav. Jsou to proměnné, které jsou uchovány v paměťových členech. Existence vnitřních proměnných způsobuje, že stejné hodnoty vstupních proměnných přivedené na vstup obvodu, nevyvolávají vždy stejnou odezvu na výstupu obvodu.



Existují dva přístupy k návrhu sekvenčních obvodů:

- Mealyho typ – hodnota výstupní proměnné je závislá jak na hodnotách vstupních proměnných, tak na vnitřních proměnných. $Y = f(X, Z)$
- Moorův typ – hodnota výstupní proměnné je přímým obrazem stavu vnitřních proměnných. $Y = f(Z)$

Sekvenční obvody dělíme na synchronní a asynchronní:

- U asynchronních sekvenčních obvodů se změna vstupní proměnné promítne ihned do stavu sekvenčního obvodu.
- U synchronních sekvenčních obvodů je zaveden řídicí synchronizační signál (hodinový signál, hodiny). Změna vstupní proměnné se promítne do stavu sekvenčního obvodu až při příchodu hodinového signálu.

Podle reakce na hodinový signál ještě synchronní sekvenční obvody dělíme na úrovněvé a hranové:

- Úrovněvé – sekvenční obvod sleduje hodnoty vstupních proměnných a tím i jejich změny po celou dobu trvání hodinového signálu a průběžně na ně reaguje
- Hranové – sekvenční obvod reaguje na hodnoty vstupních proměnných jen při příchodu hrany hodinového signálu (náběžná nebo sestupná hrana).

Vstupní signály musí být stabilní několik ns před hodinovým impulsem (Setup) a musí být stabilní několik ns po (Hold). Předstih (Setup Time = t_s) je doba před aktivní hodinovou hranou, kdy už musí být vstup stabilní. Přesah (Hold Time = t_h) je doba po aktivní hodinové hraně, kdy musí být vstup ještě stále stabilní. Když tyto podmínky nejsou splněny, výstupní stav není definován a je nastavena náhodná úroveň.

řízení	hladinou	vzest. hranou	sest. hranou	dvěma hranami
hodin. signál				
zapam. a přenos				
hod. vstup				
pravd. tab.				

Paměťová část sekvenčního obvodu je tvořena kombinačním obvodem, ve kterém byla zavedena zpětná vazba. Tomuto zapojení říkáme bistabilní klopný obvod. Jeho úkolem je převzít informaci přivedenou na vstup obvodu a uchovat tuto hodnotu, i když vstupní informace již zmizí.

Klopné obvody

Klopný obvod (nebo také KO) je elektronický obvod, který může nabývat právě dva odlišné napěťové stavy, přičemž ke změně z jednoho stavu do druhého dochází skokově. Tyto obvody se skládají z několika hradel nebo jiných aktivních prvků a lze je použít např. jako paměťové prvky, impulzní generátory nebo časovače.

Klopné obvody se dělí do čtyř základních skupin:

- **Astabilní** – Nemají žádný stabilní stav. Neustále oscilují (kmitají) z jednoho stavu do druhého.
- **Monostabilní** – Jeden stabilní stav, ze kterého se obvod přepne pouze s příchodem spouštěcího impulsu.
- **Bistabilní** – Oba stavy jsou stabilní. Tyto obvody slouží jako paměťové prvky. V anglicky psané literatuře jsou označovány jako flip-flops.
- **Schmittův** – Zvláštní typ KO, který se používá především k úpravě tvaru impulsů.

Podrobněji viz http://cs.wikipedia.org/wiki/Klopn%C3%BD_obvod#Funkce_AKO

Bistabilní klopné obvody

Bistabilní klopné obvody, označované jako BKO, mají oba dva stavy stabilní. Mezi těmito stavy lze libovolně přepínat, pomocí vstupních impulsů. Tyto obvody se proto používají jako paměťové prvky. BKO mají mnoho variant a provedení. Nejznámější jsou: **RS**, **JK**, **D** a **T**.

RS klopný obvod

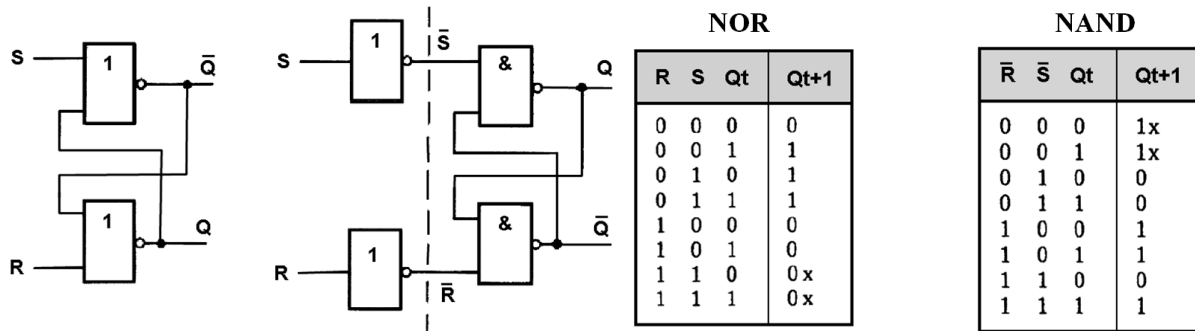
RS je jedním z nejzákladnějších a nejjednodušších BKO. Lze realizovat pomocí dvou dvouvstupých hradel typu NAND či NOR.

Vstup R se označuje jako Reset. Přivedení hodnoty logická 1 na tento vstup vynuluje hodnotu Q (neboli nastaví výstup na hodnotu logická nula). Vstup S se označuje jako Set, přivedení hodnoty logická 1 na tento vstup nastaví hodnotu Q na logickou 1.

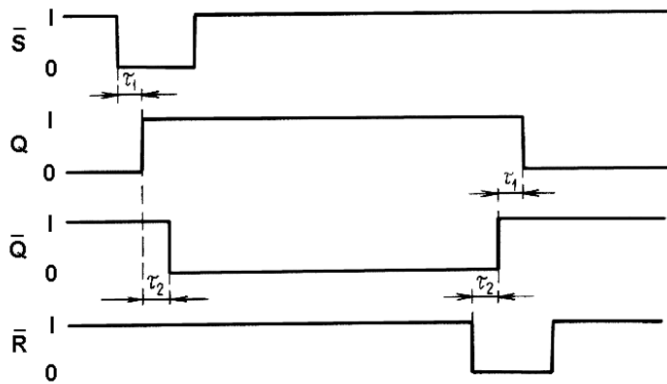
Pokud je na R a S zároveň logická 1, mluvíme o zakázaném nebo také hazardním stavu. Znamená to, že tento stav není definován a pokud nastane tato vstupní kombinace, není předem možné určit, v jakém stavu se bude nacházet výstup obvodu.

Realizace a pravdivostní tabulky asynchronního RS KO:

(Qt = aktuál. stav, Qt+1 = budoucí stav)



Časový průběh RS BKO:



Problémy RS BKO:

1. Vliv hazardů (dočasná změna vstupů vlivem zpoždění signálu). Řeší se vytvořením synchronního RS KO, tedy přivedením synchronizačního signálu T.
2. Zakázaný stav. Řeší se převodem na D KO = signál S se negovaný přivede na vstup R.
3. Hodnota výstupu v nedefinovaném okamžiku (při překlápění). Řeší se vytvořením takzvaného master-slave RS KO.

RS Master-Slave je klopný obvod tvořený dvěma klopnými obvody RS. První master (nadřazený člen), druhý slave (podřazený člen). Princip činnosti je v tom, že na vstup jsou přivedeny R, S a T. Master reaguje na vzestupnou hranu, Slave na sestupnou hranu společného signálu. Master má vstupy R, S a T, výstupy jsou přivedeny na vstupy Slave, jehož výstupy teprve vedou na výstup celého klopného obvodu. Tedy při vzestupné hraně obvod čte data, ale na výstupu se objeví až při sestupné.

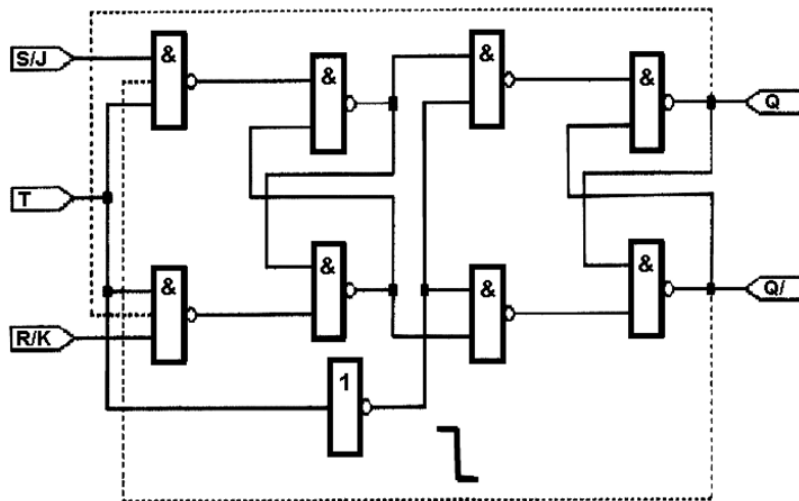
JK klopný obvod

JK má vstupy funkčně shodné s obvodem RS: J nastavuje hodnotu logická 1, K nastavuje hodnotu logická 0. Pokud jsou oba vstupy J a K aktivní (u KO RS mluvíme o zakázaném stavu), vnitřní hodnota se při hodinovém pulzu neuguje. Oproti RS se tento klopný obvod vyrábí pouze v synchronní variantě.

Pravdivostní tabulka JK KO:

J	K	Q _t	Q _{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

JK synchronní master-slave KO:

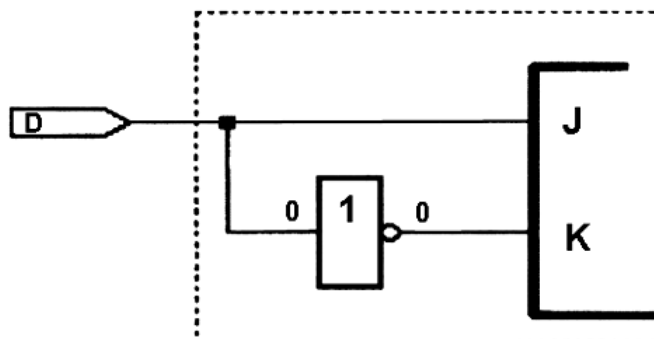


D klopný obvod

Obvod *D* realizuje jednobitovou paměť. Každý hodinový pulz způsobí zapamatování hodnoty vstupu. Vyrábí se pouze jako synchronní obvod. Proto je jeho český název *zdrž*, anglicky *delay*, neboť si podrží tu hodnotu vstupu, která byla platná v době hodinového pulzu.

Z obvodu RS (JK) se snadno vyrobí tím, že na vstup R(K) přivedeme negovanou hodnotu vstupu S(J).

D	Qt	Qt+1
0	0	0
0	1	0
1	0	1
1	1	1



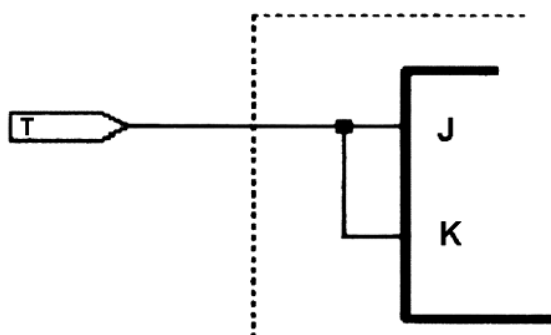
T klopný obvod

Obvod *T* je přepínač paměti. V synchronní variantě zůstává hodnota nezměněna, pokud na vstupu byla logická 0, změní se při logické 1.

Synchronní variantu je možné vyrobit z obvodu JK spojením jeho vstupů do jediného.

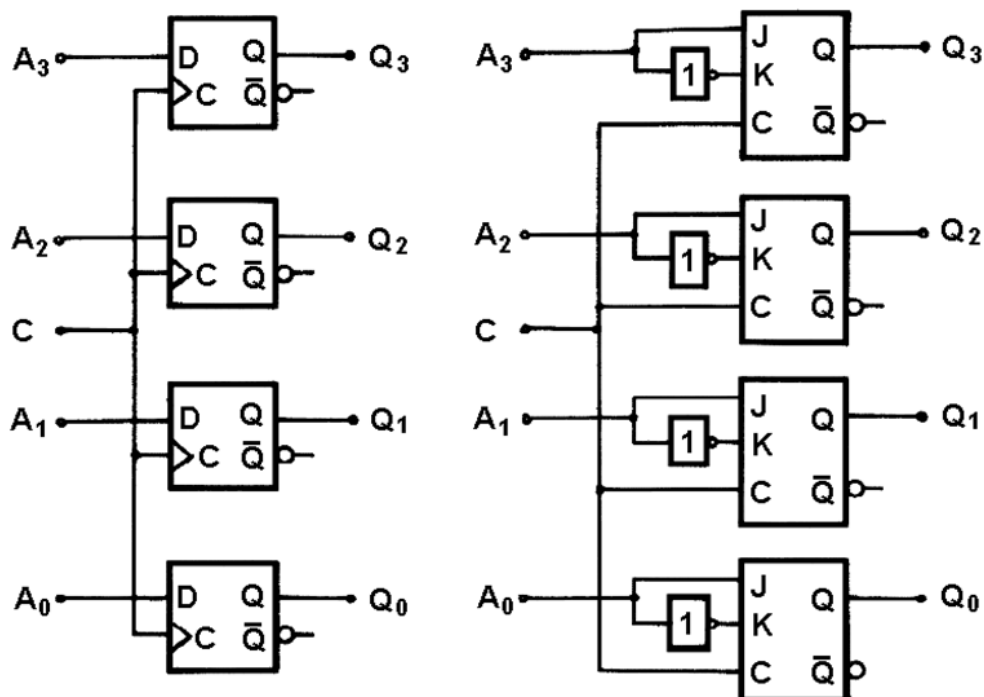
Asynchronní variantu je možné ze synchronní vyrobit připojením vstupního signálu k signálu hodin.

T	Qt	Qt+1
0	0	0
0	1	1
1	0	1
1	1	0



Registry

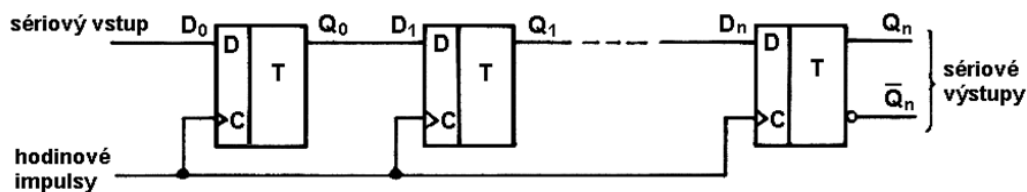
Pomocí klopných obvodů je možné realizovat registry. Na obrázku je realizace synchronizovaných registru pomocí klopných obvodů typu D a JK.



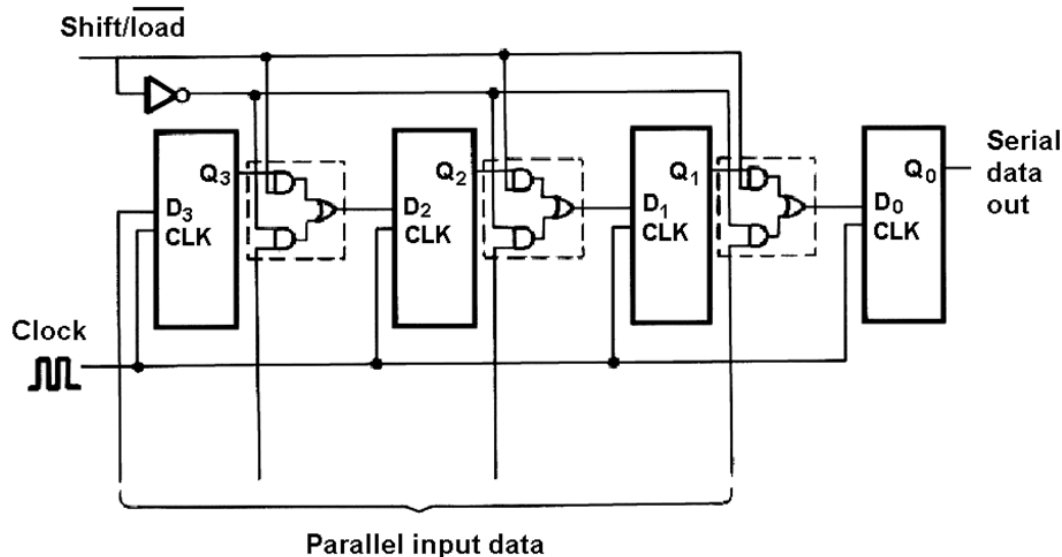
Posuvné registry

Posuvné registry patří k základním obvodovým prvkům. Jedná se o vzájemně propojené klopné obvody, mezi kterými se logická informace posouvá pomocí hodinových pulsů. Kromě jednoduchého posuvného registru se můžeme setkat i se složitějšími zapojeními. Často se používá posuvný registr s paralelními vstupy (umožňuje zapsat počáteční stav do všech klopných obvodů najednou) a můžeme se setkat s obousměrným posuvným registrem (řídící vstup přepíná směr posuvu informace „dopředu-dozadu“).

Posuvný registr z KO typu D:



Posuvný registr s paralelním zápisem (pomocí KO D):

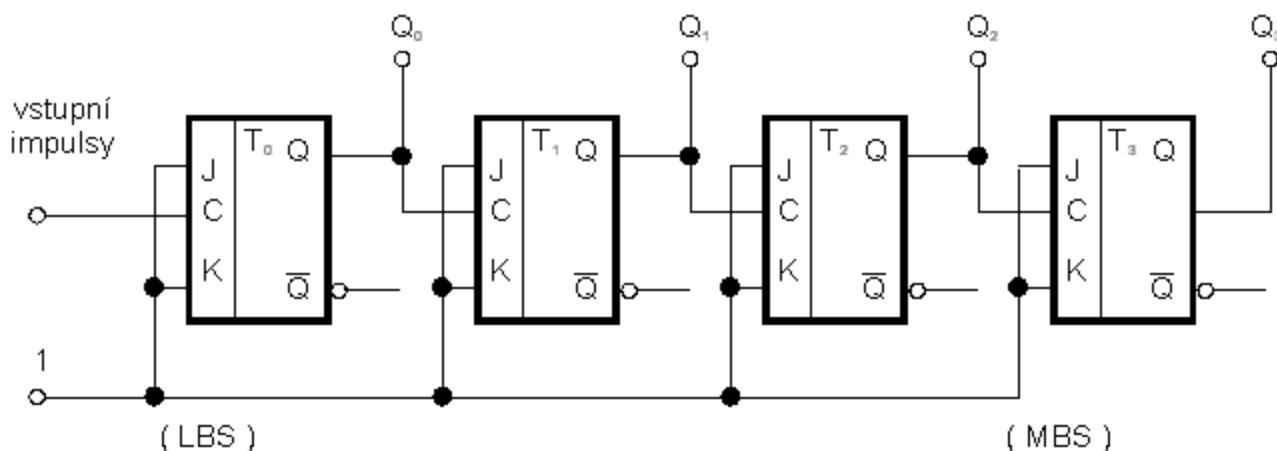


Čítače

Asynchronní čítač

Sestává se z řetězce (v našem případě čtyř) klopných obvodů T. Klopné obvody byly vytvořeny pomocí obvodu J-K připojením obou vstupů na logickou 1. Jednotlivé klopné obvody mění stav výstupu při každé úběžné hraně na svém hodinovém vstupu. Překlápění obvodů se tedy řídí v podstatě dvěma pravidly:

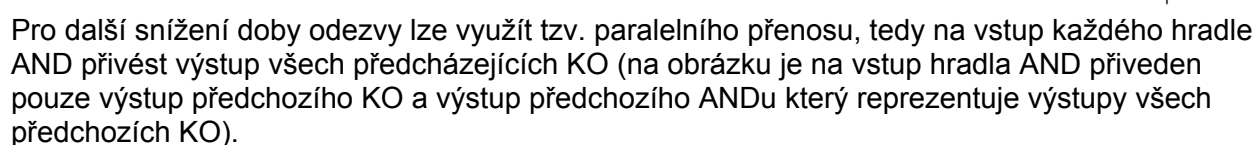
1. Výstup Q_0 obvodu T_1 mění svůj stav při každé úběžné (sestupné) hraně vstupních impulsů,
2. Všechny ostatní výstupy mění svůj stav právě když předcházející klopný obvod mění stav výstupu Q z 1 do 0.



Takovýto řetězec klopných obvodů čítá v binární soustavě. Je-li řada obvodů dlouhá, trvá dlouho, než dosáhne ustáleného stavu (jednotlivé klopné obvody reagují postupně). To může celé zařízení znehodnotit v případě, že by ustálení stavu celého čítače trvalo déle než příchod dalšího impulsu k započítání (vstupního pulzu).

Synchronní čítač

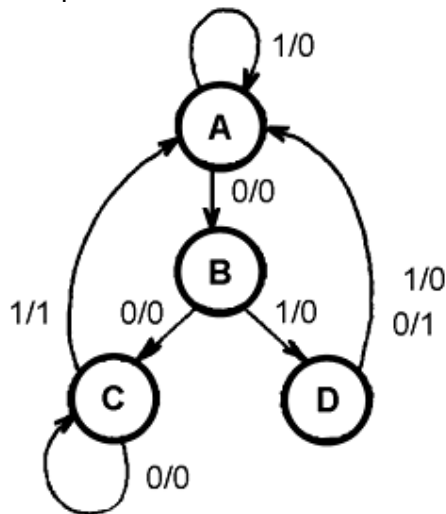
The diagram illustrates a 4-bit serial adder. It consists of four JK flip-flops, labeled T_1 , T_2 , T_3 , and T_4 , connected in a chain. The input signal, labeled "vstupní impuls", is connected to the clock input (C) of the first flip-flop T_1 . The output of the first flip-flop (Q_1) is connected to the J input of the second flip-flop T_2 . The output of the second flip-flop (Q_2) is connected to the J input of the third flip-flop T_3 . The output of the third flip-flop (Q_3) is connected to the J input of the fourth flip-flop T_4 . The output of the fourth flip-flop (Q_4) is connected to the J input of the fifth flip-flop, which is labeled "k dalším stupňům". The output of the first flip-flop (Q_1) is also connected to the J input of the second flip-flop T_2 . The output of the second flip-flop (Q_2) is connected to the J input of the third flip-flop T_3 . The output of the third flip-flop (Q_3) is connected to the J input of the fourth flip-flop T_4 . The output of the fourth flip-flop (Q_4) is connected to the J input of the fifth flip-flop, which is labeled "k dalším stupňům". The output of the first flip-flop (Q_1) is also connected to the J input of the second flip-flop T_2 . The output of the second flip-flop (Q_2) is connected to the J input of the third flip-flop T_3 . The output of the third flip-flop (Q_3) is connected to the J input of the fourth flip-flop T_4 . The output of the fourth flip-flop (Q_4) is connected to the J input of the fifth flip-flop, which is labeled "k dalším stupňům".



Automaty Mealy a Moore

Výstupní proměnná **Mealyho sekvenčního automatu** závisí na vstupních proměnných i na vnitřních proměnných: $Y = f(X, Z)$. Tabulka přechodů a výstupů obsahuje kromě přechodu pro jednotlivé vstupy X i výstup Y pro každý vstup X . Jeden vnitřní stav tedy má několik výstupních hodnot v závislosti na aktuálním vstupu. Když tento automat kreslíme, výstupní hodnota není jen v uzlu ale také na hraně.

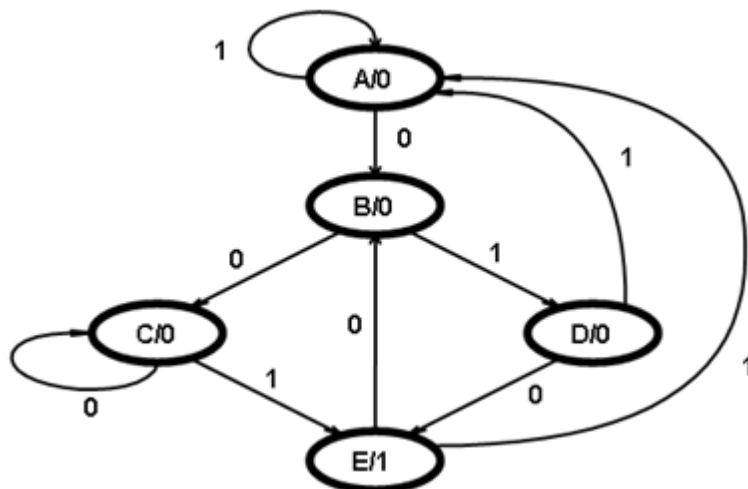
Graf přechodů zadaného automatu typu Mealy:



Výstupní proměnná **Mooreova sekvenčního automatu** závisí pouze na vnitřních proměnných: $Y = f(Z)$. Tabulka přechodů a výstupů je jednodušší, protože výstupy jsou určeny jednoznačně pro každý vnitřní stav automatu a nezávisí na vstupním X . Když jej kreslíme, výstup kreslíme do koleček (uzlů) a na přechodných hranách je hodnota vstupní proměnné.

Moore - časové zpoždění výstupních signálů oproti Mealyho automatu.

Graf přechodů automatu typu Moore:



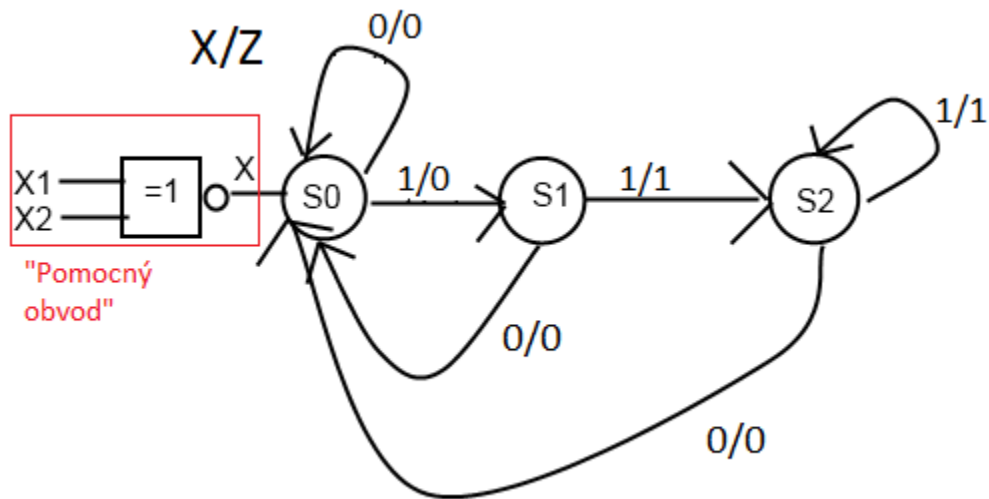
Návrh sekvenčních automatů (Syntéza sekvenčního obvodu)

- Graf přechodů automatu, volba typu automatu
- Tabulka přechodů a výstupů
- Redukce stavů
- Přiřazení stavů automatu vnitřním proměnným navrhovaného obvodu
- Budicí tabulka
- Návrh obvodu

Příklad navrhnutí Mealyho automatu

Navrhněte synchronní sekvenční obvod se dvěma vstupy X_1, X_2 a s jedním výstupem Z . Obvod porovnává dvě vstupující slova. Výstup $Z=1$ pouze tehdy, když se na obou vstupech zároveň objeví shodné posloupnosti o délce alespoň 2 bity. Výstup Z se navrátí do nuly zároveň s první rozdílnou dvojicí bitů na vstupech.

Graf přechodů



Tabulka přechodů a výstupů pomocí KO typu D

Aktuální stav Q_t	Aktuální stav paměti Q_1, Q_0	Vstup X	Nový stav Q_{t+1}	Hodnota přivedená na D_1, D_0	Výstup Z
S0	0, 0	0	S0	0, 0	0
S0	0, 0	1	S1	0, 1	0
S1	0, 1	0	S0	0, 0	0
S1	0, 1	1	S2	1, 0	1
S2	1, 0	0	S0	0, 0	0
S2	1, 0	1	S2	1, 0	1

* Při použití JK nebo jiných KO je nutné místo sloupce "Hodnota přivedená na D_1, D_0 " počítat hodnoty přivedené na vstupy J_1, K_1, J_0, K_0 . Např. tedy pokud je aktuální stav 2 ($Q_1 = 1, Q_0 = 0$) a chceme přejít na stav 3 je nutné do tabulky uvést signály které klopné obvody převedou do stavu $Q_1 = 1, Q_0 = 1$. (Na J_1 je možné přivést 0 i 1, na K_1 pouze 0, na J_0 lze přivést 1 i 0 a K_0 musí být nastaven na 1.)

* V případě že je stavů programu méně než počet možných stavů KO je nutné stavy "navíc" ošetřit.

Redukce stavů ($S_1 = S_2$, je možné odebrat jeden D obvod reprezentující stav)

Aktuální stav Q_t	Aktuální stav paměti Q_0	Vstup X	Nový stav Q_{t+1}	Hodnota přivedená na D_0	Výstup Z
S0	0	0	S0	0	0
S0	0	1	S1	1	0
S1	1	0	S0	0	0
S1	1	1	S1	1	1

Karnaughovy mapy

Vzorec pro nastavení hodnoty **D0**:

		X
	0	1
Q0	0	1

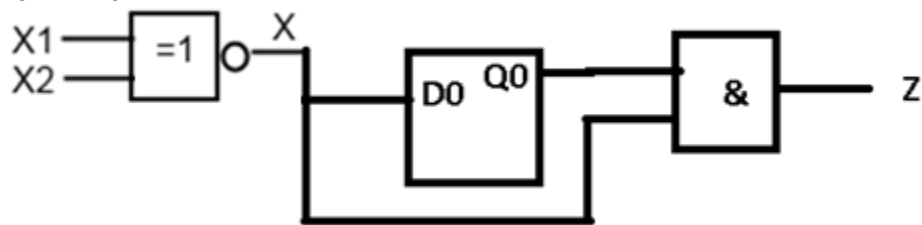
$$D0 = X$$

Vzorec pro nastavení hodnoty **Z**:

		X
	0	0
Q0	0	1

$$Z = X * Q0$$

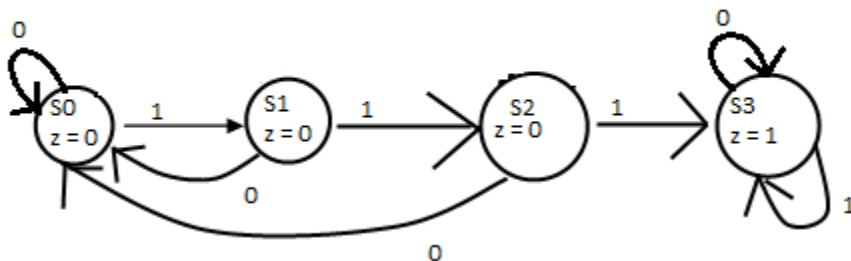
Výsledný obvod:



Příklad navrhnutí Moore automatu

Navrhněte synchronní sekvenční obvod se vstupem X a s výstupem Z. Obvod sčítá jedničky ve vstupující posloupnosti. Od okamžiku, kdy je počet po sobě jdoucích jedniček větší nebo roven 3 nastaví obvod výstup Z=1.

Graf přechodů



Tabulka přechodů a výstupů (realizace pomocí D KO)

Aktuální stav Q_t	Vnitřní stav paměti Q_1, Q_0	Vstup X	Nový stav Q_{t+1}	Hodnota přivedená na D1	Hodnota přivedená na D0	Výstup Z
S0	0, 0	0	S0	0	0	0
S0	0, 0	1	S1	0	1	0
S1	0, 1	0	S0	0	0	0
S1	0, 1	1	S2	1	0	0
S2	1, 0	0	S0	0	0	0
S2	1, 0	1	S3	1	1	0
S3	1, 1	0	S3	1	1	1
S3	1, 1	1	S3	1	1	1

Karnaughovy mapy

Vzorec pro nastavení hodnoty **D1**:

		X	$X \cdot Q_0$	Q_0
	0	0	1	0
Q1	0	1	1	1

$$D1 = X \cdot Q_0 + Q1 \cdot X + Q1 \cdot Q_0$$

Vzorec pro nastavení hodnoty **D0**:

		X	$X \cdot Q_0$	Q_0
	0	1	0	0
Q1	0	1	1	1

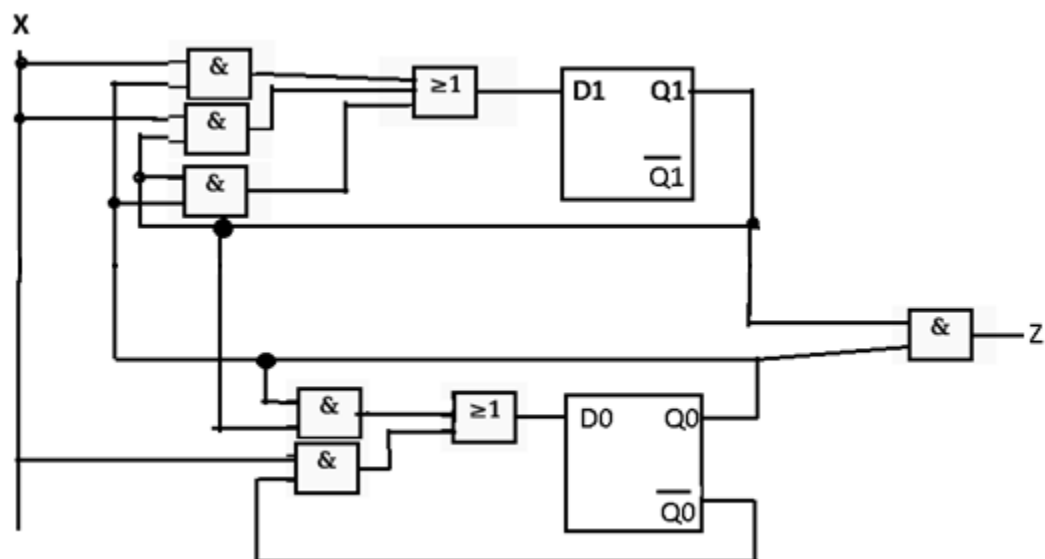
$$D0 = X \cdot \overline{Q_0} + Q1 \cdot Q_0$$

Vzorec pro nastavení hodnoty **Z**:

		X	$X \cdot Q_0$	Q_0
	0	0	0	0
Q1	0	0	1	1

$$Z = Q_0 \cdot Q_1$$

Výsledný obvod:



Převod automatu typu Mealy na automat typu Moore

U automatu typu Moore se změna na vstupu projeví na výstupu až v následujícím stavu. Uzly grafu, do něhož vstupují hrany ohodnocené stejným výstupním symbolem, ponecháme. Každý uzel, který nemá uvedenou vlastnost, nahradíme tolika uzly, kolika výstupními symboly jsou ohodnoceny hrany do něho vstupující. Připojíme vstupní a výstupní hrany, uzly ohodnotíme příslušnými výstupními symboly.

Například zobrazení obvodu který aktivuje výstup Z ($Z=1$) pro 2 po sobě jdoucí logické jedničky na vstupu:

