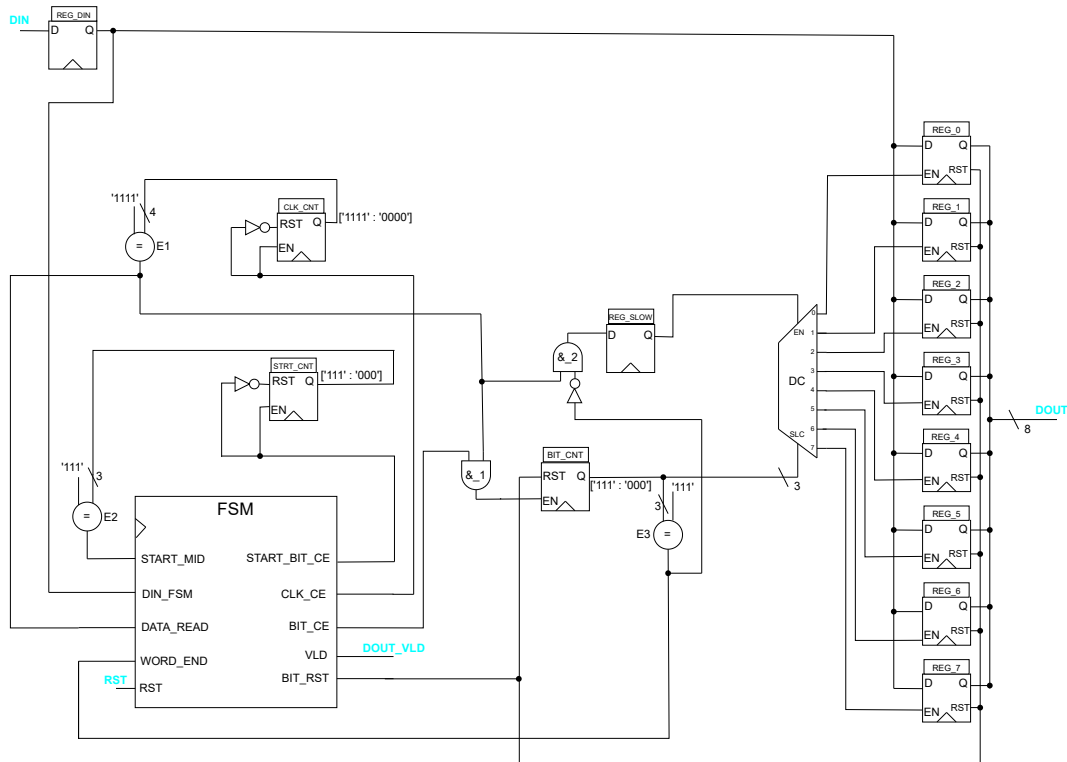


VYSOKÉ UČENÍ TECHNICKÉ
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

INC – projekt
Výstupná správa

1 RTL schéma



Obvod¹ je riadený konečným automatom s označením **FSM**. Prechody a stavy automatu sú popísané v ďalšej časti správy.

Obvod obsahuje 3-bitový čítač **STRT_CNT**. Počíta 8 nábežných hrán hodinového signálu, odkedy na DIN príde '0' signalizujúca start bit. Je povolený výstupom **START_BIT_CE** z automatu. Reset je negáciou povolenia. Ak je v hodnote '111', komparátor **E2** je v logickej '1' (mid bit start bitu).

Ďalší 3-bitový čítač **BIT_CNT** určuje, číslo prečítaných bitov. Je povolený and hradlom **&_1**, je v logickej '1' práve keď prešlo 16 hrán CLK (mid bit) a výstup **BIT_CE** automatu je tiež '1'. Ak je jeho hodnota '111', výstup komparátoru **E3** je v logickej '1' (koniec slova).

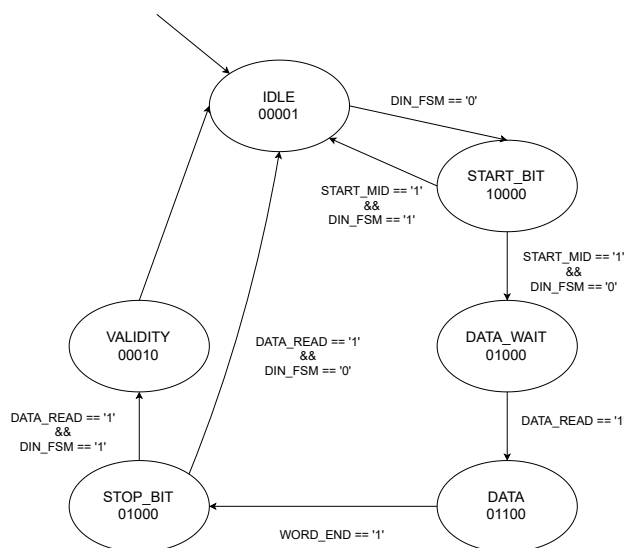
4-bitový čítač **CLK_CNT** počíta 16 hrán hodinového signálu. Ak je v hodnote '1111', výstup komparátoru **E1** je v logickej '1' (mid bit). Je povolený výstupom **CLK_CE** z **FSM**, reset je jeho negáciou.

Do výstupných registrov (**REG_0 – REG_7**) je privedená hodnota z registru **REG_DIN**. Povolenie zápisu jednotlivých registrov je riadené dekodérom **DC**. Výberový vstup dekodéru **SLC** je 3-bitový, určený výstupnou hodnotou **BIT_CNT**. Povolený vstup dekodéru je určený výstupnou hodnotou registru **REG_SLOW**. Tento register je v obvode z dôvodu povolenia **DC** v správnom čase. Jeho hodnota je určená výstupom **&_2** hradla, ktorého vstupy sú signál **E1** a negácia **E3**.

8-bitový výstup **DOUT** je hodnota zo všetkých registrov. **DOUT_VLD** je v logickej '1' práve vtedy keď výstupné slovo je platné, riadený **FSM**.

¹ Vstupy **CLK** nie sú v návrhu pripojené, sú však znázornené. V celom obvode je len jeden **CLK**.

2 Automat



STAVY: IDLE, START_BIT, DATA_WAIT, DATA, STOP_BIT, VALIDITY

VSTUPY: START_MID, DIN_FSM, DATA_READ, WORD_END

MOOROVE VÝSTUPY: START_BIT_CE, CLK_CE, BIT_CE, VLD, BIT_RST

Tento Moorov automat má 6 stavov, ktoré sú vyznačené oválmi. Päťka čísel v ovále predstavuje Moorove výstupy. Prechodové hrany sú zobrazené šípkami, pri každej je určená aj podmienka prechodu².

Počiatočný stav je **IDLE**. V tomto stave sa nastaví výstup **BIT_RST** na '1', ktorý nuluje vybrané registre a čítače (viz RLT schéma). Ak na vstup **DIN_FSM** príde '0', automat prechádza do stavu **START_BIT** a výstup **START_BIT_CE** sa nastaví na '1'.

V momente, keď je vstup **START_MID** '1' a **DIN_FSM** '1', prechádza naspäť do stavu **IDLE**, pretože mid bit start bitu neodpovedá validnej hodnote. Ak je **DIN_FSM** '0' a **START_MID** '0', prechádza do stavu **DATA_WAIT**, kde ostáva po dobu 16 taktov, resp. pokiaľ **DATA_READ** nie je '1' a pokračuje do stavu **DATA**.

V tomto stave sa nastaví **CLK_CE** a **BIT_CE** na '1', teda obvod počíta 16 taktov a prečítanie jednotlivých bitov. V momente kedy vstup **WORD_END** je '1', teda celé slovo je prečítané, pokračuje do stavu **STOP_BIT** a nastaví **CLK_CE** na '1', obvod počíta ďalších 16 taktov za účelom overenia hodnoty mid bitu stop bitu.

Ak prejde 16 taktov (**DATA_READ** je '1') a hodnota mid bitu je validná (**DIN_FSM** je '1'), automat prejde do stavu **VALIDITY**, kde sa nastaví **VLD** na '1' signalizujúci validné slovo na výstupe.

Z tohto stavu automat bezpodmienečne prechádza naspäť do stavu **IDLE**, kde očakáva start bit.

²Prechodové hrany *else* sú implicitné z dôvodu, že automat má len Moorove výstupy.

ω 