

学生学号	0122015710114	实验课成绩	
------	---------------	-------	--

武汉理工大学

学 生 实 验 报 告 书

实验课程名称	电子线路 EDA
开 课 学 院	信息工程学院
指导教师姓名	华剑
学 生 姓 名	胡姗
学生专业班级	信息 2001

2022    --    2023    学 年    第    一    学 期

## 实验教学管理基本规范

实验是培养学生动手能力、分析解决问题能力的重要环节；实验报告是反映实验教学水平与质量的重要依据。为加强实验过程管理，改革实验成绩考核方法，改善实验教学效果，提高学生质量，特制定实验教学管理基本规范。

- 1、本规范适用于理工科类专业实验课程，文、经、管、计算机类实验课程可根据具体情况参照执行或暂不执行。
- 2、每门实验课程一般会包括许多实验项目，除非常简单的验证演示性实验项目可以不写实验报告外，其他实验项目均应按本格式完成实验报告。
- 3、实验报告应由实验预习、实验过程、结果分析三大部分组成。每部分均在实验成绩中占一定比例。各部分成绩的观测点、考核目标、所占比例可参考附表执行。各专业也可以根据具体情况，调整考核内容和评分标准。
- 4、学生必须在完成实验预习内容的前提下进行实验。教师要在实验过程中抽查学生预习情况，在学生离开实验室前，检查学生实验操作和记录情况，并在实验报告第二部分教师签字栏签名，以确保实验记录的真实性。
- 5、教师应及时评阅学生的实验报告并给出各实验项目成绩，完整保存实验报告。在完成所有实验项目后，教师应按学生姓名将批改好的各实验项目实验报告装订成册，构成该实验课程总报告，按班级交课程承担单位（实验中心或实验室）保管存档。
- 6、实验课程成绩按其类型采取百分制或优、良、中、及格和不及格五级评定。

**附表：实验考核参考内容及标准**

	观测点	考核目标	成绩组成
实验预习	1. 预习报告 2. 提问 3. 对于设计型实验，着重考查设计方案的科学性、可行性和创新性	对实验目的和基本原理的认识程度，对实验方案的设计能力	20%
实验过程	1. 是否按时参加实验 2. 对实验过程的熟悉程度 3. 对基本操作的规范程度 4. 对突发事件的应急处理能力 5. 实验原始记录的完整程度 6. 同学之间的团结协作精神	着重考查学生的实验态度、基本操作技能；严谨的治学态度、团结协作精神	30%
结果分析	1. 所分析结果是否用原始记录数据 2. 计算结果是否正确 3. 实验结果分析是否合理 4. 对于综合实验，各项内容之间是否有分析、比较与判断等	考查学生对实验数据处理和现象分析的能力；对专业知识的综合应用能力；事实求实的精神	50%

# 实验一 五人表决器

## 设计思路

实验要求设计一个五人表决器，只要在规定的时间内，同意人数大于或等于3，则表决通过。

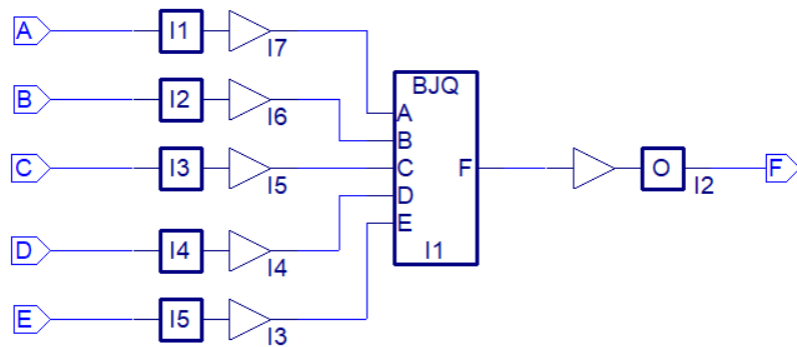
分析题意，可知此次仿真需要5个输入端口，1个输出端口，分别设置A,B,C,D,E为输入端口，F为输出端口。

当表决器的5个输入变量中有3个以上（含3个）为“1”时，表决器输出“1”，否则输出“0”。

因此可根据真值表得到输出的逻辑表达式为

$F=ABC+ABD+ABE+ACD+ACE+ADE+BCD+BCE+BDE+CDE$ 。

## 顶层原理图



# 程序代码清单

## 1. 芯片代码

```
MODULE BJQ

A,B,C,D,E PIN;
F PIN ISTYPE 'COM';

EQUATIONS
F=(A&B&C)#(A&B&D)#(A&B&E)#(A&C&D)#(A&C&E)#(A&D&E)#(B&C&D)#
(B&C&E)#(B&D&E)#(C&D&E);

END
```

## 2. 仿真代码

```
MODULE BJQ
A,B,C,D,E,F PIN;

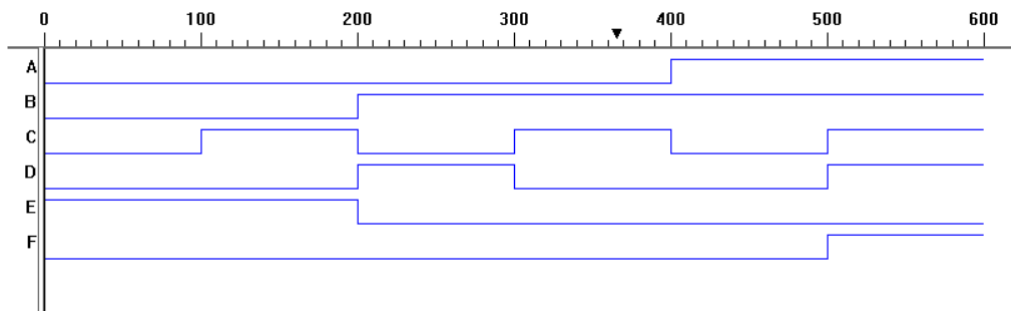
X=.X.;
XIN=[A,B,C,D,E];

TEST_VECTORS
([XIN]→[F])
[1]→[X];
[5]→[X];
[10]→[X];
[12]→[X];
[24]→[X];
[30]→[X];

END
```

# 仿真波形

波形图



A, B, C, D, E分别表示五人投票结果的逻辑变量，高电平代表同意，低电平代表不同意。变量F表示表决结果，高电平代表通过，低电平代表不通过。本次实验仿真代码随机选取5次情况（ABCDE），分别为00001、00101、01010、01100、11000、11100，则投票结果（F）依次为0、0、0、0、0、1，根据波形图可以验证设计正确。

## 实验总结

1. 本次实验利用ABEL语言，通过绘制芯片BJQ原理图，编写芯片代码和仿真代码，实现并验证了组合逻辑电路五人表决器。
2. 基本了解ISPLEVER软件的使用方法，掌握了用此软件完成电子设计的基本流程，并能够用ABEL语言完成对芯片模块的程序设计。
3. 作为电子线路EDA的第一个实验，在软件使用和代码编写上存在不熟练等问题，导致编译不通过，后续不断查找资料成功解决了问题。



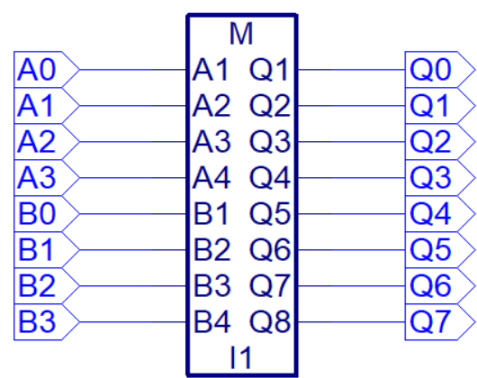
# 实验二 四位二进制乘法器

## 设计思路

设计一个乘法器，实现两个4位二进制数的乘法。两个二进制数分别是被乘数A3A2A1A0和乘数B3B2B1B0。

将乘法运算分解为加法运算和移位运算，将每次相加的结果用部分积Ti表示，由于被乘数和乘数都是二进制，利用移位相加方法，所以利用乘数从第一位到最后一位每一位依次与被乘数相乘，从第二位开始每一位都要依次左移一位，形成一个阵列的式。

## 顶层原理图



# 程序代码清单

## 1. 芯片代码

```
MODULE M
A1..A4,B1..B4 PIN;
Q1..Q8 PIN ISTYPE 'COM';
Q=[Q8..Q1];
T1=[0,0,0,0,A4*B1,A3*B1,A2*B1,A1*B1];
T2=[0,0,0,A4*B2,A3*B2,A2*B2,A1*B2,0];
T3=[0,0,A4*B3,A3*B3,A2*B3,A1*B3,0,0];
T4=[0,A4*B4,A3*B4,A2*B4,A1*B4,0,0,0];

EQUATIONS
Q=T1+T2+T3+T4;
END
```

## 2. 仿真代码

```
MODULE MULT

A3..A0,B3..B0,Q7..Q0 PIN;
V=.X.;
A=[A3..A0];
B=[B3..B0];
Q=[Q7..Q0];

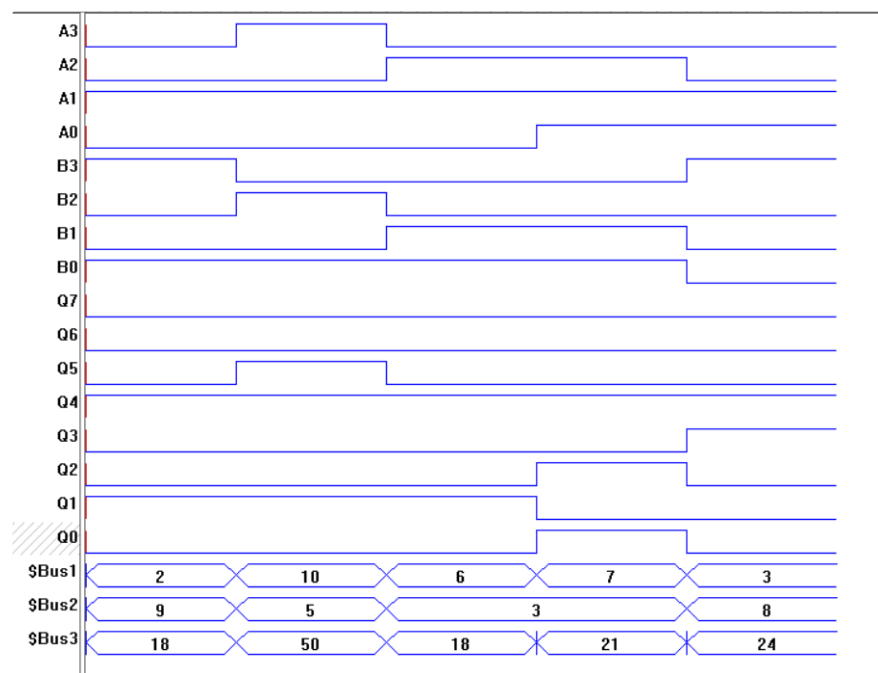
TEST_VECTORS

([A,B]→[Q])
[2,9]→[V];
[10,5]→[V];
[6,3]→[V];
[7,3]→[V];
[3,8]→[V];

END
```



# 仿真波形



A3A2A1A0表示四位二进制逻辑变量A， B3B2B1B0表示四位二进制逻辑变量B；

Q7Q6Q5Q4Q3Q2Q1Q0表示乘法结果逻辑变量Q， 高电平为1， 低电平为0。

测试数据如下图所示， 经验算结果正确， 四位二进制乘法器设计仿真成功。

序号	A	B	Q
1	2	9	18
2	10	5	50
3	6	3	18
4	7	3	21
5	3	8	24

# 实验总结

1. 本次实验利用ABEL-HDL语言实现了4位二进制乘法器的设计与仿真，进一步熟悉了ISPLEVER的使用，掌握了利用ispLEVER设计组合型逻辑电路的方法，学会了操作仿真波形使其更加直观显示结果的方法。
2. MODULE M依照竖式的计算过程实现，四位乘法器主要运用错位相加运算来实现乘法运算。
3. 通过本次实验，掌握了二进制数乘法的原理和运算方法，以及移位相加法的使用。



# 实验三 十字路口交通灯控制器

## 设计思路

- 设计与仿真十字路口交通灯控制器，十字路口模拟图如下：

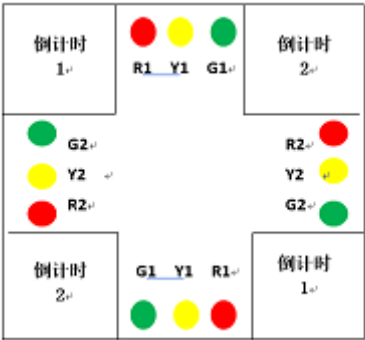


图1

- 时间状态分布：

状态	主干道	支干道	持续时间	下一状态
1	绿灯	红灯	40s	2
2	黄灯	红灯	5s	3
3	红灯	绿灯	20s	4
4	红灯	黄灯	5s	1

表1

- 交通信号灯剩余时间的倒计时显示，转换为8421BCD码驱动数码管显示；
- 程序启动时，主支干道都亮红灯，然后从状态1开始正常运行；
- 交通灯从绿变红时，有5秒黄灯亮的间隔时间，从红变绿是直接进行的，没有间隔时间。

## 实验原理图

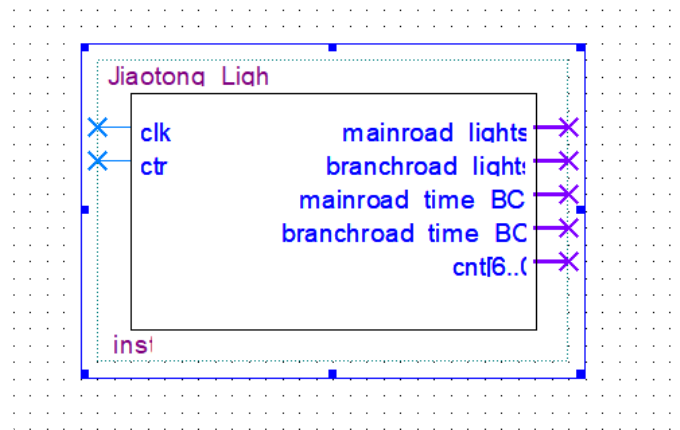


图2

## 芯片代码

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;

ENTITY Jiaotong_Lights IS
    PORT(
        mainroad_lights,branchroad_lights:OUT STD_LOGIC_VECTOR(2
DOWNT0 0); --红,黄,绿灯
        mainroad_time_BCD,branchroad_time_BCD:OUT
STD_LOGIC_VECTOR(7 DOWNT0 0);
        clk,ctr:IN STD_LOGIC;
        cnt:BUFFER INTEGER RANGE 69 DOWNT0 0:=0
    );
END Jiaotong_Lights;

ARCHITECTURE bhv OF Jiaotong_Lights IS

BEGIN

    PROCESS(clk,cnt)                --时钟进程
    BEGIN
        IF clk'EVENT AND clk='1' THEN
            IF cnt=69 THEN cnt<= 0;        --70进制计数器
            ELSIF(ctr='1') THEN cnt<= 0;
```

```

        ELSE cnt≤cnt+1;
    END IF;
END IF;
END PROCESS;

```

```

PROCESS(clk,cnt,ctr)                --交通灯控制进程
BEGIN
    IF(ctr='1') THEN                --主次干道全显示红灯特殊状态处理
        mainroad_lights≤"100";
        branchroad_lights≤"100";
    ELSE
        IF(cnt≤39) THEN
            mainroad_lights≤"001";
            branchroad_lights≤"100";
        ELSIF(cnt≤44) THEN
            mainroad_lights≤"010";
            branchroad_lights≤"100";
        ELSIF(cnt≤64) THEN
            mainroad_lights≤"100";
            branchroad_lights≤"001";
        ELSIF(cnt≤69) THEN
            mainroad_lights≤"100";
            branchroad_lights≤"010";
        END IF;
    END IF;
END PROCESS;

```

```

PROCESS(clk,cnt,ctr)                --倒计时显示进程
    VARIABLE mainroad_time:INTEGER;
    VARIABLE branchroad_time:INTEGER;

    BEGIN
        IF(ctr='1') THEN
            mainroad_time:=0;
            branchroad_time:=0;
        ELSE
            IF(cnt≤39) THEN mainroad_time:=39-cnt;
            ELSIF cnt≤44 THEN mainroad_time:=44-cnt;
            ELSIF cnt≤69 THEN mainroad_time:=69-cnt;
            END IF;

            IF(cnt≤44) THEN branchroad_time:=44-cnt;
            ELSIF(cnt≤64) THEN branchroad_time:=64-cnt;

```

```
        ELSIF(cnt≤69) THEN branchroad_time:=69-cnt;
        END IF;
    END IF;

    mainroad_time_BCD(7 DOWNT0 4)
    ≤ CONV_STD_LOGIC_VECTOR(mainroad_time/10 MOD 10,4);
    mainroad_time_BCD(3 DOWNT0 0)
    ≤ CONV_STD_LOGIC_VECTOR(mainroad_time REM 10,4);
    branchroad_time_BCD(7 DOWNT0 4)
    ≤ CONV_STD_LOGIC_VECTOR(branchroad_time/10 MOD 10,4);
    branchroad_time_BCD(3 DOWNT0 0)
    ≤ CONV_STD_LOGIC_VECTOR(branchroad_time REM 10,4);
    END PROCESS;

END bhv;
```

仿真波形

首先添加输入输出端口，并设置各端口变量类型，其中主支干道交通灯倒计时设置为十六进制显示。

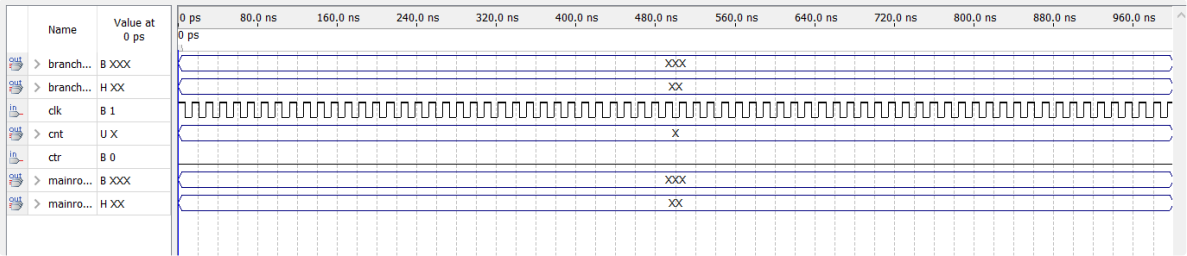


图3

运行仿真程序，结果如图4， 5所示：

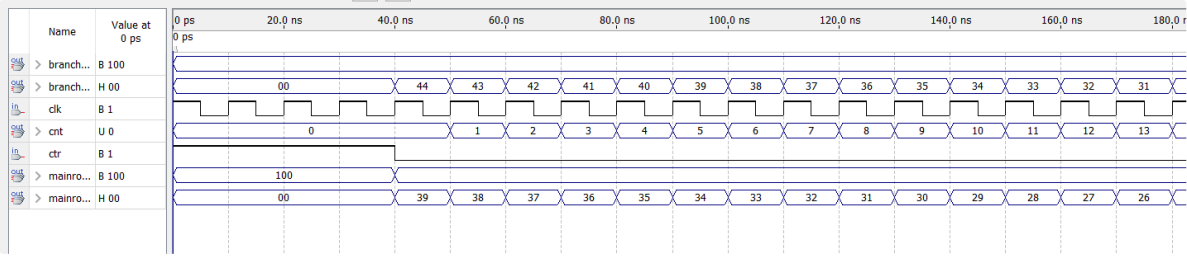


图4

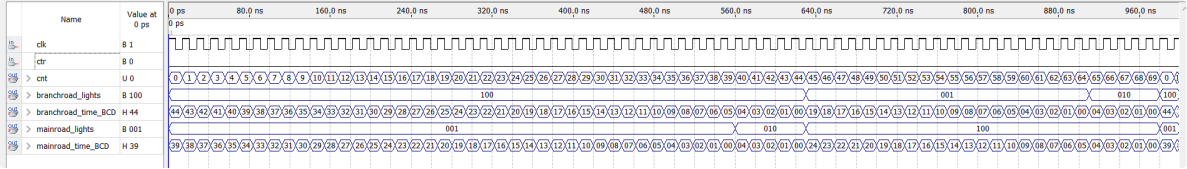


图5

其中clk为外部时钟脉冲。cnt为计数变量，用以标志状态周期，从69至0为一个现实周期（图5）。

ctr为控制端，如图4所示，作用时（即ctr为高电平使能）主干道和次干道都亮红灯，倒计时显示00，高电平有效。mainroad\_lights和branchroad\_lights都是宽度为3的总线，由高到低分别表示红灯、黄灯和绿灯，高电平有效。mainroad\_time\_BCD和branchroad\_time\_BCD都是宽度为8的总线，高4位与低4位分别为倒计时的8421BCD码，仿真时用十六进制显示。

验证各状态波形，仿真结果符合实验设计要求。

## 实验总结

1. 通过本次实验初步掌握了VHDL语言的基本语法和编写流程。
2. 本设计利用三个进程并行工作的思想，分别解决了时钟、交通灯状态控制和交通灯倒计时显示三个问题。
3. 对整数取余运算，分别得到十位和个位的值。利用CONV\_STD\_LOGIC\_VECTOR()将整数转换为长度为4的向量，生成8421BCD码。