

Proposal Tugas Besar

Desain FPGA dan SoC 2024

Desain FPGA dan SoC

Nama\NIM Anggota 1 : Vhi Kania Dharmara Putri\1102220099
Nama\NIM Anggota 2 : Fikri Naufal Hakim\1102220107
Nama\NIM Anggota 3 : Muh. Grefi Alief Maulana\1102220232

Judul

Double Detectection 3-Bit

Deskripsi

Tugas besar ini bertujuan untuk merancang dan mengimplementasikan sebuah sistem pendeteksi pola bit ganda (double detection) yaitu pola “001” dan “101” secara bersamaan menggunakan metode Finite State Machine (FSM). Sistem menerima masukan berupa aliran bit serial dan akan menghasilkan sinyal keluaran aktif ketika salah satu atau kedua pola bit tersebut terdeteksi. Implementasi dilakukan pada perangkat FPGA untuk memastikan sistem dapat bekerja secara real-time dan efisien.

Fungsi

1. Mendeteksi kemunculan pola bit “001” dan “101”.
2. Memberikan keluaran logika sebagai indikator ketika pola terdeteksi.

Fitur dan Spesifikasi

[jelaskan fitur yang dimiliki oleh tugas besar yang akan dibuat]

Contoh alat	Contoh Fitur
Pendeteksi 2 Pola 3-Bit	Mendeteksi dua pola bit berbeda (001) dan (101). Proses dapat dimulai dari state manapun. Sistem dapat mendeteksi pola meskipun terjadi overlapping bit. Output berupa sinyal logika 1 saat pola “001” atau “101” terdeteksi, dan 0 jika tidak terdeteksi.

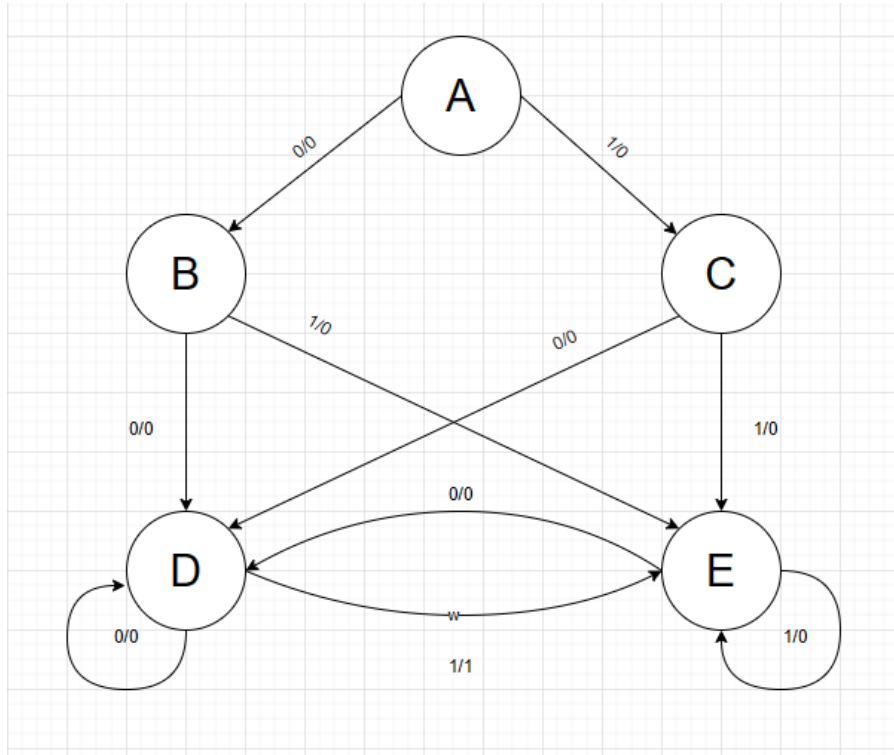
Spesifikasi:

- Input berubah 1 bit data serial (0 atau 1).
- Panjang pola bit yang dideteksi adalah 3 bit.
- Menggunakan Finite State Machine tipe Mealy.
- Output berupa sinyal logika 1 saat pola “001” atau “101” terdeteksi, dan 0 jika tidak terdeteksi.

Cara Penggunaan

[Bisa dalam bentuk flowchart agar lebih mudah dimengerti, bisa dalam bentuk poin – poin penjelasan]

- Desain FSM



- Desain Rangkaian

