

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ
Федеральное государственное автономное
образовательное учреждение высшего образования
«Национальный исследовательский университет ИТМО»

Факультет программной инженерии и компьютерной техники

ЛАБОРАТОРНАЯ РАБОТА №3

по дисциплине
“Системы на кристалле”

Вариант №3

Студент:

Чернова Анна Ивановна

Миху Вадим Дмитриевич

Группа Р34301

Преподаватель:

Леонид

г. Санкт-Петербург

2024

Цель работы:

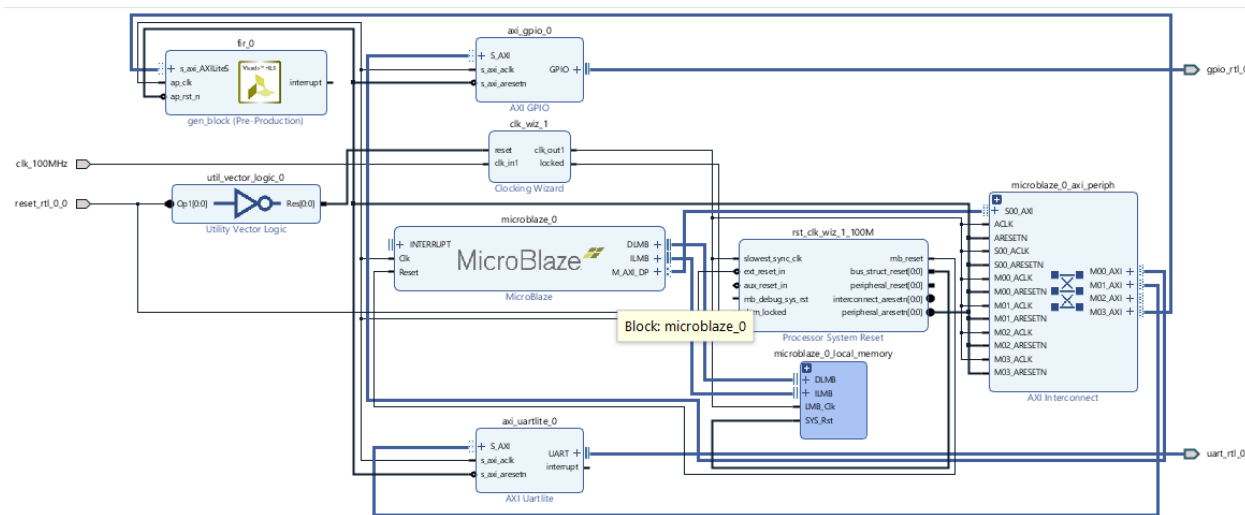
Получить базовые навыки проектирования и отладки гетерогенной СнК, включающей блоки с конфигурируемым и фиксированным алгоритмом функционирования

Вариант 3:

- 1. Интегрировать в созданную в лабораторной 1 СнК аппаратный ускоритель, разработанный в лабораторной работе 2. Должна быть использована версия ускорителя с оптимальными показателями по производительности и занимаемым ресурсам.
- 2. Провести тестирование созданной системы с полностью программной реализацией алгоритма и использованием аппаратного ускорителя.
- 3. Выполнить профилирование системы по занимаемым ресурсам и производительности при частоте тактового сигнала в 100Мгц
- 4. Выполнить анализ полученных результатов и написать отчет по работе

Выполнение:

Структурная схема



Оценка характеристик

Name	Slice LUTs (63400)	Slice Registers (126800)	F7 Muxes (31700)	Block RAM Tile (135)	DSPs (240)	Bonded IOB (210)	BUFGCTRL (32)	MMCM2_ADV (6)
design_1_wrapper	1657	2053	108	18	3	20	2	1
design_1_i (design_1)	1657	2053	108	18	3	0	2	1
axi_gpio_0 (design_1)	64	112	0	0	0	0	0	0
axi_uartlite_0 (design_1)	110	114	0	0	0	0	0	0
clk_wiz_1 (design_1)	0	0	0	0	0	0	2	1
fir_0 (design_1_fir_0)	301	412	0	2	3	0	0	0
microblaze_0 (design_1_microblaze_0)	964	1225	108	0	0	0	0	0
microblaze_0_axi_periph (design_1_microblaze_0_axi_periph)	180	132	0	0	0	0	0	0
microblaze_0_local_memory (design_1_microblaze_0_local_memory)	18	18	0	16	0	0	0	0
rst_clk_wiz_1_100M (design_1_rst_clk_wiz_1_100M)	19	40	0	0	0	0	0	0
util_vector_logic_0 (design_1_util_vector_logic_0)	1	0	0	0	0	0	0	0

Старая версия

Name	Slice LUTs (63400)	Slice Registers (126800)	F7 Muxes (31700)	Slice (15850)	LUT as Logic (63400)	LUT as Memory (19000)	Block RAM Tile (135)	DSPs (240)	Bonded IPADs (2)	BUFIO (24)	PLLE2_ADV (6)
design_1_wrapper	1157	950	108	425	1041	116	950	16	20	2	1
design_1_i (design_1)	1157	950	108	425	1041	116	16	0	0	0	0

Аппаратная реализация алгоритма повлияла на использование следующих ресурсов:

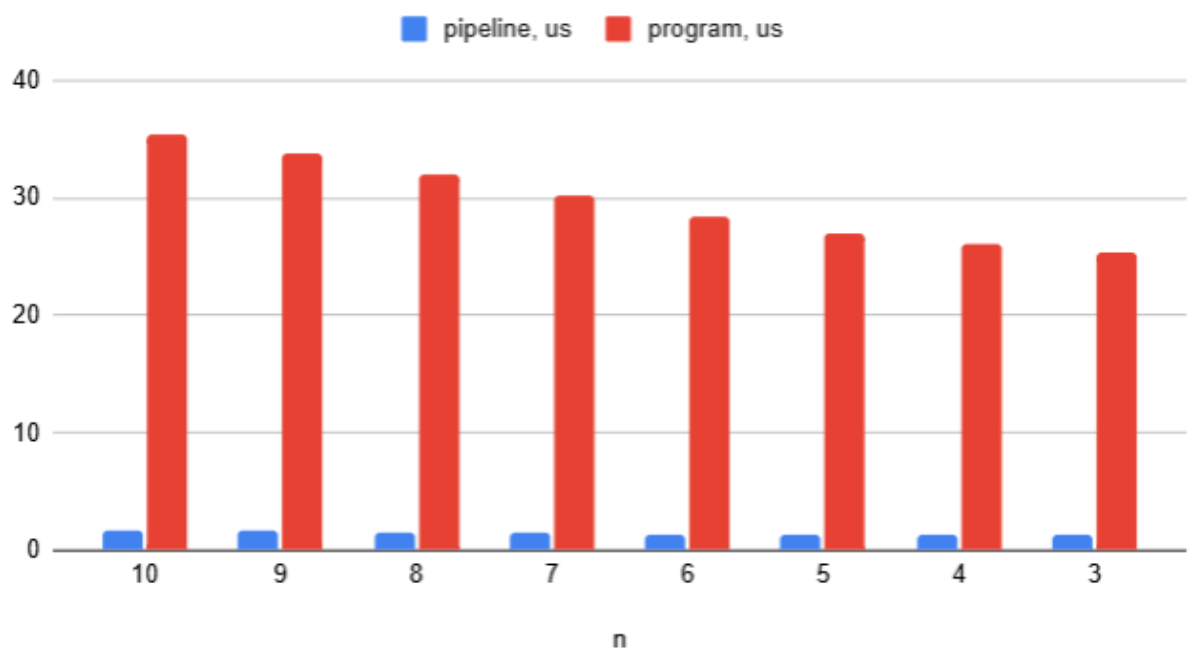
В полтора раза выросло потребление LUT

В два раза выросло потребление регистров FF

Увеличилось количество использованной памяти BRAM

Время выполнения алгоритма при тактовой частоте сигнала 100 МГц

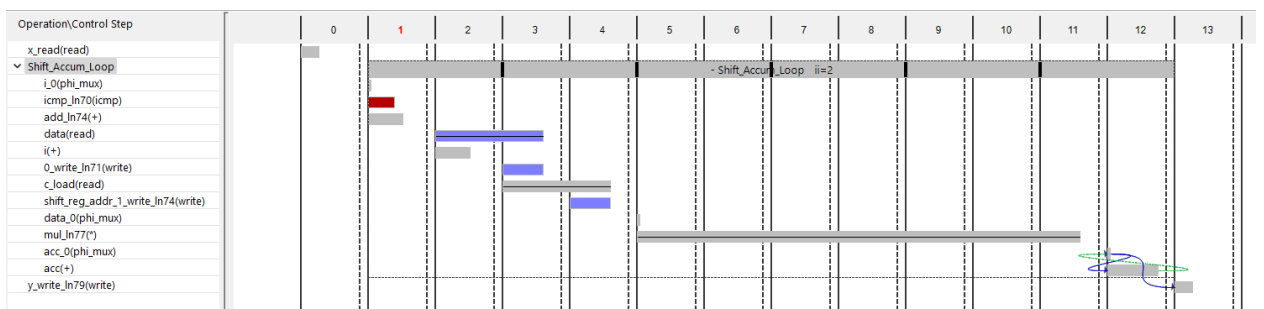
pipeline, us и program, us



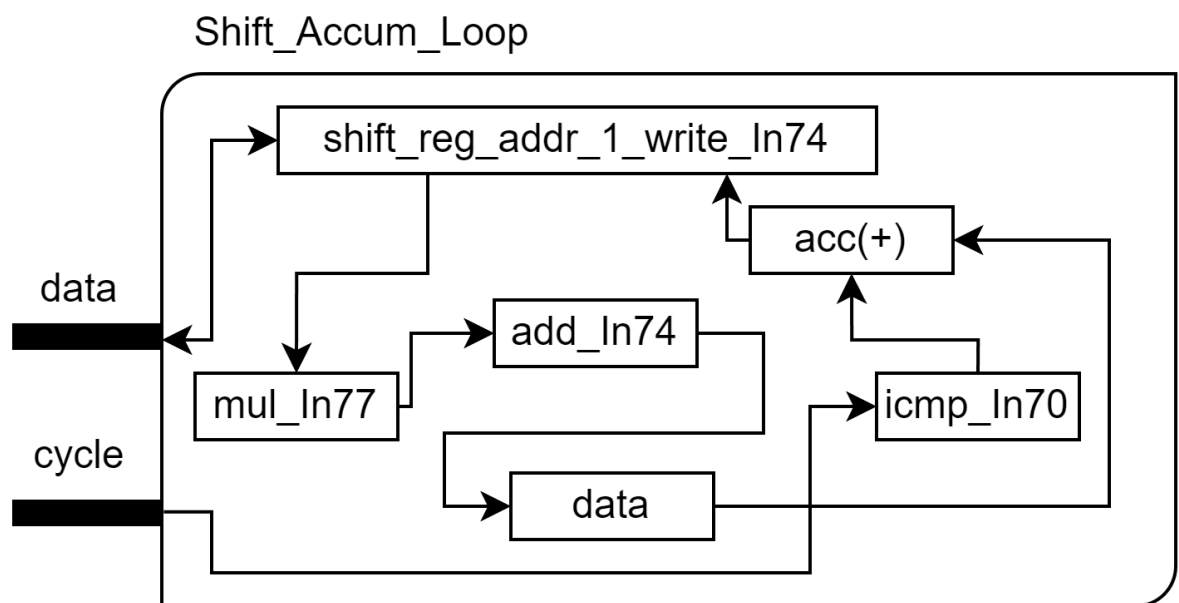
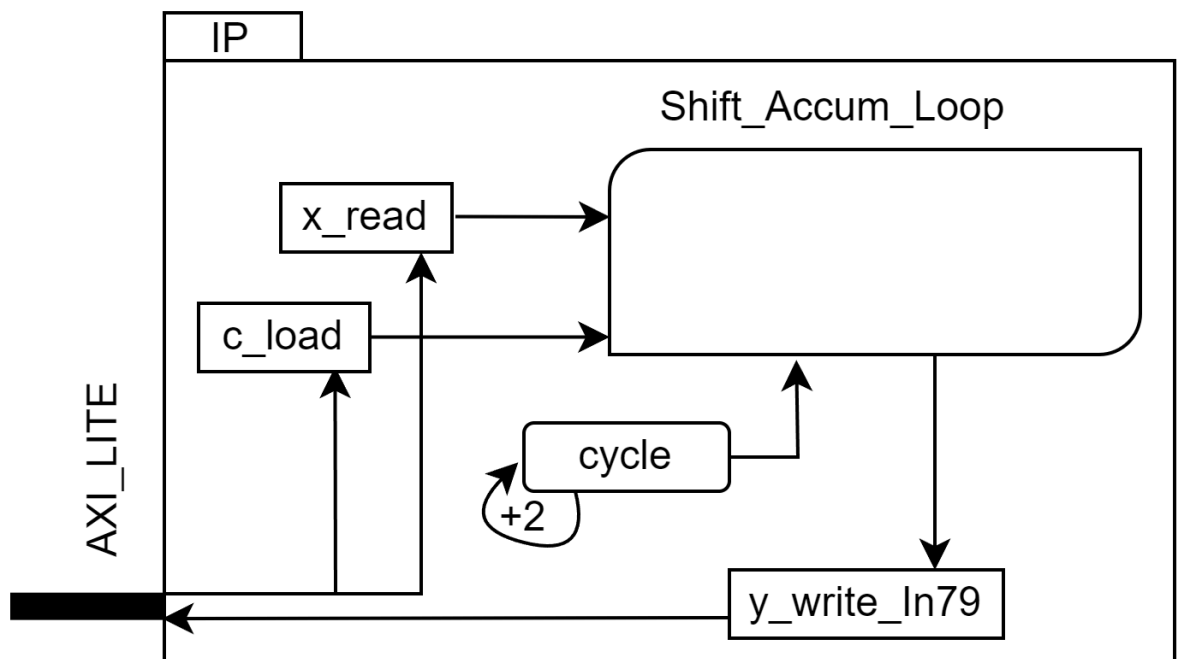
n	pipeline, us	program, us
10	1,77	35,4
9	1,69	33,8
8	1,6	32
7	1,51	30,2
6	1,42	28,4
5	1,35	27
4	1,3	26
3	1,27	25,4

В среднем, время выполнения алгоритма, при использовании аппаратного ускорителя, сократилось в 20 раз.

Schedule аппаратного ускорителя



Структурная схема аппаратного ускорителя



Вывод:

Мы научились добавлять собственные IP блоки в