

SystemVerilog Vocabulary Extractor

Filipe C. Cavalcanti
Leandro de S. Albuquerque
Orientador: Tio Kat

September 30, 2017

1 ABSTRACT

2 RESUMO

texto corrido [3] outra citação [2]

Sendo nosso foco SystemVerilog, que é uma unificação entre, design de hardware, e linguagem de verificação [7], SystemVerilog permite o uso de uma linguagem unificada para especificações abstratas e detalhadas do design e verificação, também em [7].

3 Introdução

O primeiro FPGA(Field Programmable Gate Array) comercialmente disponível foi lançado em 1985, fornecendo 64 blocos de lógica configurável e 58 blocos de entrada e saída de seus 85.000 transistores [2]. Nos tempos modernos, os FPGAs se tornaram chips com bilhões de transistores, fornecendo milhares de bits de memória on-chip, dezenas de milhares de registradores e centenas de blocos DSP(Digital Signal Processor) [9]. A partir disto, Como a complexidade de sistemas digitais modernos continua a aumentar exponencialmente, tem-se que as metodologias de design RTL estão crescendo também [9] e [5].

Com tal avanço, elevou-se o nível de abstração no desenvolvimento de hardware através de uma linguagem de descrição e verificação de hardware (HDVL), de tal forma que, fez-se necessário o uso de ferramentas de análise de informações que antes eram somente do escopo da engenharia de software.

Nos últimos anos, SystemVerilog e SystemC estão sendo extensivamente usadas para design e verificação na indústria VLSI(Very Large Scale Integration) [8].

Umas das principais fontes de informações em um código fonte é o vocabulário do mesmo. O vocabulário também denominado de léxico do código em [6] e [3], consiste no conjunto de termos repetidos ou únicos que compõem identificadores e que estão presentes no textos dos comentários [1].

Usando os princípios da engenharia reversa como uma coleção de metodologias e técnicas capazes de realizar a extração e abstração de informações [4], este trabalho propõe uma ferramenta que possibilita a extração de vocabulário para Systemverilog, além de fundamentar o termo "*Vocabulário de Hardware*".

4 Background

4.1 O Que é Uma HDVL?

4.2 O Hardware Como Um Software

4.3 Vocabulário de software

5 SystemVerilog Vocabulary Extractor

6 Resultados e Discussões

References

- [1] ABEBE, S. L., HAIDUC, S., MARCUS, A., TONELLA, P., AND ANTONIOL, G. Analyzing the evolution of the source code vocabulary. *Proceedings of the European Conference on Software Maintenance and Reengineering, CSMR* (2009), 189–198.
- [2] ALFKE, P., BOLSENS, I., AND CARTER, B. Fpga ! 15–20.
- [3] ANTONIOL, G., GUÉHÉNEUC, Y. G., MERLO, E., AND TONELLA, P. Mining the lexicon used by programmers during software evolution. *IEEE International Conference on Software Maintenance, ICSM* (2007), 14–23.
- [4] BENEDUSI, P., CIMITILE, A., AND CARLINI, U. D. Reverse engineering processes, design document production, and structure charts. *Journal of Systems and Software* 19, 3 (1992), 225 – 245.
- [5] HAHANOV, V., MELNIK, D., ZAHARCHENKO, O., AND ZAYCHENKO, S. Overview of Object-Oriented Approach to HDL- Testbench Construction for System-on-Chips. 621–625.
- [6] HØST, E. W., AND ØSTVOLD, B. M. The programmer’s lexicon, volume I: The verbs. *SCAM 2007 - Proceedings 7th IEEE International Working Conference on Source Code Analysis and Manipulation I* (2007), 193–202.
- [7] IEEE COMPUTER SOCIETY, AND IEEE STANDARDS ASSOCIATION CORPORATE ADVISORY GROUP. IEEE Standard for SystemVerilog–Unified Hardware Design, Specification, and Verification Language. 1315.
- [8] KUMAR, P. High Level Modeling Of Physical Layer Noise Parameters Using SystemC. 344–347.
- [9] M. DAIGNEAULT, J. D. RAISING THE ABSTRACTION LEVEL OF HDL FOR CONTROL-DOMINANT APPLICATIONS Marc-Andre Daigneault and Jean Pierre David Department of Electrical Engineering , Ecole Polytechnique de Montreal. 515–518.