EDA/CAD Nanoeletrónica

Mª Helena Fino 2015 – Aula 8

Introdução ao Verilog-A

Verilog-A

- + Permite desenvolver modelos para dispositivos electrónico, i.e., modelos compactos
- + Permite desenvolver modelos de blocos funcionais através de equações que caracterizam o comportamento dos blocos, i.e., modelos comportamentais.
- + Permite desenvolver modelos para sistemas elétricos, e não elétricos. (mecânicos)

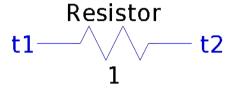
Verilog-A

- + Permite desenvolver modelos para dispositivos electrónico, i.e., modelos compactos
- + Permite desenvolver modelos de blocos funcionais através de equações que caracterizam o comportamento dos blocos, i.e., modelos comportamentais.
- + Permite desenvolver modelos para sistemas elétricos, e não elétricos. (mecânicos)
- + A unidade básica de Verilog-A é o módulo (Module)
 - + Permite descrever um componente (resistência, condensador, bobine ,,,,,,)
 - + Um módulo pode conter vários módulos

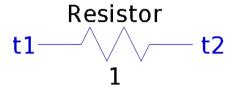
Verilog-A

- + Permite desenvolver modelos para dispositivos electrónico, i.e., modelos compactos
- + Permite desenvolver modelos de blocos funcionais através de equações que caracterizam o comportamento dos blocos, i.e., modelos comportamentais.
- Permite desenvolver modelos para sistemas elétricos, e não elétricos.
 (mecânicos)
- + A unidade básica de Verilog-A é o módulo (Module)
 - + Permite descrever um componente (resistência, condensador, bobine ,,,,,,)
 - + Um módulo pode conter vários módulos
 - + Cada componente é descrito usando <u>nós</u> e <u>ramos</u>.
 - + Descrição da topologia- interligação dos diferentes nós
 - + Descrição de como a corrente flui e das variações de potencial

Exemplo 1 – Resistência:



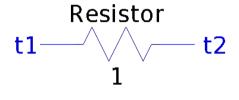
Exemplo 1 – Resistência:



Terminais t1 e t2

```
Module Myresistor (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=1;
Branch(†1, †2) res;
analog V(res)<+ r*I(res);
endmodule
```

Exemplo 1 – Resistência:



Module Myresistor (†1,†2);

Inout †1,†2;

electrical †1,†2;

Parameter real r=1;

Branch(†1, †2) res;

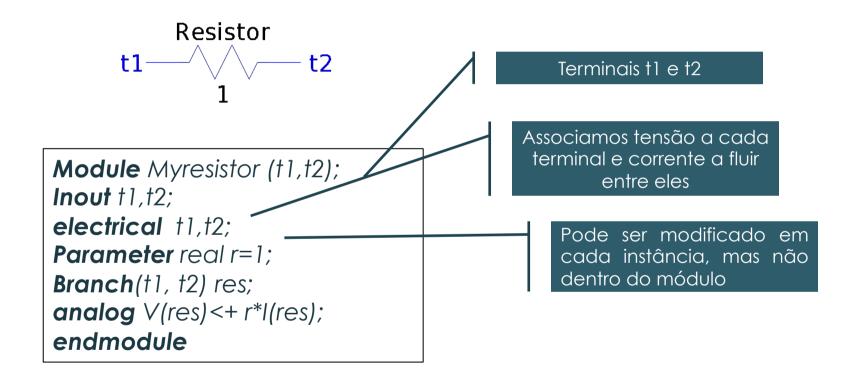
analog V(res)<+ r*I(res);</pre>

endmodule

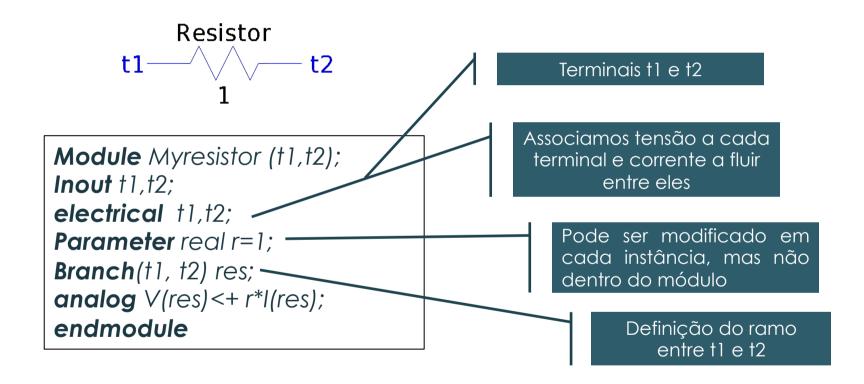
Terminais t1 e t2

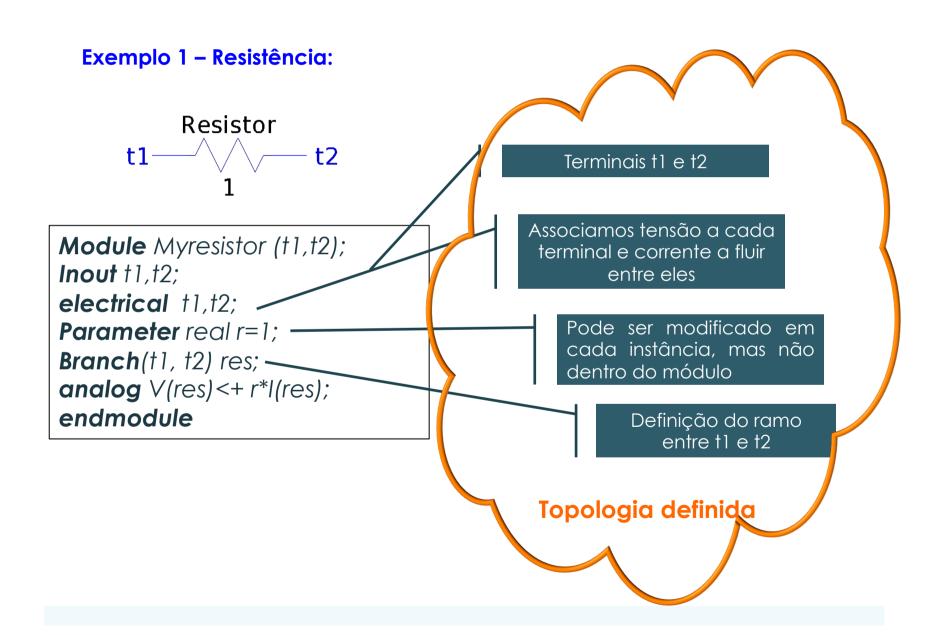
Associamos tensão a cada terminal e corrente a fluir entre eles

Exemplo 1 – Resistência:

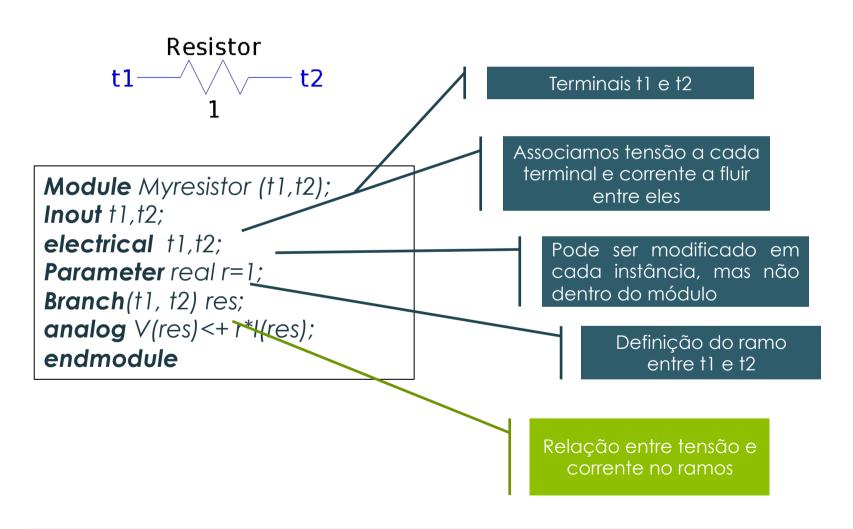


Exemplo 1 – Resistência:

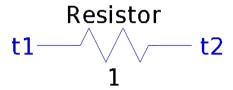




Exemplo 1 – Resistência:

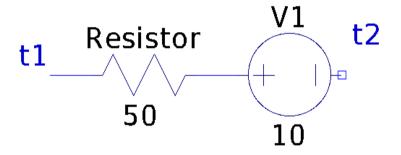


Exemplo 1 – Resistência:



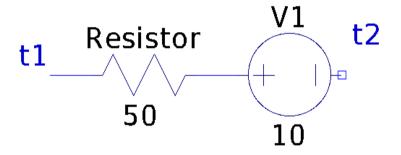
```
Module Myresistor (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=1;
analog V(†1,†2)<+ r*I(†1,†2);
endmodule
```

Exemplo 2 – elementos em série



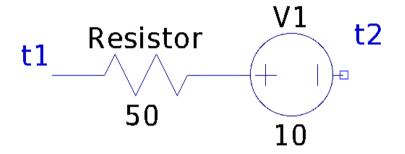
```
Module Myresistordc (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=50;
Parameter dc=10
Analog begin
V(†1,†2)<+ r*I(†1,†2);
V(†1,†2)<+ dc;
end
endmodule
```

Exemplo 2 – elementos em série



```
Module Myresistordc (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=50;
Parameter dc=10
Analog begin
V(†1,†2)<+ r*I(†1,†2);
V(†1,†2)<+ dc;
end
endmodule
```

Exemplo 2 – elementos em série



```
Module Myresistordc (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=50;
Parameter dc=10
Analog begin
V(†1,†2)<+ r*I(†1,†2);
V(†1,†2)<+ dc;
end
endmodule
```

```
Module Myresistor (†1,†2);
Inout †1,†2;
electrical †1,†2,†x;
Parameter real r=50;
Parameter dc=10
Analog begin
V(†1,†x)<+ r*I(†1,†2);
V(†x,†2)<+ dc;
end
endmodule
```

Exemplo 3 – elementos em paralelo

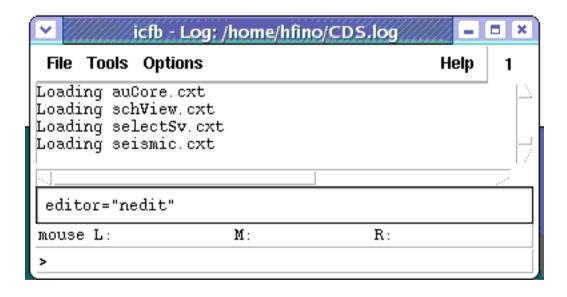
```
Module RLCParalel (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=50;
Parameter real C=10;
Parameter real L=2;
Analog begin
I(†1,†2)<+ V (†1,†2)/r;
I(†1,†2)<+ C*dat(V(†1,†2));
I(†1,†2)<+ idt(V(†1,†2))/L;
end
endmodule
```

Exemplo 3 – elementos em paralelo

```
Module RLCParalel (†1,†2);
Inout †1,†2;
electrical †1,†2;
Parameter real r=50;
Parameter real C=10;
Parameter real L=2;
Branch (†1,†2) res, ind, cap;
Analog begin
V(res)<+ I (res)*r;
I(cap)<+ C*ddt(V(cap));
V(ind)<+ L* ddt(V(ind)) L;
end
endmodule
```

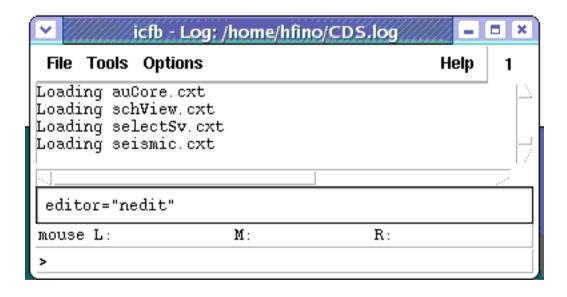
Usar Verilog em Cadence

1. Mudar o editor de texto

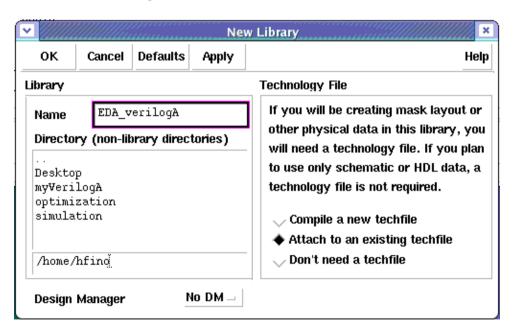


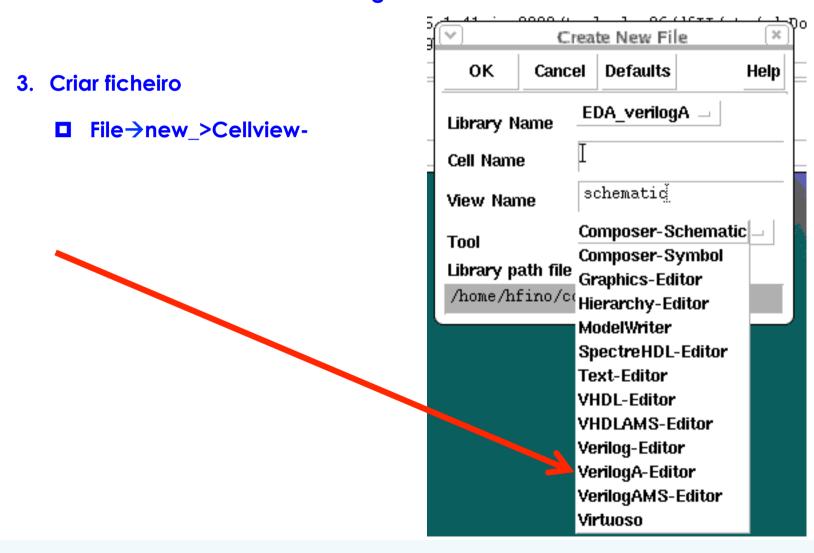
Usar Verilog em Cadence

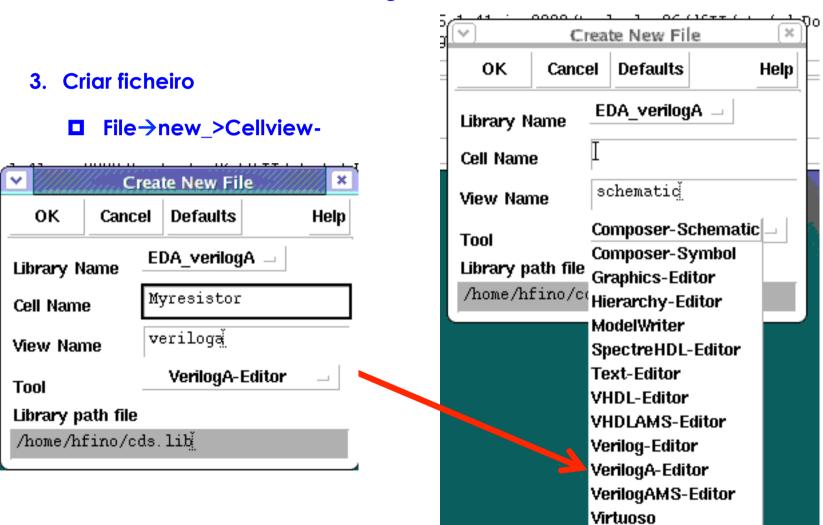
1. Mudar o editor de texto



- 2. Criar biblioteca para Verilog e editar 1º Exemplo
 - □ File → new_>Library-







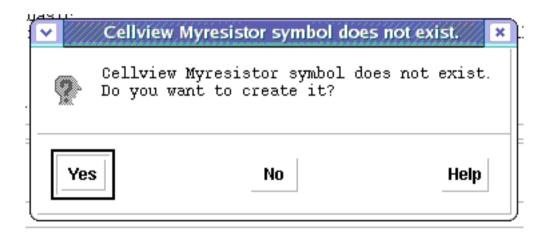
Usar Verilog em Cadence

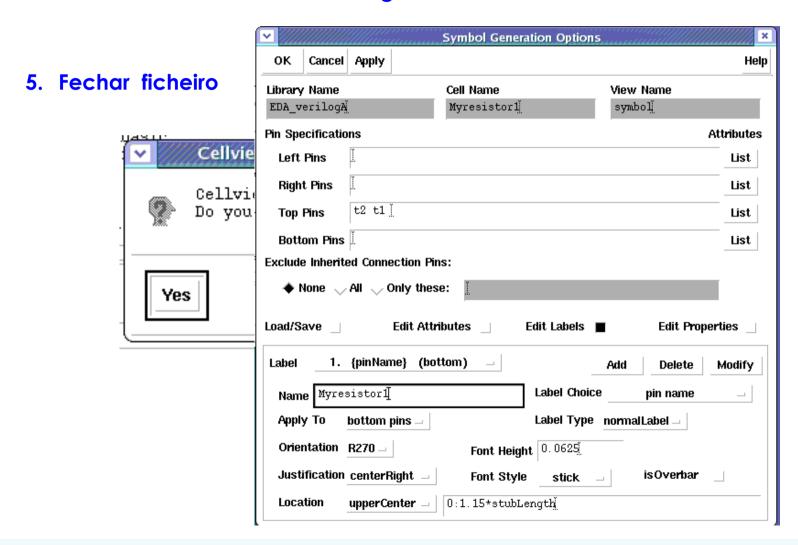
4. Editar ficheiro

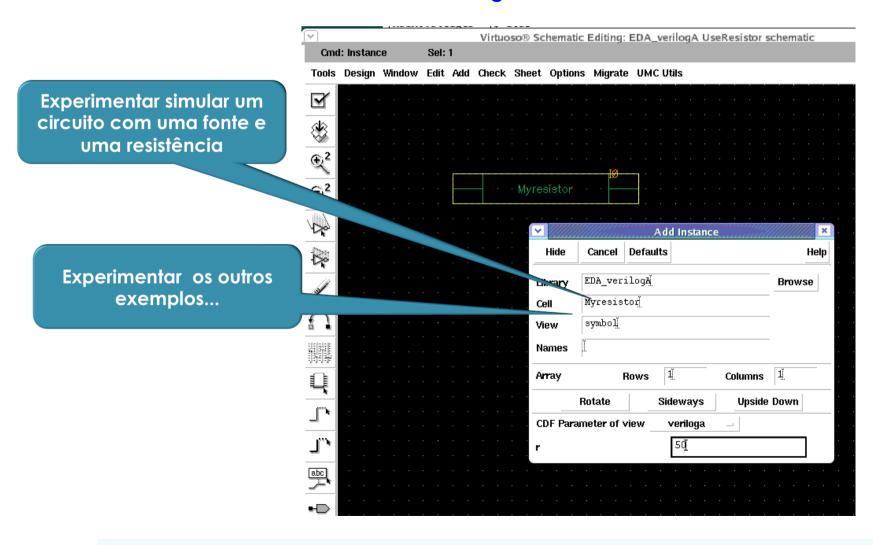
```
veriloga.va - /home/hfino/EDA_verilogA/Myresistor/veriloga/
     Edit Search Preferences Shell Macro Windows
                                                                            Help
// VerilogA for EDA verilogA, Myresistor, veriloga
include "constants.vams"
include "disciplines.vams"
module Myresistor;
endmodule
```

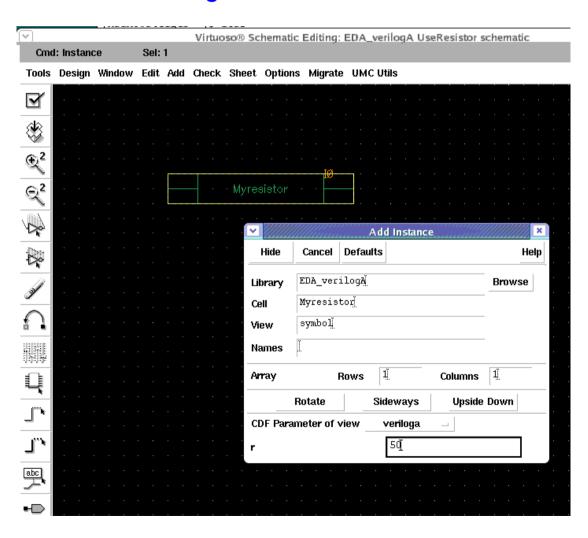
Usar Verilog em Cadence

5. Fechar ficheiro







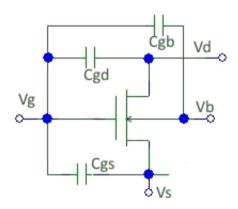


Exercício 1

Implementar em verilog-A um transístor N

1º Implementar o modelo de Schokley (sem condensadores)

2º Introduzir os condensadores usando o modelo de Meyer



$$C_{gs} = \frac{2}{3}WLC_{ox} \left[1 - \frac{(V_{gd} - V_t)^2}{(V_{gs} - V_t + V_{gd} - V_t)^2} \right]$$

$$C_{gd} = \frac{2}{3}WLC_{ox} \left[1 - \frac{(V_{gs} - V_t)^2}{(V_{gs} - V_t + V_{gd} - V_t)^2} \right]$$

$$C_{gb} = 0$$