

EDA-CAD Nano-electrónica 2015-2016

3º Trabalho

Datas de Entrega: 15 de Junho

Objectivos:

Este trabalho tem como objectivo o desenvolvimento em verilog de modelos para caracterização de osciladores em anel. Para tal deve ser implementado em Verilog_A modelos de transistores NMOS e PMOS, considerando o modelo EKV simplificado.

Introdução

Os osciladores em anel são normalmente implementados usando a ligação em anel de elementos de atraso. Os elementos de atraso podem ser implementados de diversas formas, sendo o caso mais simples o de um inversor CMOS.

Neste trabalho pretende-se fazer o projecto de um oscilador em anel utilizando inversores CMOS. Para a implementação de cada inversor, considera-se a implementação em Verilog-A do modelo de transistores (NMOS e PMOS)

Fase 1

Nesta fase pretende-se implementar em Verilog-A modelos para a caracterização de transistores usando o modelo EKV simplificado. Devem ser considerados transistores da tecnologia UMC65ll.

1. Desenvolvimento em Verilog-A de modelo de transistor (NMOS e PMOS) usando o modelo EKV simplificado.
2. Validação dos modelos desenvolvidos por comparação com curvas ID(VGS) e ID(VDS,VGS) obtidas por simulação.
3. Adicione a caracterização das capacidades parasitas, considerando :

$$C_{gs} = \frac{2}{3} WLC_{ox} \left[1 - \frac{(V_{gd}-V_t)^2}{(V_{gs}-V_t+V_{gd}-V_t)^2} \right] \quad (1)$$

$$C_{gd} = \frac{2}{3} WLC_{ox} \left[1 - \frac{(V_{gs}-V_t)^2}{(V_{gs}-V_t+V_{gd}-V_t)^2} \right] \quad (2)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (3)$$

Com $\epsilon_{ox}=3.453e-11$ e $t_{ox}=2.79e-9$

Fase 2 - Implementação do elemento de atraso

Esta fase deve considerar a implementação de um inversor CMOS, como se ilustra na Figura 1, usando transistores com as dimensões indicadas na Tabela 1

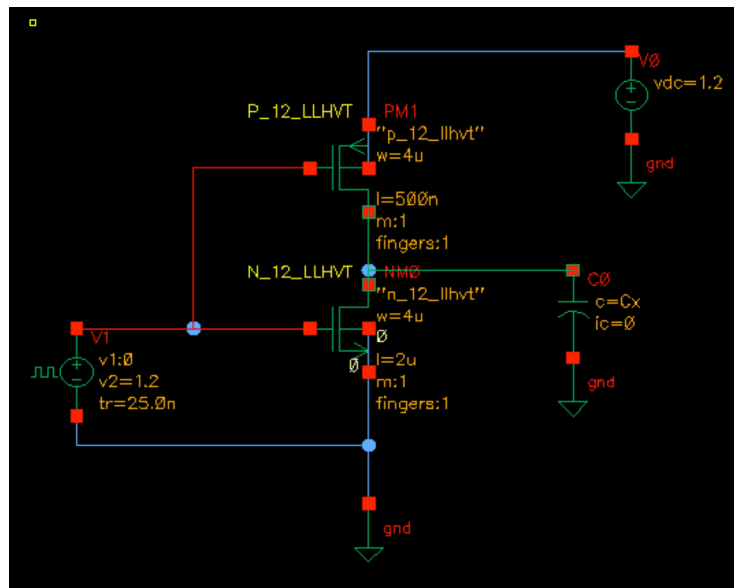


Figura 1: Inversor CMOS

Tabela 1: Caracterização de MOSFETs

	Modelo	W	L
Nmos 1	N_12_llhvt	4 μ	2 μ
Pmos 2	P_12_llhvt	4 μ	0.5 μ

Para a tensão na gate, considere um Vpulse com um período de 1us , atarso de 0ns, tempos de subida e de descida de =25ns.

1. Faça a simulação temporal do circuito, considerando $C_x=5\text{pF}$ e determine o atraso entre a onda de entrada e a de saída (na passagem por 0.6V) , para comutações positivas e negativas.
2. Faça uma análise paramétrica para valores de C_x entre 5pF e 20pF (passo de 5pF) e determine o valor do atraso introduzido em cada um dos casos.

Fase 3 - Implementação do oscilador em anel

1. Usando o elemento de atraso da fase 2, e para $C_x=5\text{pf}$, impenente um oscilador em anel com sete elementos de atraso. Determine a frequência de oscilação obtida.
2. Qual a máxima frequência de oscilação que é possível obter com este lemento de atraso ?
3. Dimensionar o circuito por forma a obter um oscilador de frequência 1 MHz.
4. Se pretendesse obter uma frequência de oscilação superior à obtida em 2., que opção de projecto poderia tomar ?