

EDA/CAD para Nanoelectrónica

2º Relatório prático ref. ano 2015-2016

Docente: Professora Doutora Helena Fino

Elaborado pelos alunos de MIEEC:

António João Marques de Andrade Pereira
Filipe Miguel Aleixo Perestrelo
Silvana Regina Ferreira de Oliveira Costa

39971
39656
30159

Índices

Objectivos:	3
Introdução Teórica:	6
Modelo EKV	6
Especificações do Modelo EKV:	6
Implementação Prática	8
Fases do Projecto:	8
Fase 1	8
Fase 1 - alínea a: Determinação da Corrente I_s (Corrente Específica)	8
Fase 1 - alínea b: Determinação da tensão de Pinch-off, V_p	12
Fase 1 - alínea c: Determinação da Tensão de Threshold (V_t ou V_{t0}):	14
Fase 1 - alínea d: Determinação dos parâmetros γ e Φ :	16
Fase 1 - alínea e: Determinação de $n(V_g)$:	18
Fase 1 - alínea f: Determinação do parâmetro K_p :	19
Fase 1: Comentários:	21
Fase 2:	22
Fase 2: Comparação de resultados analisados do modelo	22
Fase 3:	27
Fase 3: Repetir as fases 1 e 2 para um transistor P com as mesmas dimensões. ...	27
Fase 3 - Parte1 - alínea a: Determinação da Corrente I_s (Corrente Específica)	27
Fase 3 - Parte1 - alínea b: Determinação da tensão de Pinch-off, V_p	29
Fase 3 - Parte1 - alínea c: Determinação da Tensão de Threshold (V_t ou V_{t0}):	31
Fase 3 - Parte1 - alínea d: Determinação dos parâmetros γ e Φ :	32
Fase 3 - Parte 1 - alínea e: Determinação de $n(V_g)$:	33
Fase 3 - Parte1 - alínea f: Determinação do parâmetro K_p :	34
Fase 3 - Parte2:	37
Fase 3 - Parte 2: Comparação de resultados analisados do modelo	37
Conclusão:	42
Referências:	43
Anexos:	44

Índice de Tabelas

Tabela 1. Parâmetros do modelo EKV2.6	3
Tabela 2. Características dos transístores utilizados na fase 2.	5
Tabela 3. Equações de I_D conforme as zonas de inversão [Fonte: ver ref. (1)]	7
Tabela 4. Características dos transístores P utilizados.	27
Tabela 5. Valores obtidos dos parâmetros para o transístores P utilizados.	28
Tabela 6. Valores obtidos dos parâmetros para o transístores P utilizados.	32
Tabela 7. Valores obtidos dos parâmetros para o transístores P utilizados.	36

Índice de Figuras

Figura 1: Transístor MOS utilizado no modelo EKV [Fonte: Ref. (1)]	6
Figura 2: Gráfico $\log(I_D)$ onde se demonstram as inversões fraca, moderada e forte do transístor – [Fonte: Ref. (1)]	7
Figura 3 : Esquemático do circuito desenvolvido no software Cadence	8

Figura 4: Curve Fitting utilizado para determinação da corrente específica	9
Figura 5: Característica $I_D(V_S)$ de um transistor com $W=4\mu$ e $L=2\mu$ e V_d fixo em 1.2V.....	11
Figura 6: Característica $I_D(V_S)$ de um transistor com $W=1\mu$ e $L=0.5\mu$ e V_d fixo em 1.2V	11
Figura 7: Montagem para determinação de V_p	12
Figura 8: Característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	13
Figura 9: Característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	13
Figura 10: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	14
Figura 11: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	15
Figura 12: Curve Fitting $V_s(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	17
Figura 13: Curve Fitting $V_s(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	17
Figura 14: Característica $n(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	18
Figura 15: Característica $n(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	18
Figura 16: Característica $I_D(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	19
Figura 17: Característica $I_D(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	19
Figura 18: Curve fitting de $I_s(V_p)$ de um transistor com $W=4\mu$ e $L=2\mu$	20
Figura 19: Curve fitting de $I_s(V_p)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	20
Figura 20: Característica $I_D(V_{gs})$ de um transistor com $W=4\mu$ e $L=2\mu$	23
Figura 21: Característica $I_D(V_{gs})$ de um transistor com $W=1\mu$ e $L=0.5\mu$	23
Figura 22: Característica $I_D(V_{DS})$ de um transistor com $W=4\mu$ e $L=2\mu$	24
Figura 23: Característica $I_D(V_{DS})$ de um transistor com $W=1\mu$ e $L=0.5\mu$	24
Figura 22: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor com $W=4\mu$ e $L=2\mu$	25
Figura 23: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor com $W=1\mu$ e $L=0.5\mu$	25
Figura 24: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor com $W=4\mu$ e $L=2\mu$	26
Figura 25: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor com $W=1\mu$ e $L=0.5\mu$	26
Figura 22: Curve Fitting utilizado para determinação da corrente específica	27
Figura 23: Característica $I_D(V_S)$ de um transistor com $W=4\mu$ e $L=2\mu$ e V_d fixo em 1.2V	28
Figura 24: Característica $I_D(V_S)$ de um transistor com $W=1\mu$ e $L=0.5\mu$ e V_d fixo em 1.2V.....	29
Figura 25: Montagem para determinação de V_p	29
Figura 26: Característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	30
Figura 27: Característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	30
Figura 28: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	31
Figura 29: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	31
Figura 30: Curve Fitting $V_s(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	32
Figura 31: Curve Fitting $V_s(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	33
Figura 32: Característica $n(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	33
Figura 33: Característica $n(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	34
Figura 34: Característica $I_D(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$	34
Figura 35: Característica $I_D(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	35
Figura 36: Curve fitting de $I_s(V_p)$ de um transistor com $W=4\mu$ e $L=2\mu$	35
Figura 37: Curve fitting de $I_s(V_p)$ de um transistor com $W=1\mu$ e $L=0.5\mu$	36
Figura 38: Característica $I_D(V_{GS})$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$	38
Figura 39: Característica $I_D(V_{GS})$ de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$	38
Figura 40: Característica $I_D(V_g)$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$	39
Figura 41: Característica $I_D(V_g)$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$	39
Figura 48: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=4\mu$ e $L=2\mu$	40
Figura 49: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$	40
Figura 50: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=4\mu$ e $L=2\mu$	41
Figura 51: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$	41

Objectivos:

Este trabalho tem como objectivo a determinação dos parâmetros do modelo EKV para transístores NMOS da tecnologia UMC065. Serão apenas considerados transístores de canal longo. Assim como o trabalho anterior, este também contará com o auxílio de ferramentas importantes como o *software Cadence* para dimensionamento e simulação, E o software Matlab para determinação e cálculos dos parâmetros.

O modelo EKV2.6 é caracterizado pelos seguintes parâmetros:

Tabela 1. Parâmetros do modelo EKV2.6

NOME	Descrição	Unidades
Cox	Capacidade do óxido	F/m
V_{T0}	Tensão limiar de condução	V
Gama	Fator de efeito de corpo	V^{0.5}
Phi	Potencial de Fermi (2x)	V
Kp	Transcondutância	A/V²
Theta	Coefficiente de redução de mobilidade	1/V
Ucrit		V/m
XJ	Profundidade de junção	m
DL	Correção de comprimento de canal	m
DW	Correção de largura de canal	m
Lambda	Coefficiente de depleção	-
LETA	Coefficiente de canal curto	-
WETA	Coefficiente de canal estreito	-

Dos parâmetros acima do modelo EKV 2.6, não foram considerados todos, apenas foram obtidos os relativos a transístores de canal longo.

Este trabalho é constituído por 3 fases que serão descritas a seguir:

Fase 1: Determinação dos parâmetros do Modelo EKV para um transístor Nmos1 com $W = 4\mu$ e $L = 2\mu$:

Nesta fase são determinados os seis parâmetros seguintes deste modelo, tendo por base características de funcionamento dos dispositivos obtidas por simulação:

- Corrente I_s ;
- Tensão de *Pinch-off*, V_p ;
- Tensão V_t ;
- γ e Φ ;
- $n(V_g)$;
- K_p .

Estes parâmetros são obtidos com recurso ao software denominado *Matlab*

Fase 2: Implementar, em Matlab, um script que permite gerar características $I_D(V_{GS})$ e $I_D(V_{DS})$ utilizando o modelo EKV.

Nesta fase é sugerido o desenvolvimento de um script contendo as seguintes funções:

- Função `get_Vp`: Que devolve valor de V_P em função da tensão V_G ;
- Função `get_Is`: Que devolve valor de I_S em função de V_G ;
- Função `get_ifr`: Que devolve valor de corrente $i_{f(r)}$ em função de V_G e de $V_{S(D)}$

Uma vez obtidos os valores de todos os parâmetros do modelo, são traçadas as curvas características a partir das funções acima mencionadas e é feita graficamente uma comparação destas curvas com as curvas obtidas por simulação tanto para o transístor Nmos1 como para o Nmos2.

As características dos transístores usados podem ser consultadas na seguinte tabela 2 apresentada:

Tabela 2. Características dos transístores utilizados na fase 2.

TRANSÍSTOR	MODELO	W	L
NMOS1	N_12_11hvt	4 μ	2 μ
NMOS2		1 μ	0.5 μ

Fase 3: Repetir as fases 1 e 2 para um transistor P com as mesmas dimensões.

Introdução Teórica:

Modelo EKV

As suas origens remontam aos primeiros desenvolvimentos de relógios electrónicos em *CEH* (*sigla em francês para relojoeiros do Centro Electrónico*) na Suíça.

O consumo total de energia teve que ser extremamente baixa, inferior a $1\mu\text{W}$, para garantir alguns anos de vida para a bateria. Após as primeiras versões baseadas em transístores bipolares, a tecnologia CMOS logo foi identificada como a melhor abordagem para implementar os circuitos electrónicos digitais.

Logo, o modelo EKV é uma evolução dos primeiros modelos de transístores de inversão fraca dos anos 70. Este foi desenvolvido na época de 90 por Christian Enz, François Krummenacher e Eric Vittoz, cujas iniciais do nome do modelo tem sua origem.

Existem duas versões para este modelo com diferentes graus de simplicidade. A versão mais complexa é o EKV3.0 e a mais simples, denominada de modelo EKV2.6, é a versão usada neste trabalho e apresenta algumas limitações para canais muito curtos.

Este é um modelo físico dedicado à análise de circuitos de baixa tensão e baixa corrente, construído sob propriedades físicas fundamentais da estrutura dos transístores e que permite a continuidade de pequenos e grandes sinais desde a inversão fraca até a forte.

Portanto, a criação desse modelo veio permitir uma reprodução mais fiel das novas características de funcionamento dos transístores em todas as zonas de inversão.⁽²⁾

Especificações do Modelo EKV:

Este modelo tem 13 (treze) parâmetros que descrevem o comportamento do transistor em todas as regiões de operação. Os parâmetros do modelo EKV estão resumidos na tabela 1 anteriormente apresentada.

Também preserva a simetria intrínseca do transistor referindo todas as tensões ao Bulk mantendo-se a simetria do dispositivo, como pode ser visto na Figura 1 abaixo:.

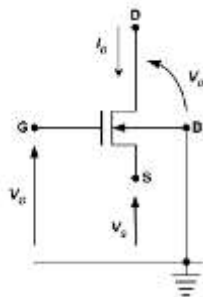


Figura 1: Transístor MOS utilizado no modelo EKV [Fonte: Ref. (1)]

As zonas de operação do transistor são descritas através do que é definido como o potencial eletrostático na superfície do material semiconductor.

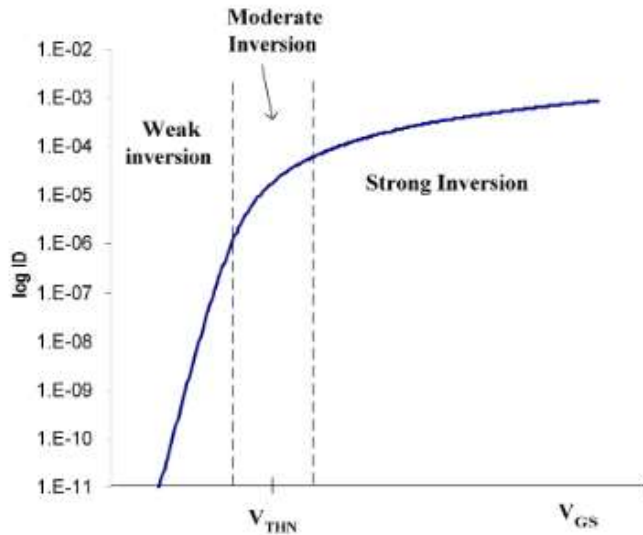


Figura 2: Gráfico log(ID) onde se demonstram as inversões fraca, moderada e forte do transistor – [Fonte: Ref. (1)]

Observando a figura 2, na zona de inversão fraca, ou *subthreshold*, o canal é ligeiramente invertido, esta zona é usada em aplicações de baixo consumo de potência e baixa frequência. Na inversão moderada, o erro resultante não é muito significativo. E por ultimo, na zona de inversão forte, existe a possibilidade de medição da tensão em que o transistor entra em saturação (tensão de *pinch-off*).

As equações variam muitas vezes conforme a zona de inversão forte ou fraca. Tradicionalmente não se considera equações gerais para inversão moderada¹. Na tabela seguinte (tabela 3) temos:

Tabela 3: Equações de ID conforme as zonas de inversão [Fonte: ver ref. (1)]

	I_D (assumes $V_{BS}=0$)	g_m
Weak Inversion	$I_D = 2n\mu C_{ox} \left(\frac{W}{L}\right) U_T^2 \exp\left(\frac{V_{GS} - V_{TO}}{nU_T}\right)$	$g_m = \frac{I_D}{nU_T}$
Strong Inversion	$I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TO})^2$	$g_m = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) I_D}$

Portanto, no modelo EKV acaba por se considerar uma única equação em todos os níveis de inversão.

Implementação Prática

Através do *software Cadence*, desenvolveu-se o seguinte esquemático do circuito:

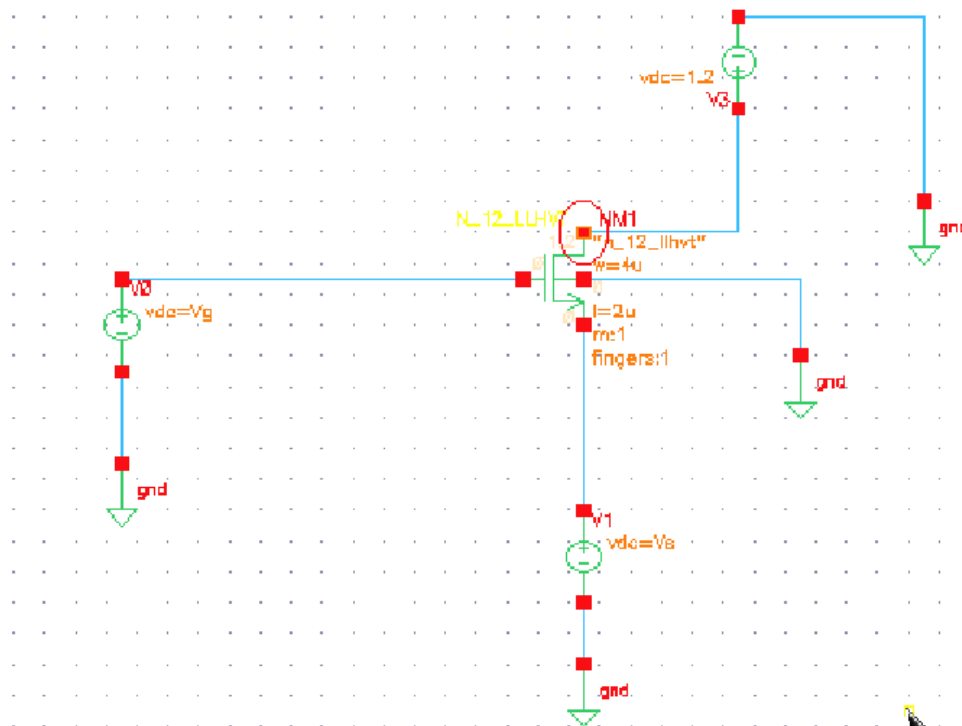


Figura 3 : Esquemático do circuito desenvolvido no software Cadence

Após a simulação, Os dados foram exportados para o Matlab onde obteve-se os seguintes gráficos das curvas características $I_D(V_S)$:

Fases do Projecto:

Fase 1

Fase 1 - alínea a: Determinação da Corrente I_S (Corrente Específica)

A corrente de dreno I_D , é decomposta em corrente directa e inversa conforme a expressão:

$$I_D = I_S(i_F - i_R) \quad (1)$$

Em que,

$$I_S = 2\mu C_{ox} U_t^2 \left(\frac{W}{L}\right) \quad (2)$$

$$i_F = \left[\ln \left(1 + \exp \left(\frac{V_p - V_S}{2U_t} \right) \right) \right]^2 \quad (3)$$

$$i_R = \left[\ln \left(1 + \exp \left(\frac{V_p - V_D}{2U_t} \right) \right) \right]^2 \quad (4)$$

Uma vez que, quando um transistor encontra-se em inversão forte, com $e^{\left(\frac{V_p-V_D}{2U_t}\right)} \gg 1$ e i_R é desprezável. Tem-se:

$$i_f = \left(\frac{V_p-V_S}{2U_t}\right)^2 \quad (5)$$

Logo, a corrente de dreno é dada por:

$$I_D \approx I_S * \left(\frac{V_p-V_S}{2U_T}\right)^2 \leftrightarrow \sqrt{I_D} \approx \sqrt{I_S} * \left(\frac{V_p-V_S}{2U_T}\right) \leftrightarrow \sqrt{I_D} \approx \left[-\left(\frac{\sqrt{I_S}}{2U_T}\right) * V_S\right] + \left[\left(\frac{\sqrt{I_S}}{2U_T}\right) * V_P\right] \quad (6)$$

Pelo que a característica $\sqrt{I_D}(V_S)$ é uma recta com:

$$\text{Declive: } m = -\left(\frac{\sqrt{I_S}}{2U_T}\right) \quad (7)$$

$$\text{e com ordenada na origem: } b = \left[\left(\frac{\sqrt{I_S}}{2U_T}\right) * V_P\right] \quad (8)$$

Através da simulação efectuada utilizando o *software Cadence*, considerando o transistor em inversão forte, obteve-se a característica $\sqrt{I_D}(V_S)$. De seguida utilizou-se o método de *curve fitting* para determinar m e b .

O curve fitting pode ser visualizado na figura abaixo (figura 4):

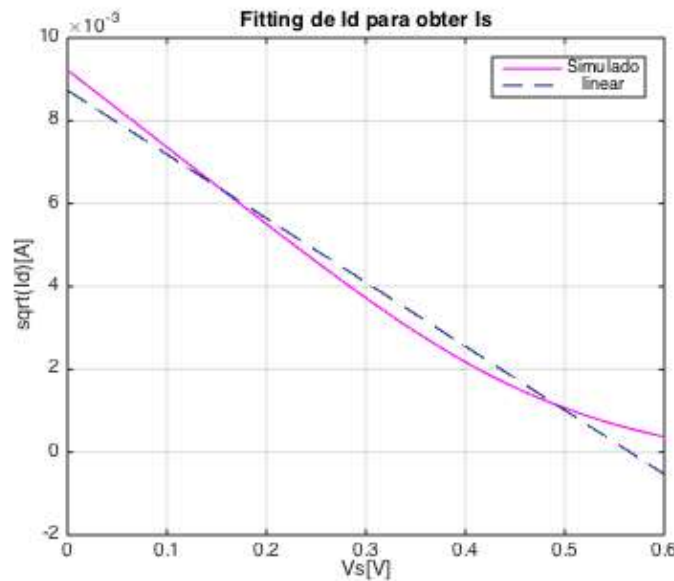


Figura 4: Curve Fitting utilizado para determinação da corrente específica

E os valores obtidos foram:

$$m = - \left(\frac{\sqrt{I_S}}{2U_T} \right) \leftrightarrow \quad \mathbf{m = -0.0182} \quad (9)$$

$$b = \left[\left(\frac{\sqrt{I_S}}{2U_T} \right) * V_P \right] \leftrightarrow \quad \mathbf{b = 0.0092} \quad (10)$$

Uma vez determinados m e b . Através de m , Torna-se possível o calculo da corrente I_S Uma vez que:

$$I_S = (2m + U_t)^2 \quad (11)$$

Tendo em conta que:

$$\mathbf{U_t = 0.025} \quad (\text{Valor definido pela docente})$$

e

$$\mathbf{m = -0.0182} \quad (\text{Valor obtido acima})$$

Então:

$$0.0182 = - \left(\frac{\sqrt{I_S}}{2*0.025} \right) \leftrightarrow \quad \mathbf{I_S = 82.439\mu A} \quad (12)$$

Dos dados exportados para o Matlab, também obteve-se os seguintes gráficos das curvas características $I_D(V_S)$:

Características $I_D(V_S)$ com $V_D = 1.2V$

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

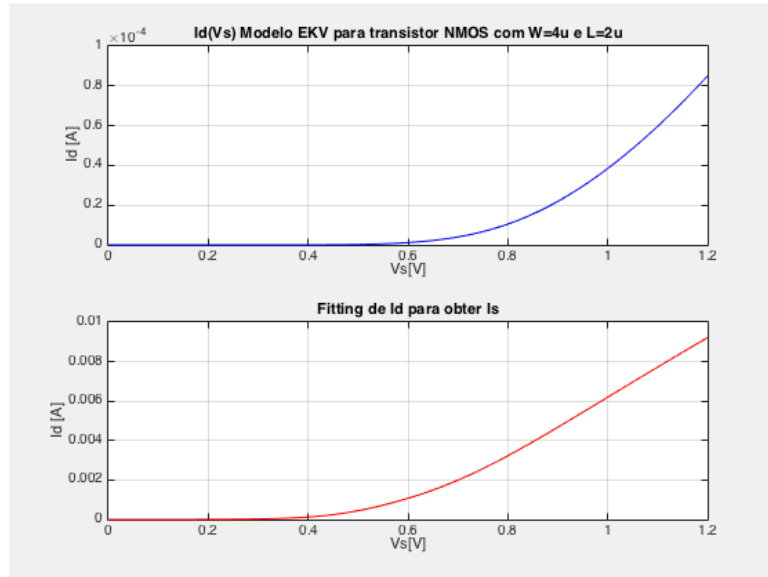


Figura 5: Característica $I_D(V_S)$ de um transistor com $W=4\mu$ e $L=2\mu$ e V_D fixo em 1.2V

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

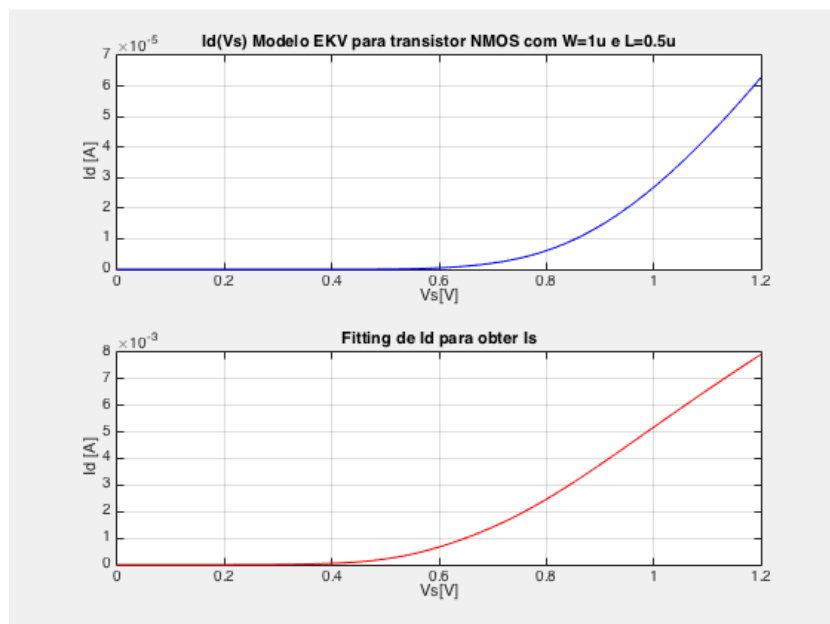


Figura 6: Característica $I_D(V_S)$ de um transistor com $W=1\mu$ e $L=0.5\mu$ e V_D fixo em 1.2V

Fase 1 - alínea b: Determinação da tensão de Pinch-off, V_p

A tensão de pinch-off é definida como a tensão do canal para o qual a inversão de carga é zero sob efeito da inversão forte⁽⁴⁾. Esta fornece um método eficiente de determinação dos principais parâmetros do modelo tais como a tensão de threshold e outros parâmetros relativos à concentração de portadores no canal⁽⁴⁾

A determinação da tensão de pinch-off consiste em usar uma corrente de polarização constante, tipicamente igual a da corrente . Para medir a característica varia-se todos os valores da tensão da porta e mede-se a tensão da fonte .

Para a determinação da tensão *Pinch-off*, V_p , considerou-se a seguinte equação:

$$I_D = I_S * \left[\ln \left(1 + e^{\frac{V_p - V_S}{2U_T}} \right) \right]^2 \xLeftrightarrow{V_p \approx V_S} I_D = I_S * [\ln(2)]^2 \leftrightarrow I_D = I_S * 0.48 \quad (13)$$

Através do seguinte esquemático desenvolvido:

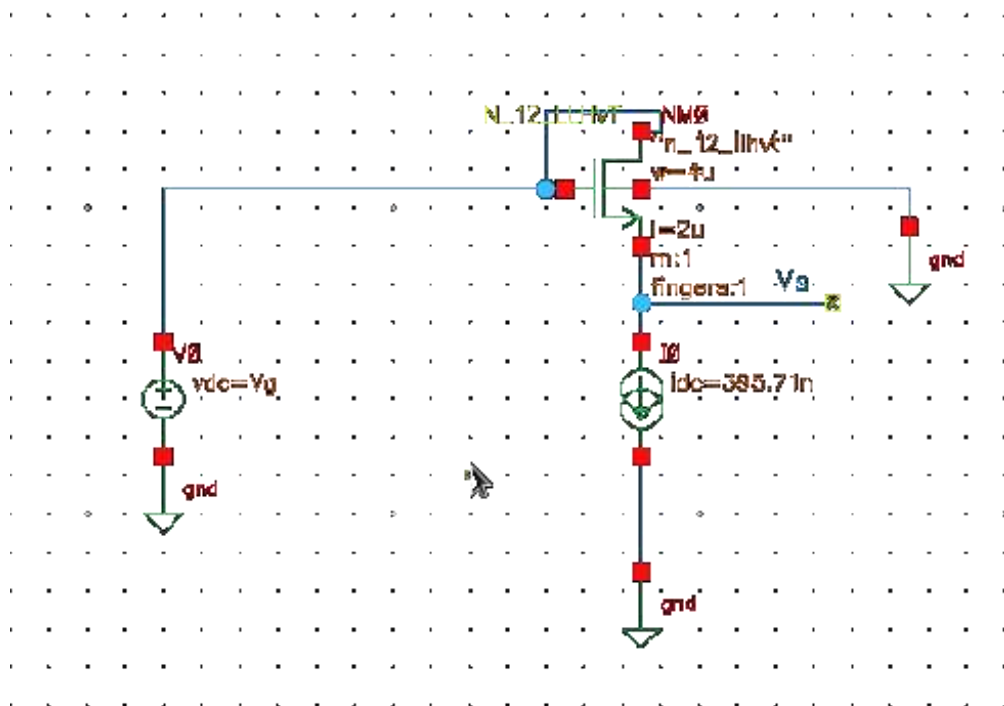


Figura 7: Montagem para determinação de V_p

Obtida a equação e simulando no *Cadence* o circuito da figura 7, obteve-se a recta $V_p(V_G)$ representada na figura 8:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

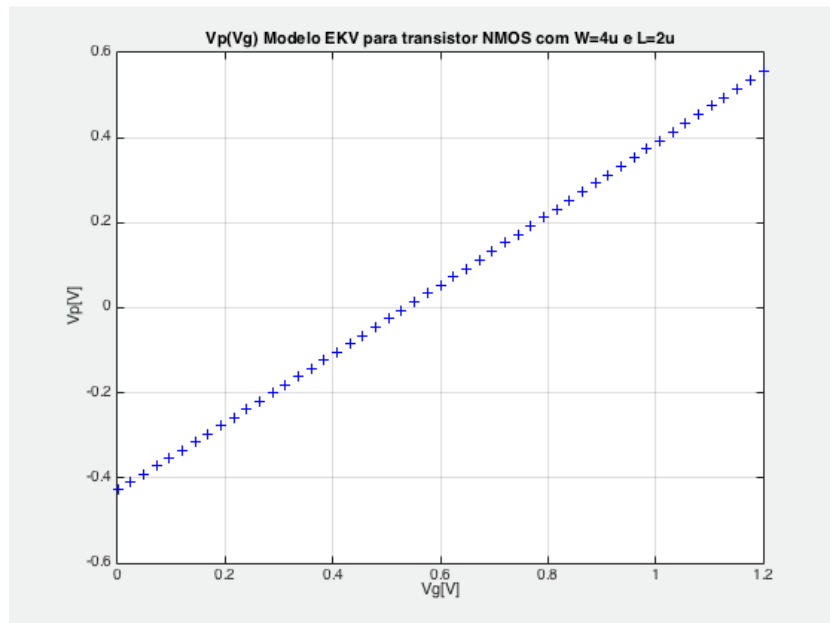


Figura 8: Característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

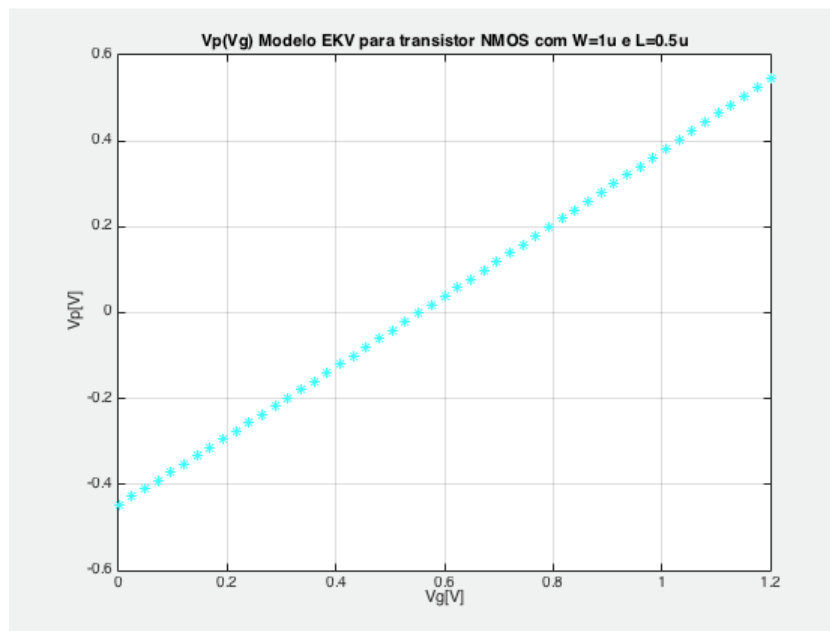


Figura 9: Característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Fase 1 - alínea c: Determinação da Tensão de Threshold (V_t ou V_{t0}):

A partir da característica $V_P(V_G)$ determinou-se o valor de V_t , considerando as seguintes equações:

$$V_P \approx \frac{V_G - V_T}{n} \Leftrightarrow V_P = (m_2 * V_G + b_2) \quad (14)$$

Onde m_2 e b_2 são novos valores de declive e ordenada de origem obtidos da característica $V_P(V_G)$.

A tensão de threshold é definida como sendo a tensão da gate, denominada V_G , para a qual, a inversão de carga no canal no equilíbrio é zero, ou seja, quando $V_P = 0$, logo:

$$V_P = (m_2 * V_G + b_2) \xrightarrow{V_P=0} V_{T0} = V_G = \left(\frac{-b_2}{m_2} \right) \quad (15)$$

Para determinar o valor de m_2 e b_2 , fez-se um curve fitting às características $V_P(V_G)$ que podem ser observadas das figuras 10 e 11 seguintes.

- Para o transístor NMOS1 com $W=4\mu$ e $L=2\mu$:

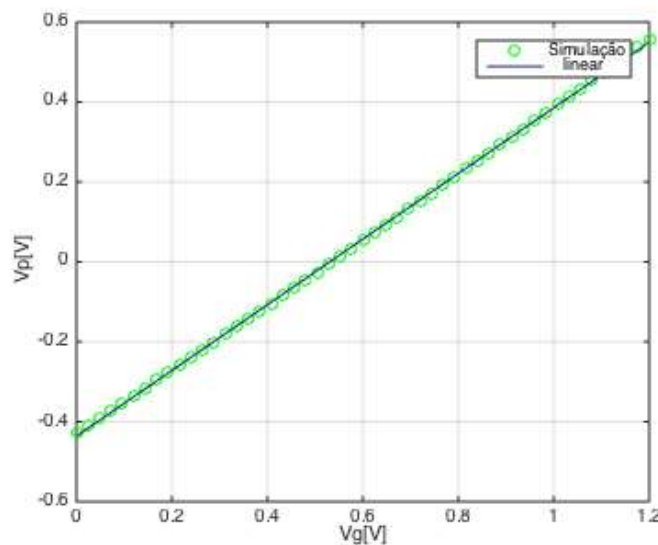


Figura 10: Curve Fitting da característica $V_P(V_G)$ de um transístor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

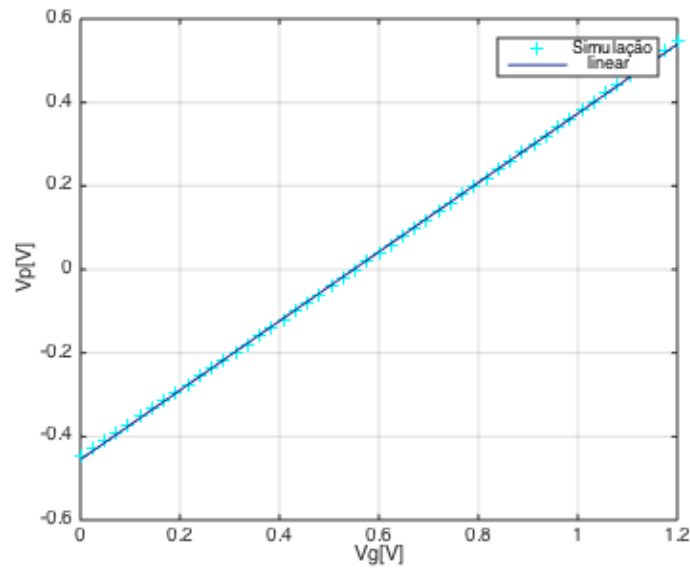


Figura 11: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Através das curvas acima, obteve-se os seguintes valores:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

$$m_2 = -0.0182$$

$$b_2 = 0.0092$$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

$$m_2 = -0.0116$$

$$b_2 = 0.0070$$

Logo, obteve-se também os seguintes valores para cada V_{t0} :

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

$$V_{t0} = 0.5209 [V].$$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

$$V_{t0} = 0.5390[V].$$

Fase 1 - alínea d: Determinação dos parâmetros γ e Φ :

A tensão de *pinch-off* no modelo EKV em função da tensão da *gate* V_G é dada por:

$$V_P = V_G' - \phi - \left[\gamma' * \left(\sqrt{V_G' + (0.5 \gamma')^2} - 0.5 \gamma' \right) \right] \quad (16)$$

Onde γ' é denominado por *coeficiente de corpo* ou *factor de substracto*, e é dado por:

$$\gamma' = \left[\frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}} \right] \quad (17)$$

E ϕ é uma aproximação do potencial da região em inversão forte e a tensão da *gate* V_G' é dada por:

$$V_G' = V_G - V_{t0} + \phi - (\gamma * \sqrt{\phi}) \quad (18)$$

em que V_{t0} é a tensão de *threshold*.

Para transístores de canal longo, a aproximação $\gamma' = \gamma$ é válida, caso o efeito de corpo γ' tem de ser tido em conta.

Uma vez obtido V_G' através de simulação, realizando um *fitting* à equação da tensão de *pinch-off* (V_P), obteve-se os valores pretendidos neste ponto, ou seja, dos parâmetros γ e Φ :

- Para o transístor NMOS1 com W=4u e L=2u:

$$\phi = 0.9650$$

$$\gamma = 0.4320$$

- Para o transístor NMOS2 com W=1u e L=0.5u:

$$\phi = 0.9320$$

$$\gamma = 0.4000$$

- Para o transístor NMOS1 com $W=4\mu$ e $L=2\mu$:

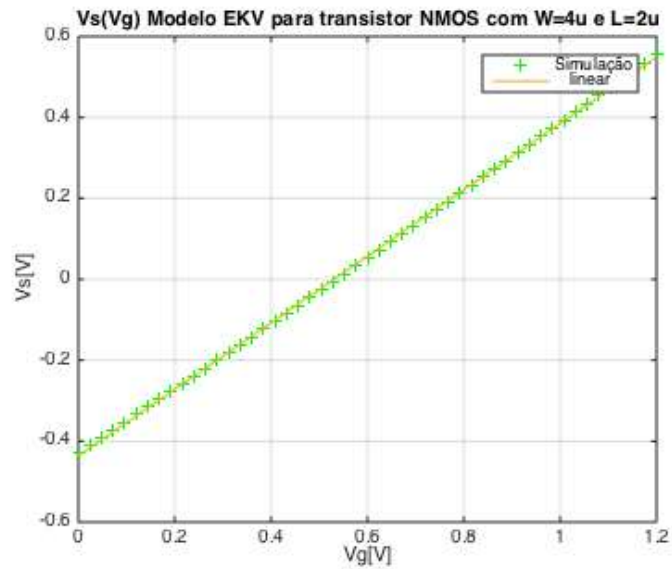


Figura 12: Curve Fitting $V_s(V_g)$ de um transístor com $W=4\mu$ e $L=2\mu$

- Para o transístor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

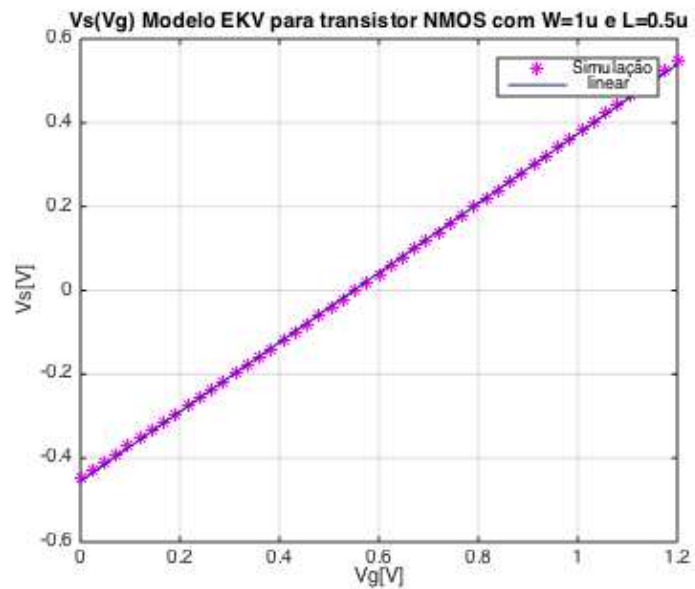


Figura 13: Curve Fitting $V_s(V_g)$ de um transístor com $W=1\mu$ e $L=0.5\mu$

Fase 1 - alínea e: Determinação de $n(V_g)$:

Uma vez que o declive na zona de inversão fraca, é dado por:

$$n = \left[1 + \frac{\gamma}{2^2 \sqrt{V_{P} + \phi}} \right] \quad (19)$$

Substituindo γ , Φ e V_p pelos valores anteriormente determinados, obteve-se as características $n(V_g)$, conforme representado nas figuras 14 e 15 abaixo :

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

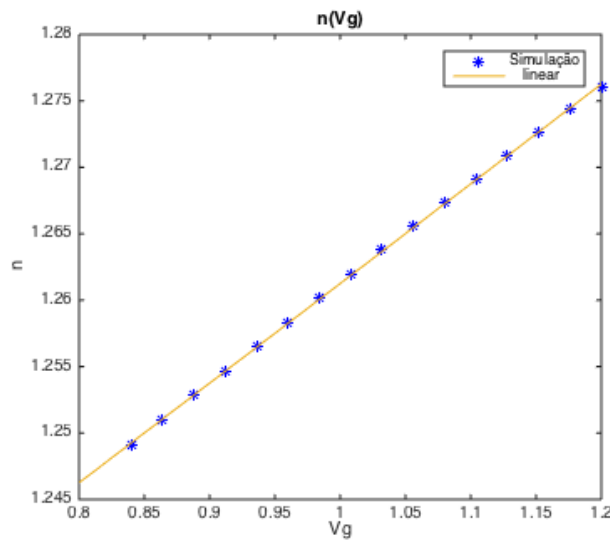


Figura 14: Característica $n(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

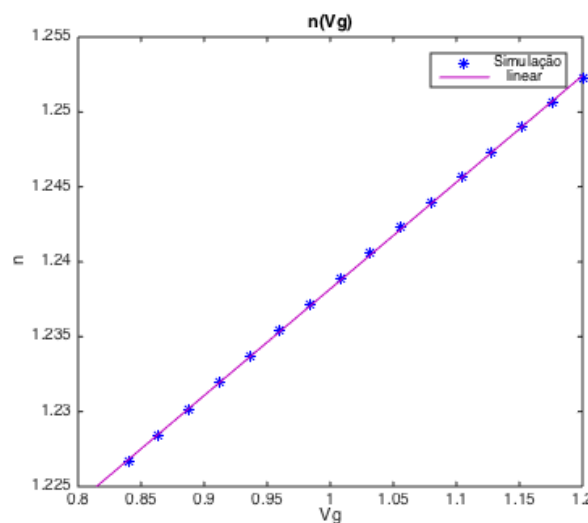


Figura 15: Característica $n(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Fase 1 - alínea f: Determinação do parâmetro K_p :

O factor de ganho de transcondutância, (K_p), é extraído a partir da curva do $I_D(V_G)$ do transistor. Assim, simulando o circuito com $V_D = 1.2$ V e variando o V_G , obteve-se as seguintes características abaixo conforme as figuras 16 e 17:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

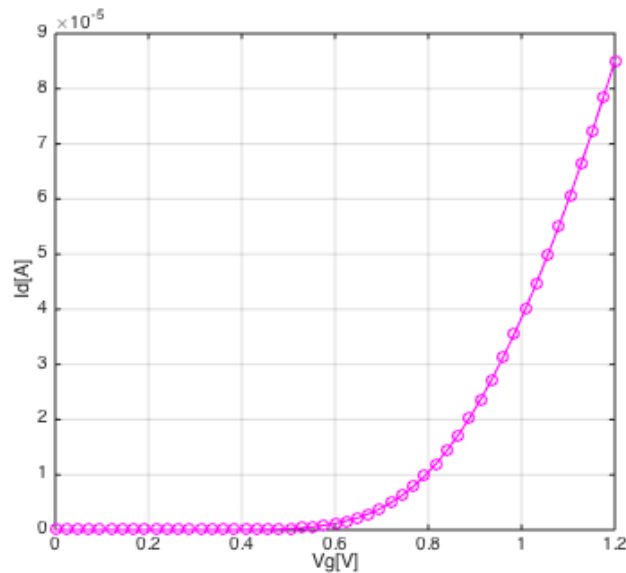


Figura 16: Característica $I_D(V_G)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

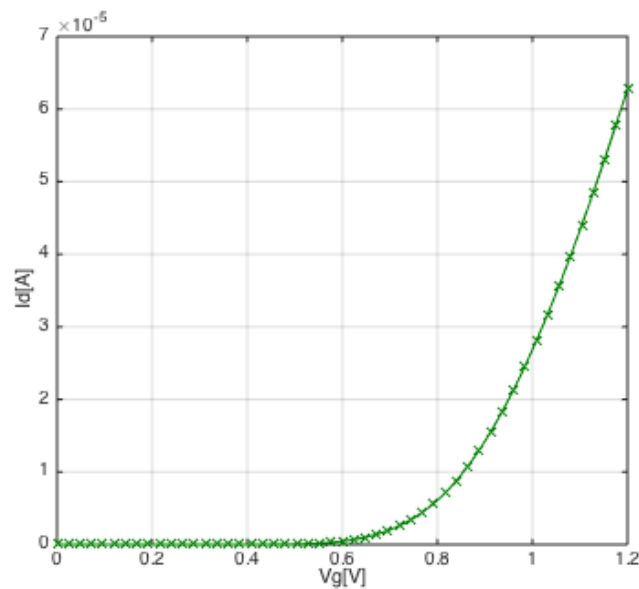


Figura 17: Característica $I_D(V_G)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Obtidas as características, sabe-se que,

$$I_S = 2 * U_t^2 * n * \left(\frac{K_P}{1 + \theta * V_P} \right) \quad (20)$$

em que:

$$K_P = \beta * \left(\frac{W}{L} \right) \quad (21)$$

Assim, tendo por base a equação da corrente I_S realizou-se um *fitting* em cada transistor obtendo-se os valores de K_P e θ para cada.

Os resultados do *fitting's* podem ser vistos nas figuras 18 e 19:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

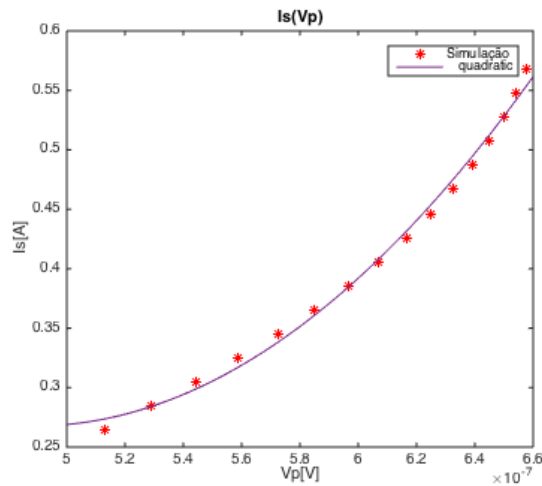


Figura 18: Curve fitting de $I_S(V_P)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

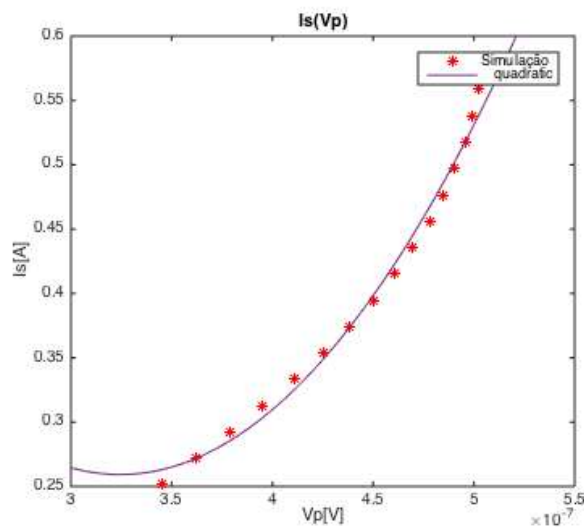


Figura 19: Curve fitting de $I_S(V_P)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

E os seus respectivos valores obtidos foram:

- Para o transistor NMOS1 com W=4u e L=2u:

$$K_P = 2.9495e-04$$

$$\theta = -0.5353$$

- Para o transistor NMOS2 com W=1u e L=0.5u:

$$K_P = 2.0008e-04$$

$$\theta = -0.7240$$

Obteve-se também os seguintes valores para cada parâmetro β :
Tendo em conta que:

$$\beta = \frac{K_P}{\left(\frac{W}{L}\right)} \quad (22)$$

Logo:

- Para o transistor NMOS1 com W=4u e L=2u:

$$\beta = 1.4747e-04$$

- Para o transistor NMOS2 com W=1u e L=0.5u:

$$\beta = 1.0004e-04$$

Fase 1: Comentários:

Fase 2:

Fase 2: Comparação de resultados analisados do modelo

Conforme sugerido, procedeu-se ao desenvolvimento de funções para gerar as características $I_D(V_{GS})$ e $I_D(V_{DS})$. Uma vez obtidos todos os parâmetros do modelo, possibilitando desta forma compará-las com as mesmas características simuladas no *Cadence*.

As funções estão determinadas, conforme mencionadas nos objectivos deste trabalho, e tem seus conteúdos expostos na parte denominada por anexo, descrito no final deste documento.

Estas características foram feitas para os dois transístores conforme se apresentam na tabela 2 de forma a demonstrar qual a influência deste modelo em transístores com dimensões diferentes.

Os resultados para as características $I_D(V_{GS})$ podem ser conferidos nas figuras 20 e 21 a seguir:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

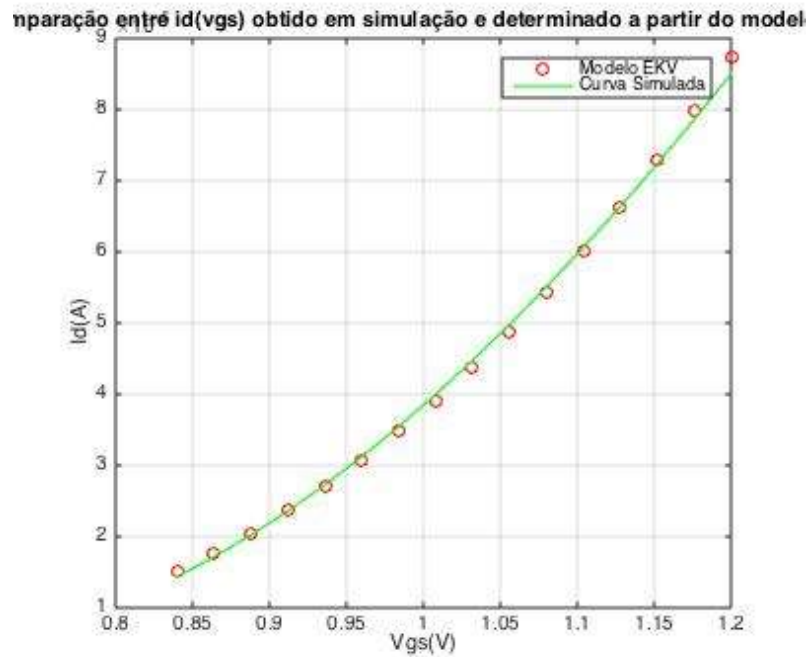


Figura 20: Característica $I_D(V_{GS})$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

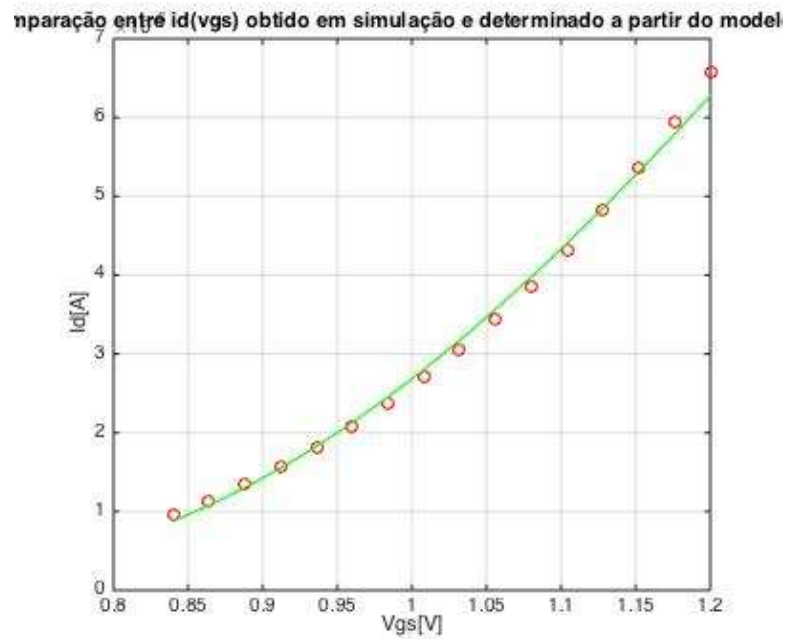


Figura 21: Característica $I_D(V_{GS})$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Os resultados para as características $I_D(V_{DS})$ podem ser conferidos nas figuras 22 e 23 a seguir:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

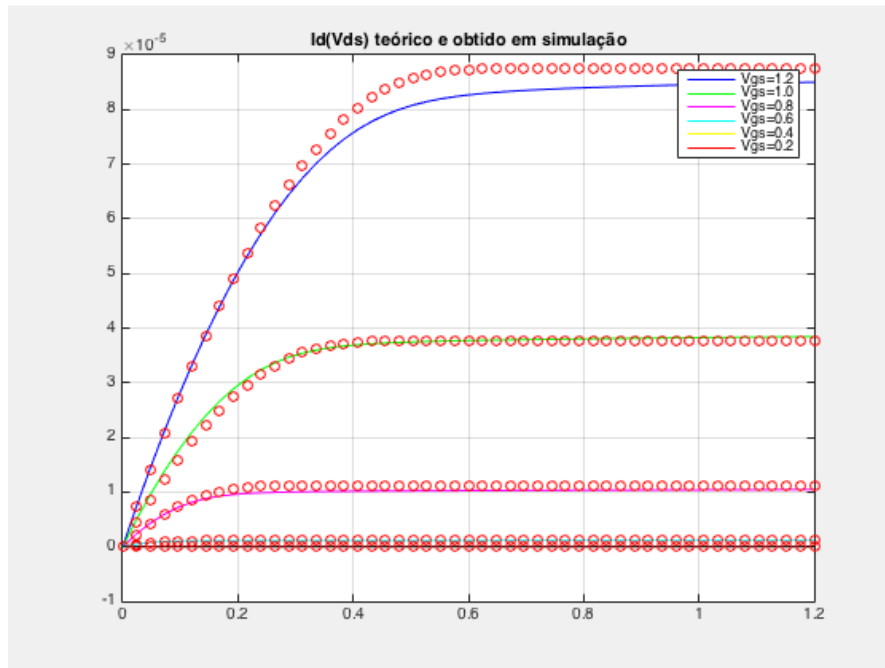


Figura 22: Característica $I_D(V_{DS})$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

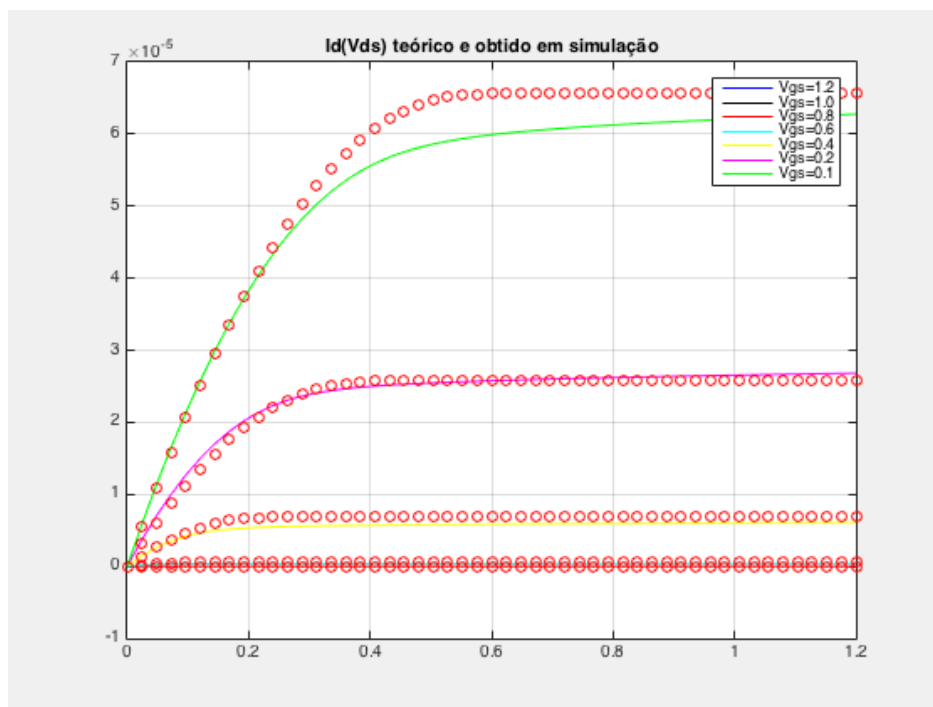


Figura 23: Característica $I_D(V_{DS})$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Os erros relativos entre os valores $I_D(V_{DS})$ podem ser conferidos nas figuras 22 e 23 a seguir:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

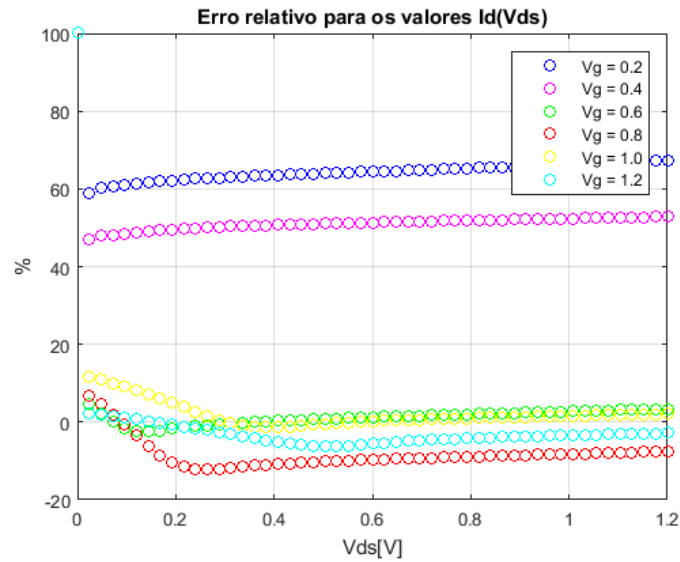


Figura 24: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

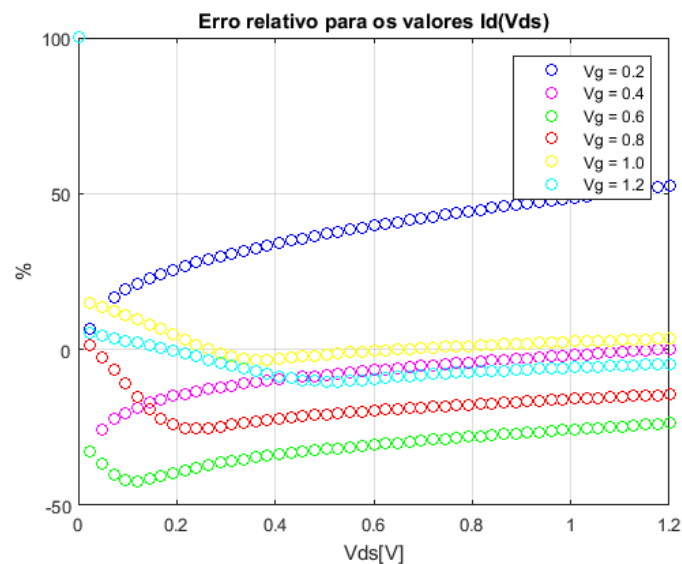


Figura 25: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor com $W=1\mu$ e $L=0.5\mu$

Da mesma forma, para os erros relativos entre os valores $I_d(V_{gs})$ podem ser conferidos nas figuras 24 e 25 a seguir:

- Para o transistor NMOS1 com $W=4\mu$ e $L=2\mu$:

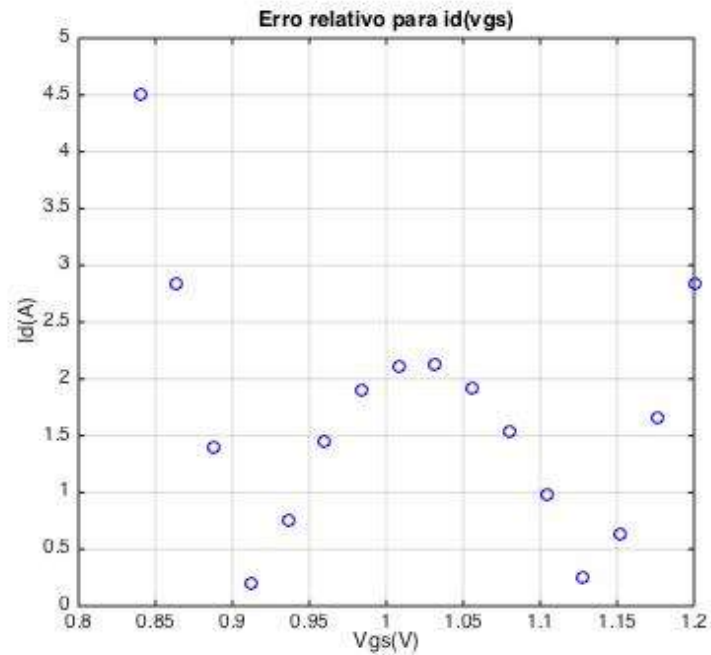


Figura 26: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor NMOS2 com $W=1\mu$ e $L=0.5\mu$:

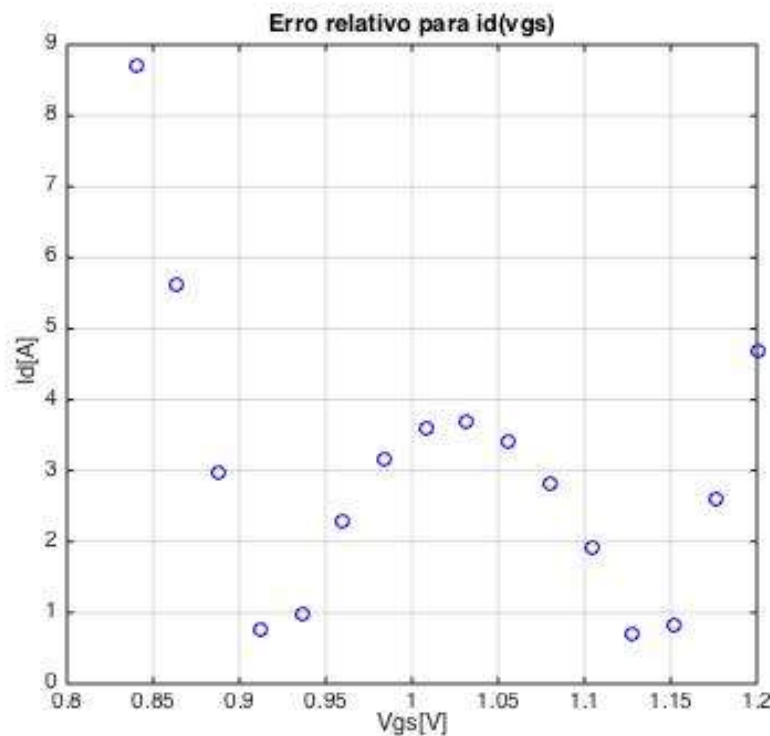


Figura 27: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor com $W=1\mu$ e $L=0.5\mu$

Fase 3:

Fase 3: Repetir as fases 1 e 2 para um transistor P com as mesmas dimensões.

Nesta fase, subdividida por partes, utilizou-se os mesmos procedimentos desenvolvidos para os transístores do tipo *N* das fases 1 e 2.

As características dos transístores do tipo *P* utilizadas podem ser consultadas na seguinte tabela 4 apresentada:

Tabela 4. Características dos transístores P utilizados.

TRANSÍSTOR	MODELO	W	L
PMOS1	P_12_11hvt	4 μ	2 μ
PMOS2		1 μ	0.5 μ

Fase 3 - Parte1 - alínea a: Determinação da Corrente Is (Corrente Específica)

Da mesma forma obtida para os transístores do tipo NMOS e através da simulação efectuada utilizando o *software Cadence*, considerando o transistor em inversão forte, obteve-se a característica $\sqrt{I_D}(V_S)$. De seguida utilizou-se o método de *curve fitting* para determinar *m* e *b*.

O curve fitting pode ser visualizado na figura abaixo (figura 22):

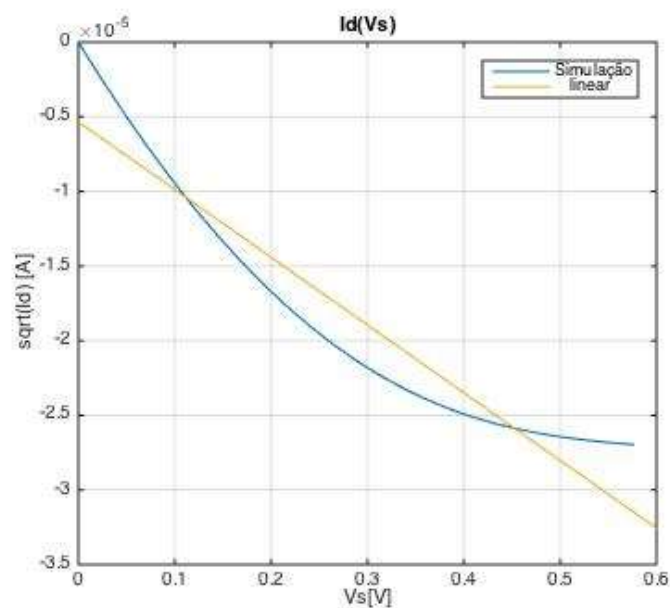


Figura 28: Curve Fitting utilizado para determinação da corrente específica

Dado que os parâmetros foram calculados conforme as equações para os transístores NMOS descritos anteriormente, os valores obtidos se apresentam conforme a tabela 5 abaixo:

Tabela 5. Valores obtidos dos parâmetros para o transistores P utilizados.

	m	b	I_s [A]	U_t [V]
PMOS1	-0.0099	0.0053	2.4377e-07	0.025
PMOS2	-0.0101	0.0053	2.5629e-07	0.025

Dos dados exportados para o Matlab, também obteve-se os seguintes gráficos das curvas características $I_D(V_S)$:

Características $I_D(V_S)$ com $V_D = 1.2V$

➤ Para o transístor PMOS1 com $W=4\mu$ e $L=2\mu$:

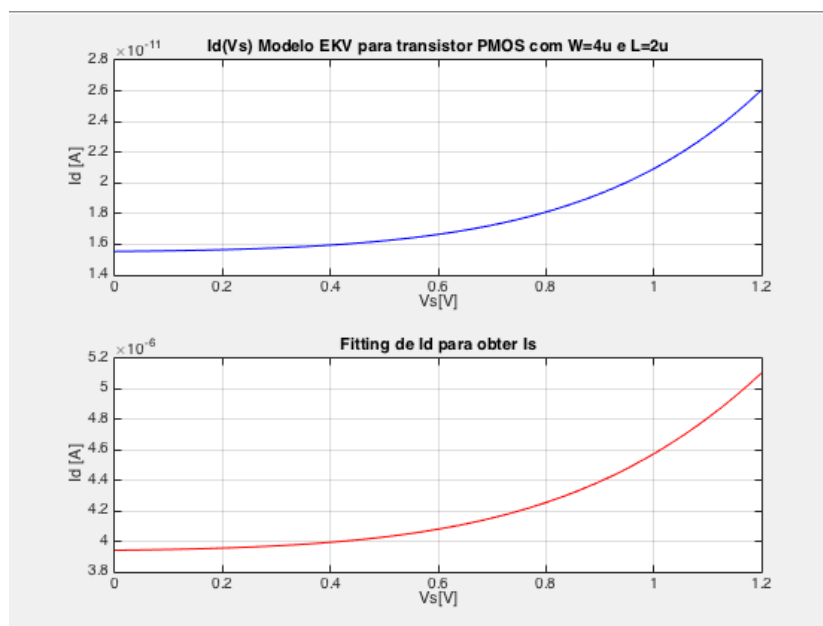


Figura 29: Característica $I_D(V_S)$ de um transístor com $W=4\mu$ e $L=2\mu$ e V_D fixo em 1.2V

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

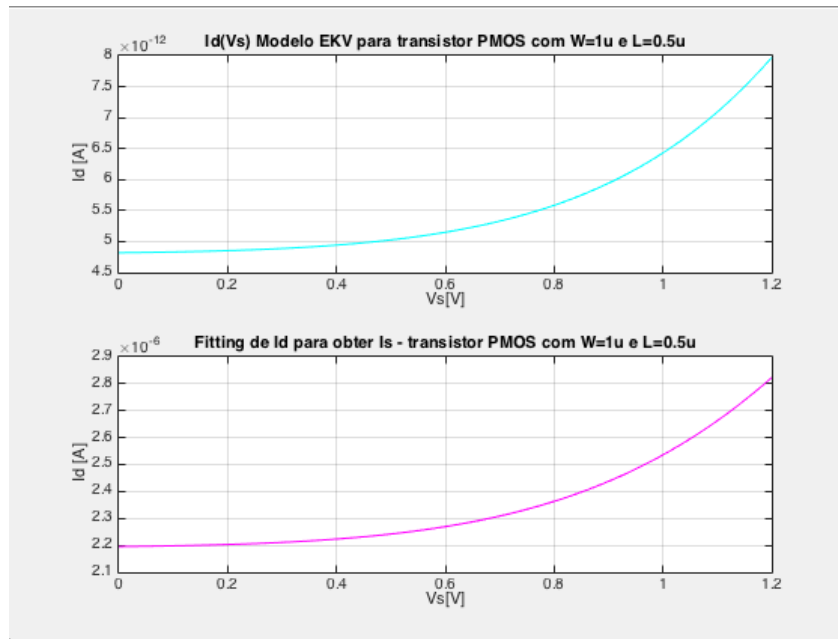


Figura 30: Característica $I_D(V_s)$ de um transistor com $W=1\mu$ e $L=0.5\mu$ e V_d fixo em 1.2V

Fase 3 - Parte1 - alínea b: Determinação da tensão de Pinch-off, V_p

Através do seguinte esquemático desenvolvido:

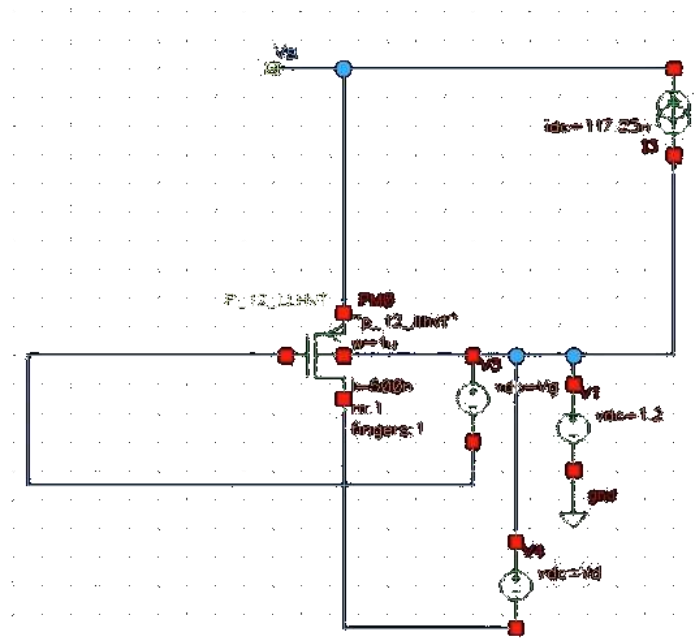


Figura 31: Montagem para determinação de V_p

Obtida a equação e simulando no *Cadence* o circuito da figura 25, obteve-se a recta $V_p(V_G)$ representadas nas figuras 26 e 27:

- Para o transístor PMOS1 com $W=4\mu$ e $L=2\mu$:

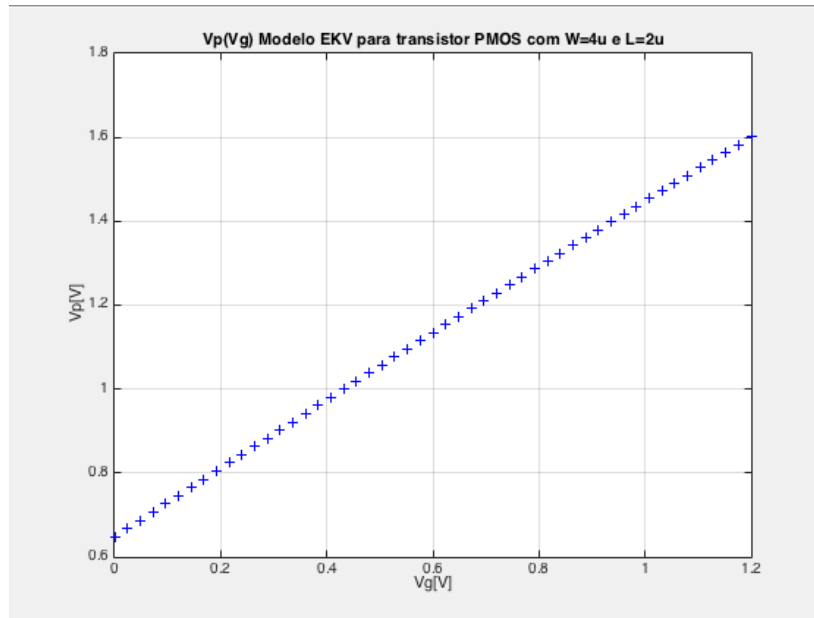


Figura 32: Característica $V_p(V_G)$ de um transístor com $W=4\mu$ e $L=2\mu$

- Para o transístor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

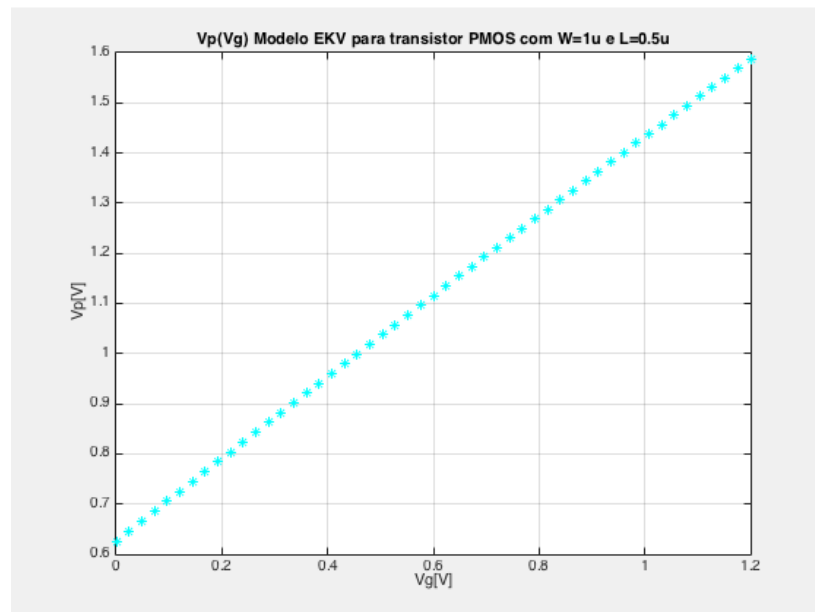


Figura 33: Característica $V_p(V_G)$ de um transístor com $W=1\mu$ e $L=0.5\mu$

Fase 3 - Parte1 - alínea c: Determinação da Tensão de Threshold (V_t ou V_{t0}):

A partir da característica $V_P(V_G)$ determinou-se o valor de V_t , considerando as mesmas equações utilizadas no NMOS:

$$V_P \approx \frac{V_G - V_T}{n} \leftrightarrow V_P = (m_2 * V_G + b_2) \quad (23)$$

Onde m_2 e b_2 são novos valores de declive e ordenada de origem obtidos da característica $V_P(V_G)$.

Da mesma forma para o NMOS, para determinar os valores de m_2 e b_2 , fez-se um curve fitting às características $V_P(V_G)$ que podem ser observadas das figuras 28 e 29 seguintes.

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

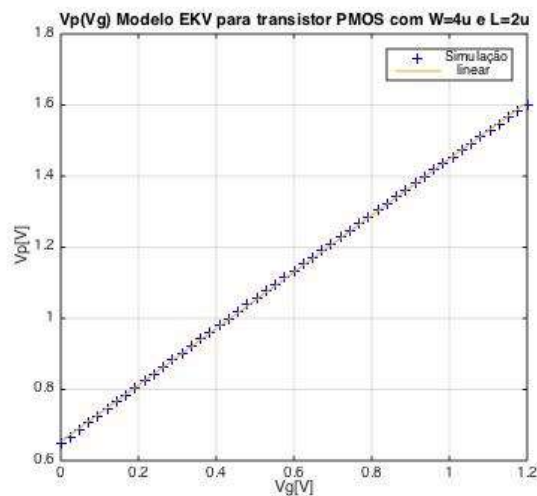


Figura 34: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

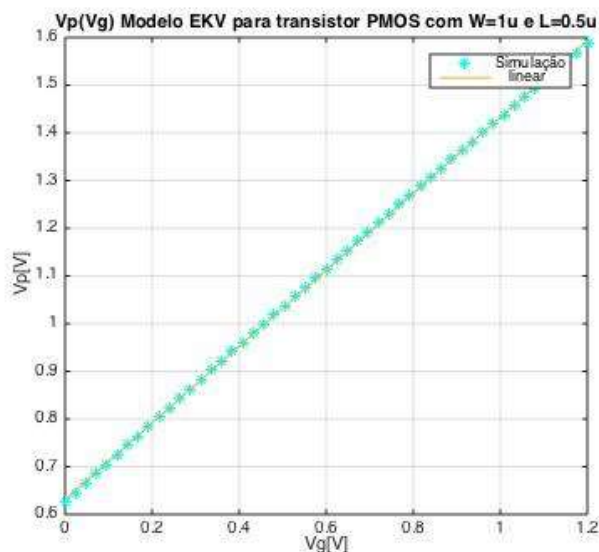


Figura 35: Curve Fitting da característica $V_p(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Através das curvas acima, obteve-se os valores conforme a tabela 6 apresentada na fase 3, alínea *d* mais adiante.

Fase 3 - Parte1 - alínea d: Determinação dos parâmetros γ e Φ :

Uma vez obtido V_G' através de simulação, realizando um *fitting* à equação da tensão de *pinch-off* (V_p), obteve-se os valores pretendidos neste ponto, ou seja, dos parâmetros γ e Φ :

Tabela 6. Valores obtidos dos parâmetros para o transístores P utilizados.

	$V_{to}[V]$	ϕ	γ
PMOS1	0.5061	0.2240	0.3498
PMOS2	0.5060	0.2336	0.3449

Logo, pode se observar as respectivas características através das figuras 30 e 31:

- Para o transístor PMOS1 com $W=4\mu$ e $L=2\mu$:

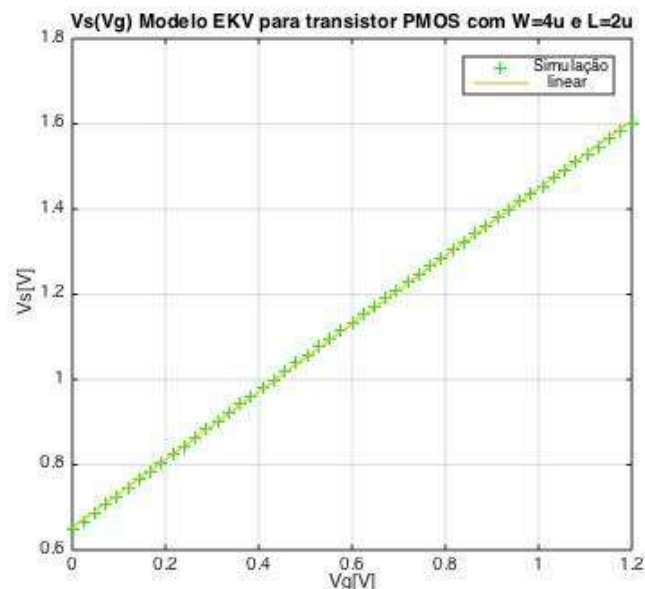


Figura 36: Curve Fitting $V_s(V_g)$ de um transístor com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

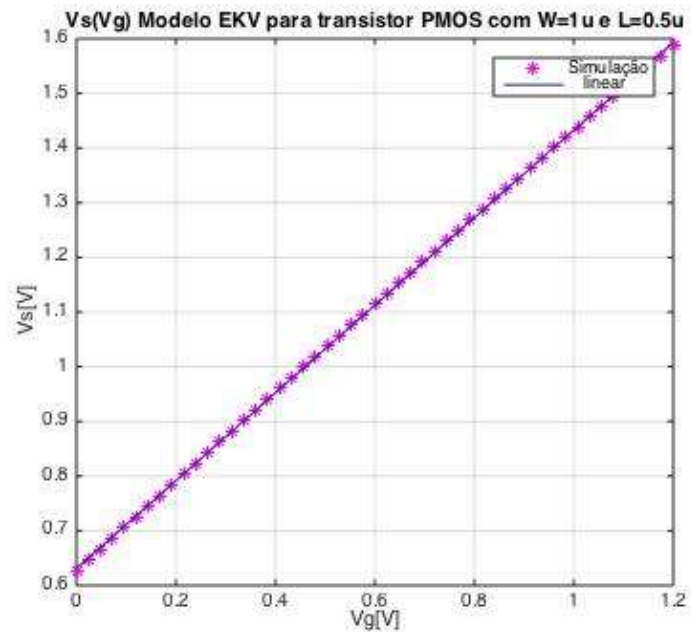


Figura 37: Curve Fitting $V_s(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Fase 3 – Parte 1 - alínea e: Determinação de $n(V_g)$:

Substituindo γ , Φ e V_p pelos valores anteriormente determinados, obteve-se as características $n(V_g)$, conforme representado nas figuras 32 e 33 abaixo :

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

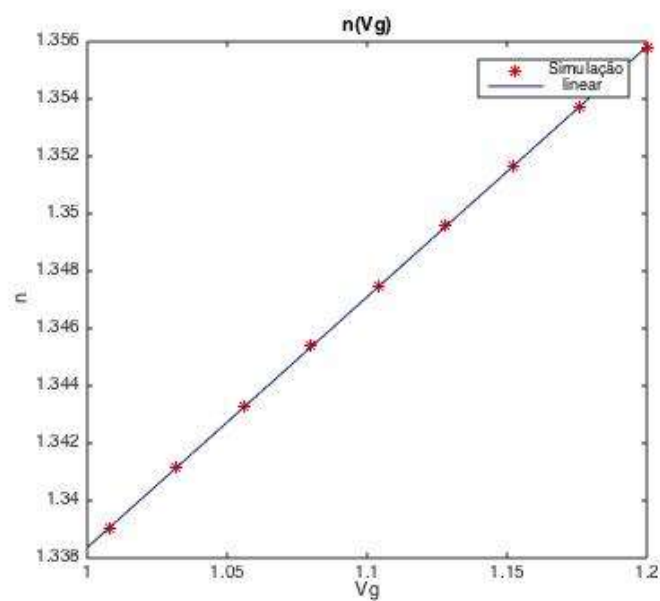


Figura 38: Característica $n(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

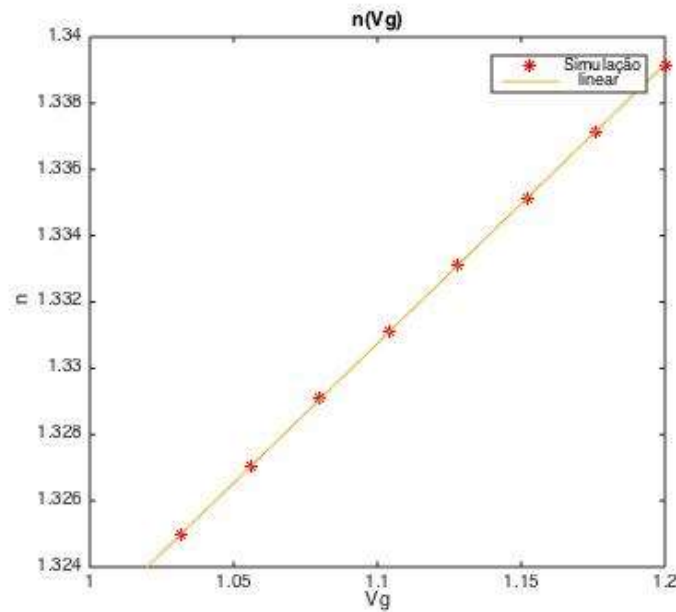


Figura 39: Característica $n(V_g)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Fase 3 - Parte1 - alínea f: Determinação do parâmetro K_p :

O factor de ganho de transcondutância, (K_p) , é extraído a partir da curva do $I_D(V_G)$ do transistor. Assim, simulando o circuito com $V_D = 1.2$ V e variando o V_G , obteve-se as seguintes características abaixo conforme as figuras 34 e 35:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

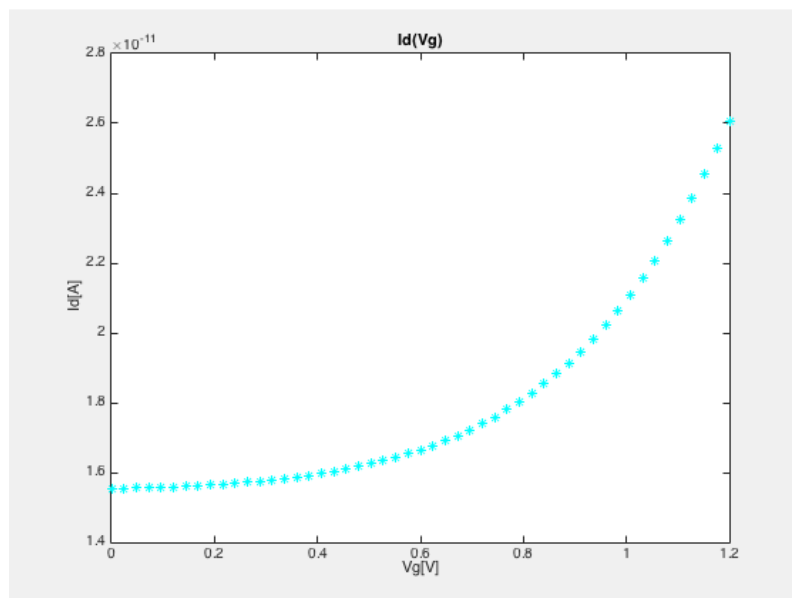


Figura 40: Característica $I_D(V_g)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

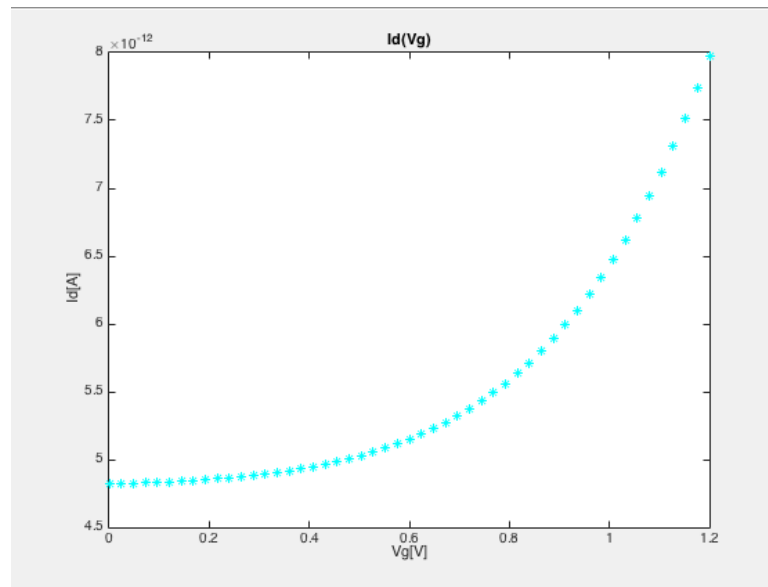


Figura 41: Característica $I_D(V_G)$ de um transistor com $W=1\mu$ e $L=0.5\mu$

Obtidas as características, assim, tendo por base a equação da corrente I_S descrita para os transistores NMOS, da mesma forma, realizou-se um *fitting* em cada transistor obtendo-se os valores de K_P e θ para cada um.

Os resultados do *fitting's* podem serem vistos nas figuras 36 e 37:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

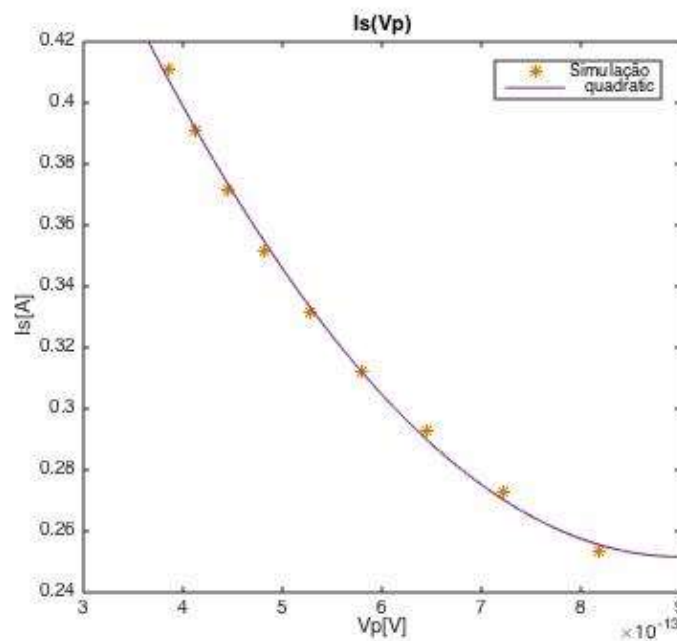


Figura 42: Curve fitting de $I_S(V_P)$ de um transistor com $W=4\mu$ e $L=2\mu$

- Para o transístor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

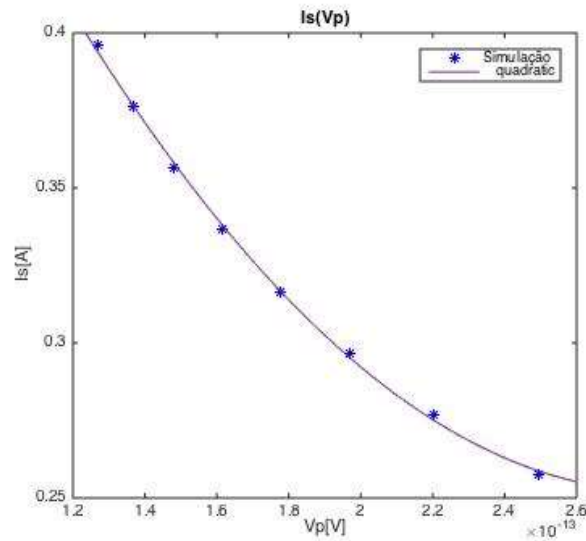


Figura 43: Curve fitting de $I_s(V_p)$ de um transístor com $W=1\mu$ e $L=0.5\mu$

E os seus respectivos valores obtidos, são apresentados conforme a tabela 7 a seguir:

Tabela 7. Valores obtidos dos parâmetros para o transístores P utilizados.

	K_p	θ	β
PMOS1	1.5639e-04	-0.0369	7.8193e-05
PMOS2	1.5963e-04	-0.0203	7.9815e-05

Fase 3 – Parte2:

Fase 3 – Parte 2: Comparação de resultados analisados do modelo

Assim como para os transístores tipo N, procedeu-se ao desenvolvimento de funções para gerar as características $I_D(V_{GS})$ e $I_D(V_{DS})$.

Uma vez obtidos todos os parâmetros do modelo, possibilitou-se desta forma compará-las com as mesmas características simuladas no *Cadence*.

Estas características foram feitas para os dois transístores conforme se apresentam na tabela 4 de forma a demonstrar qual a influência deste modelo em transístores com dimensões diferentes.

Os resultados para as características $I_D(V_{GS})$ podem ser conferidos nas figuras 38 e 39 a seguir:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

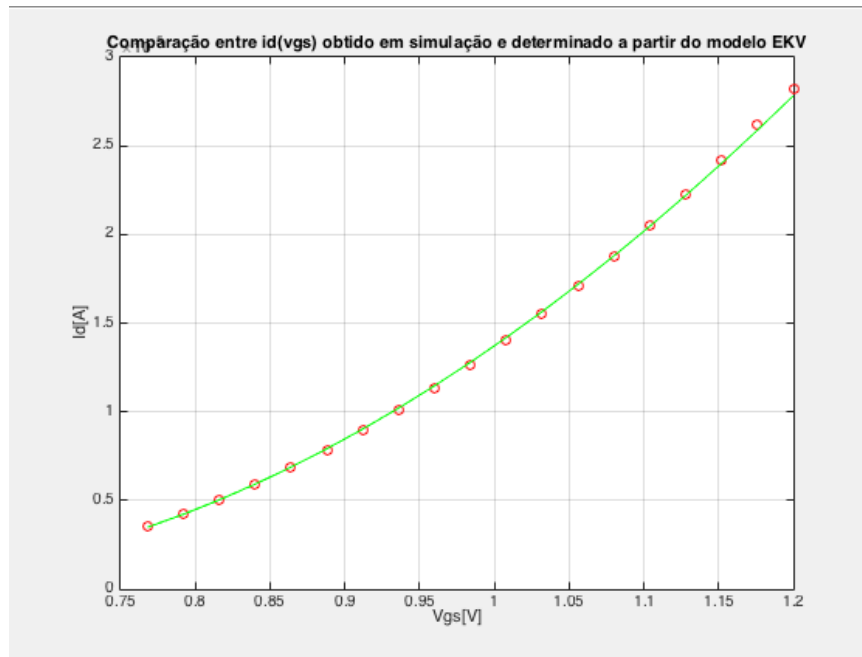


Figura 44: Característica $I_d(V_{gs})$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

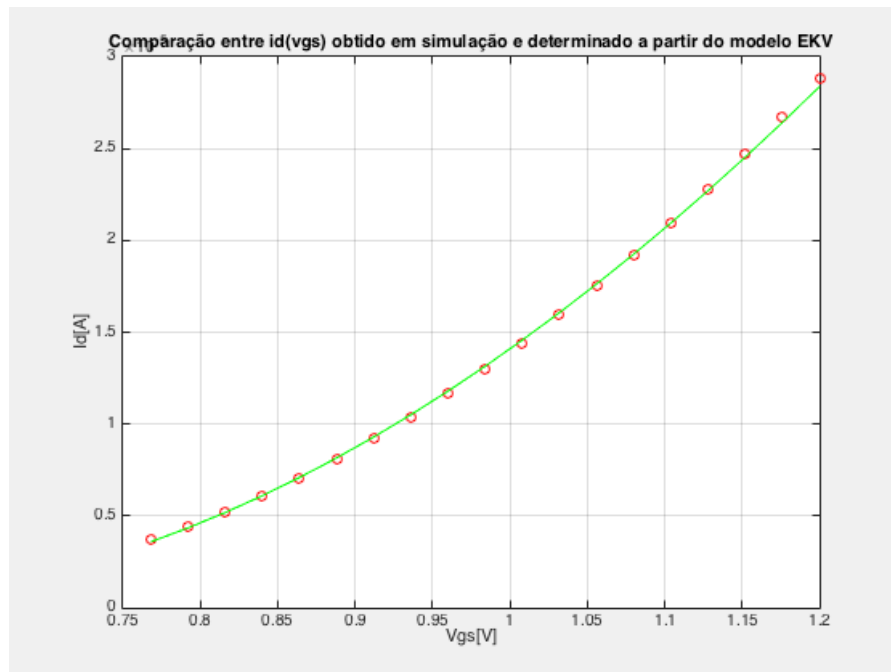


Figura 45: Característica $I_d(V_{gs})$ de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$

Os resultados para as características $I_D(V_{DS})$ podem ser conferidos nas figuras 40 e 41 a seguir:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

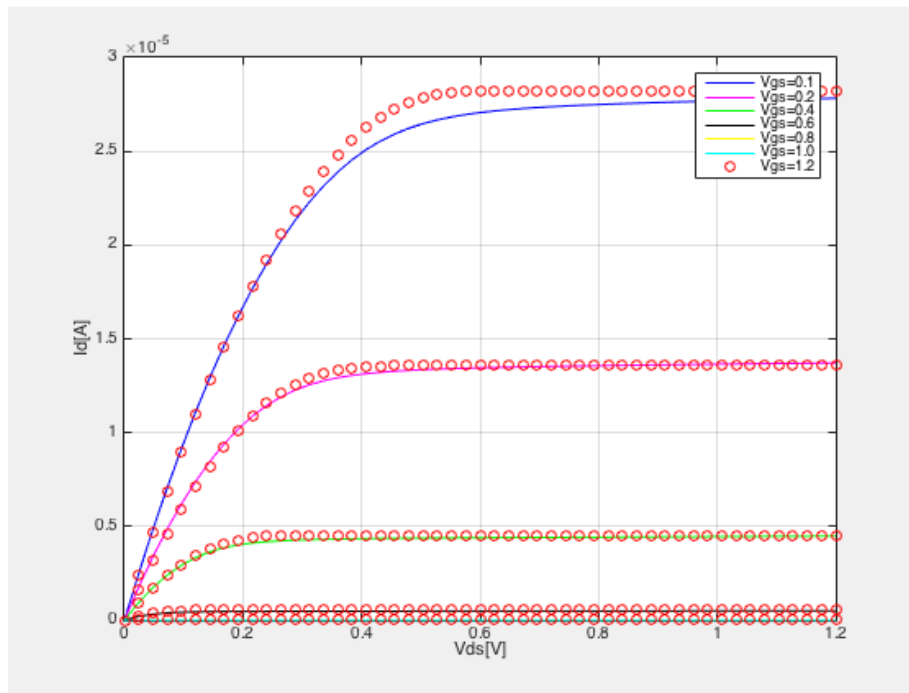


Figura 46: Característica $I_D(V_g)$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

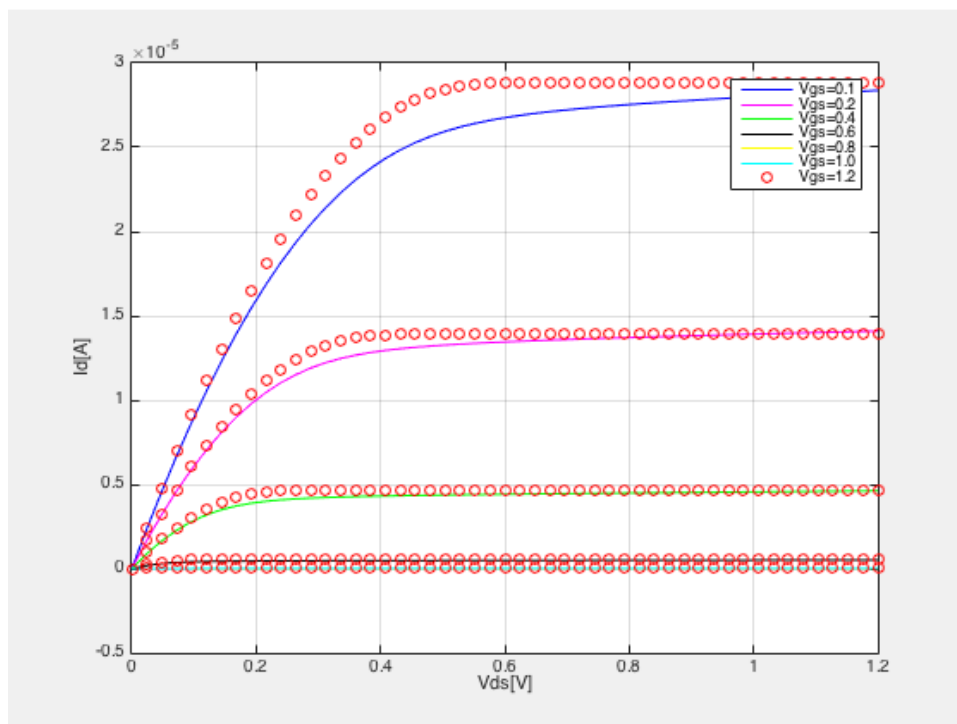


Figura 47: Característica $I_D(V_g)$ de um transistor PMOS com $W=4\mu$ e $L=2\mu$

Os erros relativos entre os valores $I_D(V_{DS})$ podem ser conferidos nas figuras 48 e 49 a seguir:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

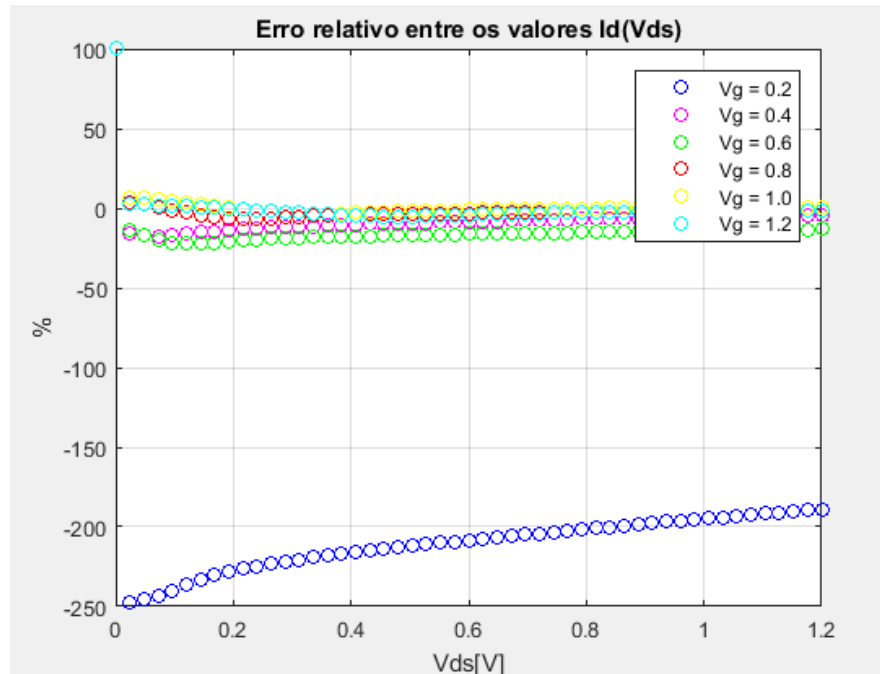


Figura 48: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

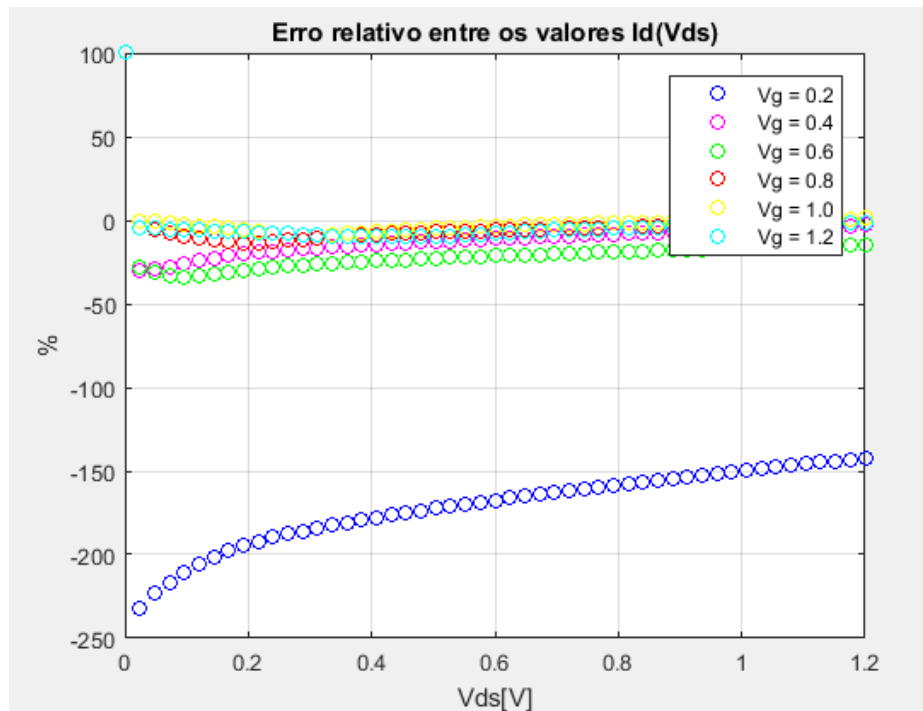


Figura 49: Erro relativo entre $I_D(V_{DS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$

Da mesma forma, para os erros relativos entre os valores $I_D(V_{GS})$ podem ser conferidos nas figuras 50 e 51 a seguir:

- Para o transistor PMOS1 com $W=4\mu$ e $L=2\mu$:

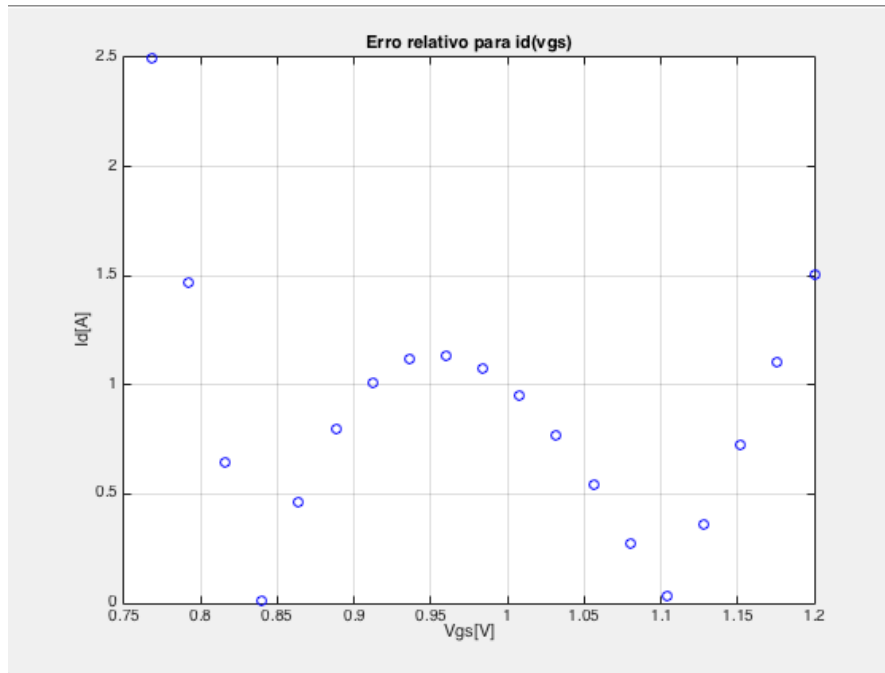


Figura 50: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=4\mu$ e $L=2\mu$

- Para o transistor PMOS2 com $W=1\mu$ e $L=0.5\mu$:

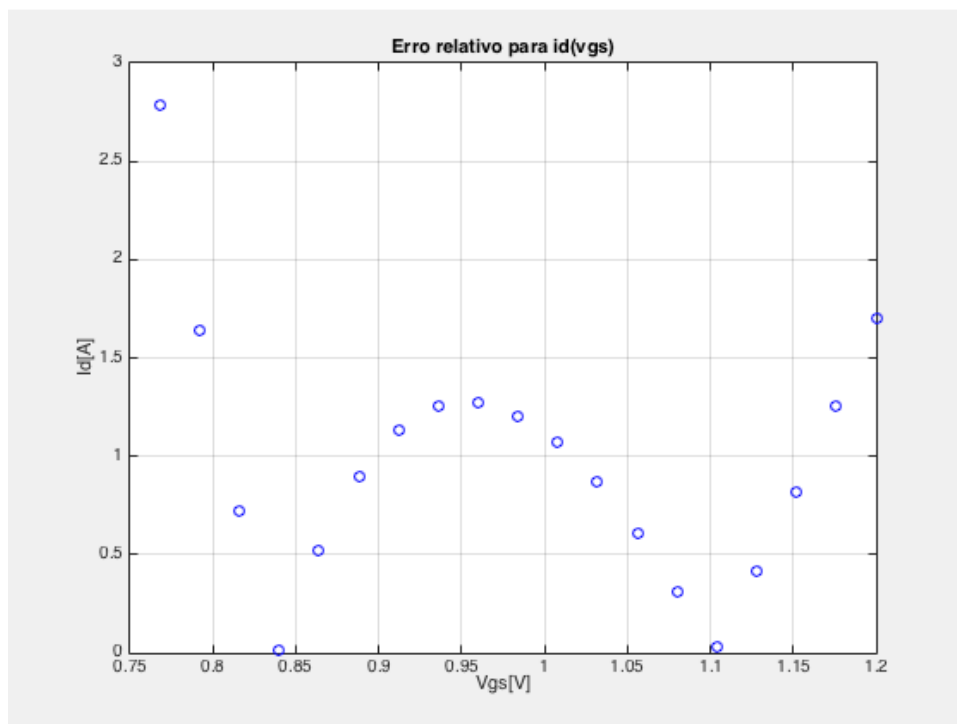


Figura 51: Erro relativo entre $I_D(V_{GS})$ simulado e obtido através do modelo EKV de um transistor PMOS com $W=1\mu$ e $L=0.5\mu$

Conclusão:

Os resultados obtidos para os 4 ensaios, 2 para duas dimensões do PMOS e 2 para duas dimensões do NMOS, confirmam a precisão do modelo EKV para sinais em inversão moderada/forte, contudo, para inversão fraca não apresenta a mesma precisão, tendo-se registado neste trabalho uma grande discrepância entre os valores do modelo e os valores obtidos a partir de simulação para sinais nesta zona.

As características dos erros relativos entre as curvas para os NMOS simuladas e obtidas pelo modelo EKV revelam boas aproximações, por exemplo, para $i_d(V_{gs})$ apresentam um erro nunca superior a 10% e as curvas $i_d(V_{ds})$ apresentam erros abaixo de 50%.

Já as características dos erros relativos entre as curvas para os PMOS simuladas e obtidas pelo modelo EKV, para $i_d(V_{gs})$ denotam-se boas marcas para os erros, nunca superiores a 5%, contudo, para $i_d(V_{ds})$ existe uma discrepância grande entre estas curvas para $V_{gs}=0.2$, possivelmente explicadas por um erro na obtenção da curva por simulação.

Referências:

1. Acetatos da disciplina em: <http://moodle.fct.unl.pt>.
2. http://web.eecs.utk.edu/~bblalock/ece532/ece532_pres_ekv_bsim.pdf.
3. Book: *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design* C. Enz and E. Vittoz 2006 John Wiley & Sons, Ltd.
4. http://ekv.epfl.ch/files/content/sites/ekv/files/workshop/2011/Enz_NanoTera_2011.pdf
5. <https://nsti.org/publications/Nanotech/2007/pdf/897.pdf>
6. Artigo disponibilizado pela docente da disciplina:
http://moodle.fct.unl.pt/pluginfile.php/292366/mod_label/intro/ieee_icmts96_bucher_vp_extraction_method.pdf


```

close all
Id = csvread(filename);
Ut = 0.025;
figure;
A = Id(:,1) <= 0.6;
Id = Id(A,1:end);
plot(Id(:,1),Id(:,2))
title('Id(Vs) obtido em simulação');
xlabel('Vs[V]');
ylabel('Id[A]');
grid on;
coefficients = polyfit(Id(1:end-20,1), -sqrt(-Id(1:end-20,2)), 1);
slope = coefficients(1);
slope = abs(slope);
Is = (2*slope*Ut)^2;
Id = Is * (log(2))^2;

Vs = csvread(filename2);
figure;
plot(Vs(:,1),Vs(:,2));

```

Figura 55: Obtenção de I_s a partir do declive característica $I_d(V_s)$