

EDA/CAD para Nanoelectrónica

3º Relatório prático ref. ano 2015-2016

Docente: Professora Doutora Helena Fino

Elaborado pelos alunos de MIEEC:

António João Marques de Andrade Pereira
Filipe Miguel Aleixo Perestrelo
Silvana Regina Ferreira de Oliveira Costa

39971
39656
30159

Índices

Índice Geral

Objectivos:	2
Introdução Teórica:	6
Breve descrição sobre Osciladores:	6
Breve descrição sobre Osciladores em anel:.....	6
Implementação Prática	7
Fases do Projecto:.....	8
Fase 1.....	8
Fase 2 – Elemento em atraso	13
Fase 3 - Oscilador em anel.....	16
Conclusão:	19
Referências:.....	20
Anexos:	21
Códigos EKV Simplificado:.....	21
Nmos:	21
Pmos:.....	23

Índice de Tabelas

Tabela 1: Modelos de transístores para desenvolvimento do projecto	4
Tabela 2 : Transístores NMOS	7
Tabela 3: Valores EKV NMOS	7
Tabela 4 : Transístores PMOS	7
Tabela 5: Valores EKV PMOS	7
Tabela 6: Valores de Cx para a frequência máxima.....	17
Tabela 7: Valor aproximado de Cx para a frequência 1Mhz	18

Índice de Figuras

Figura 1: Inversor CMOS	4
Figura 2: Oscilador em anel	6
Figura 3: Símbolo do modelo EKV simplificado desenvolvido em Verilog-A no software Cadence.....	8
Figura 4: Esquemático do circuito com transístor NMOS.....	9
Figura 5: Esquemático do circuito com transístor PMOS	9
Figura 6: Característica Id(VGS) transístor NMOS	10
Figura 7: Características ID(Vgs,Vds) NMOS.....	10
Figura 8: Característica Id(VGS) transístor PMOS	11
Figura 9: Características ID(Vgs,Vds) PMOS	11
Figura 10: Inversor CMOS	13
Figura 11: Sinais de entrada (vermelho) e saída (verde) do inversor CMOS.	14
Figura 12: Análise paramétrica para Cx entre 5 e 20pF	14
Figura 13: Delay's calculados a partir da função "delay" do cadence.	15
Figura 14: Oscilador em anel	16

<i>Figura 15: Definição dos parâmetros para um NMOS EKV em Verilog</i>	<i>21</i>
<i>Figura 16: Definição dos parâmetros para um PMOS EKV em Verilog</i>	<i>22</i>
<i>Figura 17: Cálculo dos restantes parâmetros para o modelo EKV (comuns aos dois transístores)</i>	<i>23</i>

Objectivos:

Este trabalho tem como objectivo o desenvolvimento em verilog de modelos para caracterização de osciladores em anel. Para tal deve ser implementado em Verilog_A modelos de transistores NMOS e PMOS, considerando o modelo EKV simplificado. Assim como no trabalho anterior, este também contará com o auxílio de ferramentas importantes como o *software Cadence* para dimensionamento e simulação.

Este trabalho é constituído por 3 fases que serão descritas a seguir:

Fase 1:

Nesta fase pretende-se implementar em Verilog-A modelos para a caracterização de transistores usando o modelo EKV simplificado. Devem ser considerados transístores da tecnologia UMC65II.

- a. Desenvolvimento em Verilog-A de modelo de transistor (NMOS e PMOS) usando o modelo EKV simplificado.
- b. Validação dos modelos desenvolvidos por comparação com curvas $I_D(V_{GS})$ e $I_D(V_{DS}, V_{GS})$ obtidas por simulação.
- c. Adição da caracterização das capacidades parasitas, considerando:

$$C_{gs} = \frac{2}{3} WLC_{ox} \left(1 - \frac{(V_{gd} - V_t)^2}{(V_{gs} - V_t + V_{gd} - V_t)^2} \right) \quad (1)$$

$$C_{gd} = \frac{2}{3} WLC_{ox} \left(1 - \frac{(V_{gs} - V_t)^2}{(V_{gs} - V_t + V_{gd} - V_t)^2} \right) \quad (2)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (3)$$

Com $\epsilon_{ox} = 3.453e-11$ e $t_{ox} = 2.79e-9$

Fase 2: Implementação do elemento em atraso

Esta fase deve-se considerar a implementação de um inversor CMOS, como se ilustra na Figura 1, usando transistores com as dimensões indicadas na Tabela 1

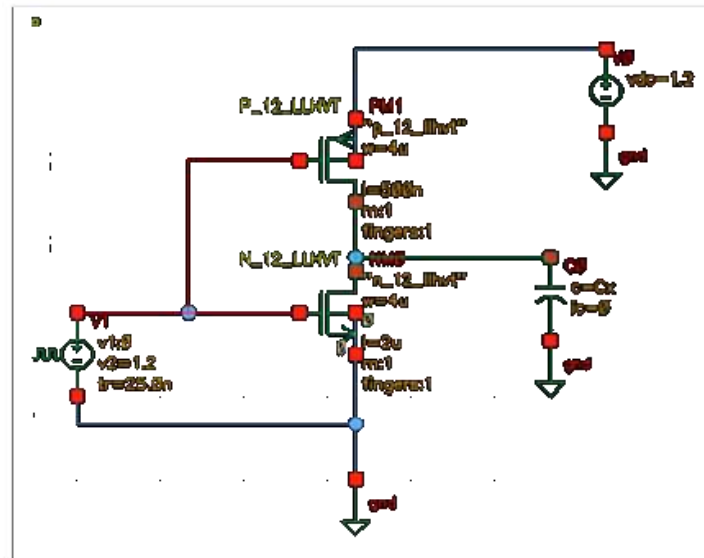


Figura 1: Inversor CMOS

Tabela 1: Modelos de transístores para desenvolvimento do projecto

TRANSÍSTOR	MODELO	W	L
NMOS	N_12_11hvt	4 μ	2 μ
PMOS	P_12_11hvt	4 μ	0.5 μ

Para a tensão na gate, considera-se um Vpulse com um período de 1us , atarso de 0ns, tempos de subida e de descida de =25ns.

1. Fazer a simulação temporal do circuito, considerando $C_x=5\text{pF}$ e determinar o atraso entre a onda de entrada e a de saída (na passagem por 0.6V) para comutações positivas e negativas.
2. Fazer uma análise paramétrica para valores de C_x entre 5pF e 20pF (passo de 5pF) e determinar o valor do atraso introduzido em cada um dos casos.

Fase 3: Implementação do oscilador em anel

1. Usando o elemento de atraso da fase 2, e para $C_x=5\text{pf}$, implementar um oscilador em anel com sete elementos de atraso. Determinar a frequência de oscilação obtida.
2. Determinar a máxima frequência de oscilação que é possível obter com este elemento de atraso.
3. Dimensionar o circuito por forma a obter um oscilador de frequência 1 MHz.
4. Indicar qual a opção de projecto que se poderia tomar caso se pretendesse obter uma frequência de oscilação superior à obtida em 2.

Introdução Teórica:

Breve descrição sobre Osciladores:

Os circuitos osciladores são circuitos de importância vital em sistemas de telecomunicações, nomeadamente para a implementação de moduladores e desmoduladores em diversos tipos de aplicações (e.g. comunicações móveis, redes de transmissão e recepção de dados, emissores e receptores de rádio e televisão, etc.). Existem diversas topologias alternativas para a realização de osciladores quer em componentes discretos quer como blocos dentro de circuitos integrados. As estruturas estudadas de seguida, são as topologias básicas para realizar a maioria dos osciladores disponíveis. Nestes contextos é também muito comum associarem-se a malhas de captura de fase, nomeadamente para a implementação de sintetizadores de frequências ou circuitos de recuperação de relógio ou portadora (Fonte: ref.2)

Breve descrição sobre Osciladores em anel:

O Oscilador em anel consiste de um conjunto impar de inversores conectados em cascata em uma malha fechada.

O período de oscilação T é determinado pelo tempo de propagação (t_p) através do anel completo de N inversores:

$$T = 2 \times t_p \times N \quad (4)$$

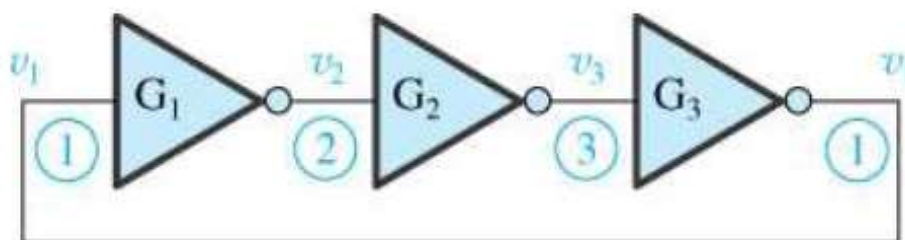


Figura 2: Oscilador em anel

Implementação Prática

Com base nos valores obtidos no trabalho anterior, conforme as tabelas apresentadas abaixo referente ao desenvolvimento do modelo EKV, foi possível desenvolver os modelos solicitados que serão descritas mais adiante nas fases deste projecto.

- Para o transistor NMOS com $W=4\mu$ e $L=2\mu$:

Tabela 2 : Transístores NMOS

TRANSÍSTOR	MODELO	W	L
NMOS1	N_12_11hvt	4 μ	2 μ
NMOS2		1 μ	0.5 μ

Tabela 3: Valores EKV NMOS

	m	b	I_s [A]	V_{t0} [V]	ϕ	γ	K_p	θ	β	U_t [V]
NMOS1	-0.0182	0.0092	82.439e-06	0.5209	0.9650	0.4320	2.9495e-04	-0.5353	1.4747e-04	0.025
NMOS2	-0.0116	0.0070	33.645e-06	0.5390	0.9320	0.4000	2.0008e-04	-0.7240	1.0004e-04	0.025

- Para o transistor PMOS com $W=4\mu$ e $L=0.5\mu$:

Tabela 4 : Transístores PMOS

TRANSÍSTOR	MODELO	W	L
PMOS1	P_12_11hvt	4 μ	2 μ
PMOS2		1 μ	0.5 μ

Tabela 5: Valores EKV PMOS

	m	b	I_s [A]	V_{t0} [V]	ϕ	γ	K_p	θ	β	U_t [V]
PMOS1	-0.0099	0.0053	2.4377e-07	0.5061	0.2240	0.3498	1.5639e-04	-0.0369	7.8193e-05	0.025
PMOS2	-0.0101	0.0053	2.5629e-07	0.5060	0.2336	0.3449	1.5963e-04	-0.0203	7.9815e-05	0.025

Fases do Projecto:

Fase 1

Através do *software Cadence*, desenvolveu-se em Verilog-A (código descrito em “anexos”), usando o modelo EKV simplificado, e obteve-se o seguinte símbolo:

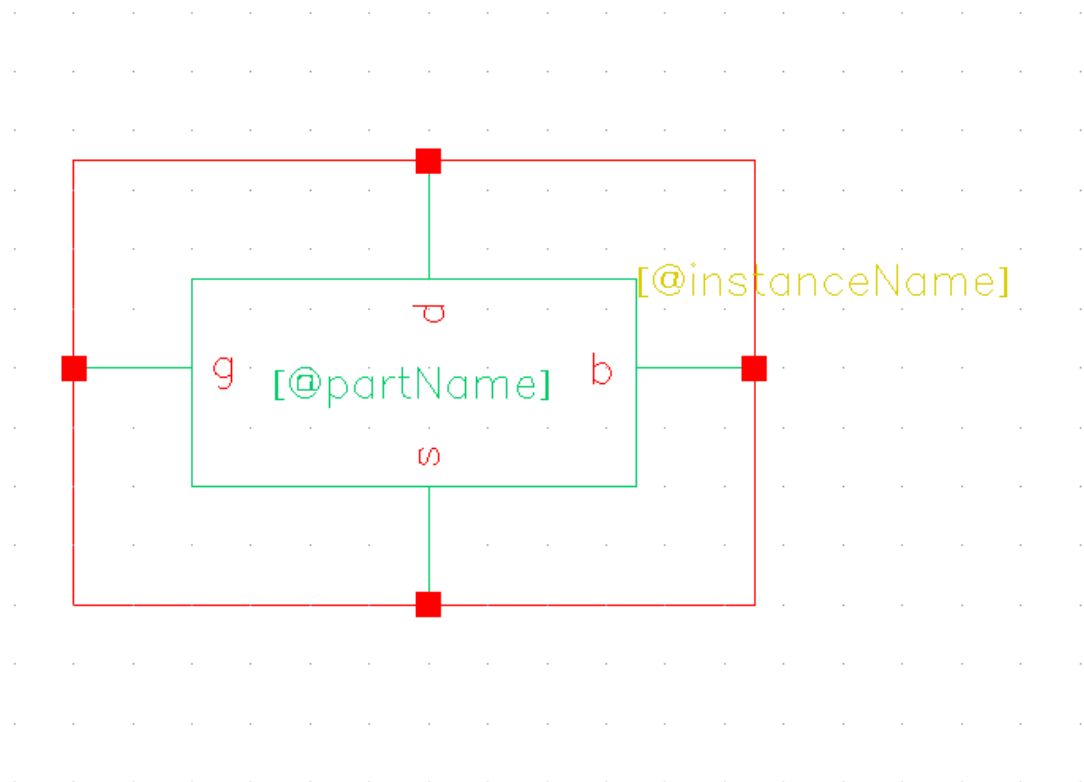


Figura 3: Símbolo do modelo EKV simplificado desenvolvido em Verilog-A no software Cadence.

De seguida, desenvolveu-se os seguintes circuitos:

- Para o transístor NMOS com $W=4\mu$ e $L=2\mu$:

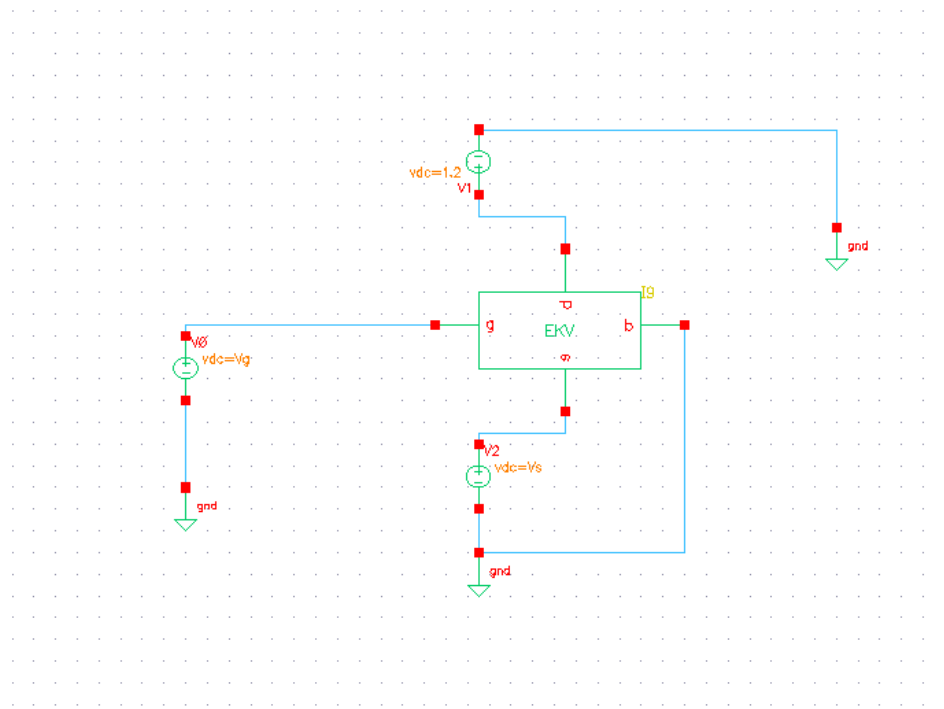


Figura 4: Esquemático do circuito com transístor NMOS.

- Para o transístor PMOS com $W=4\mu$ e $L=0.5\mu$:

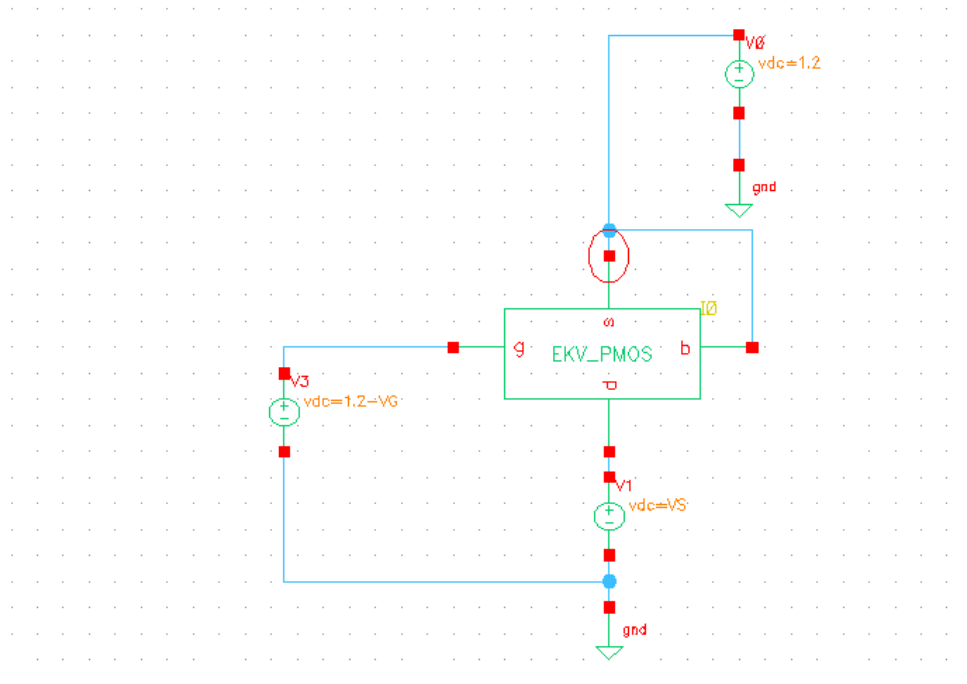


Figura 5: Esquemático do circuito com transístor PMOS

Através das simulações, obteve-se as seguintes validações dos modelos desenvolvidos por comparação com curvas $I_D(V_{GS})$ e $I_D(V_{DS}, V_{GS})$:

- Para o transistor NMOS com $W=4\mu$ e $L=2\mu$:

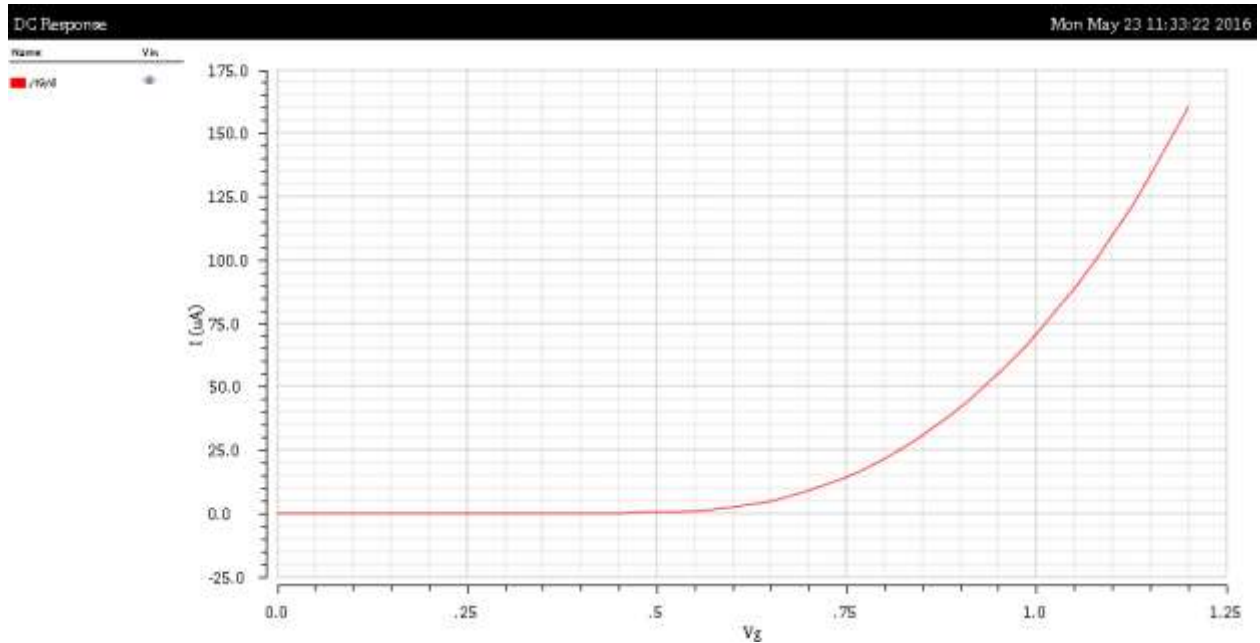


Figura 6: Característica $I_D(V_{GS})$ transistor NMOS

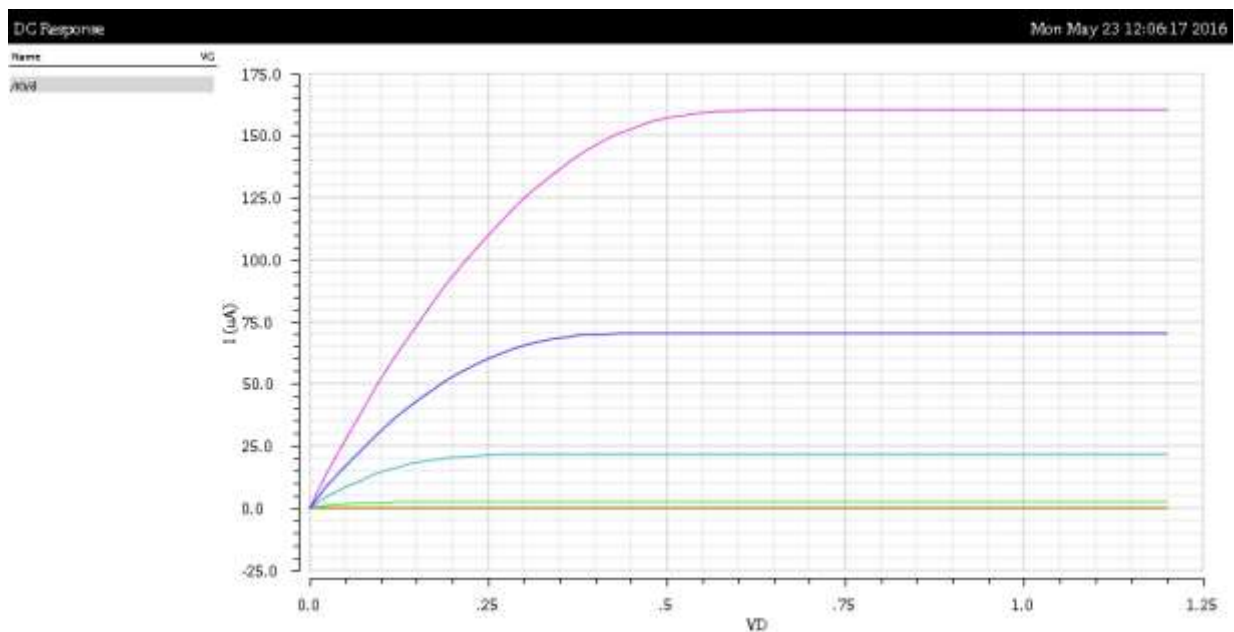


Figura 7: Características $I_D(V_{GS}, V_{DS})$ NMOS

- Para o transístor PMOS com $W=4\mu$ e $L=0.5\mu$:

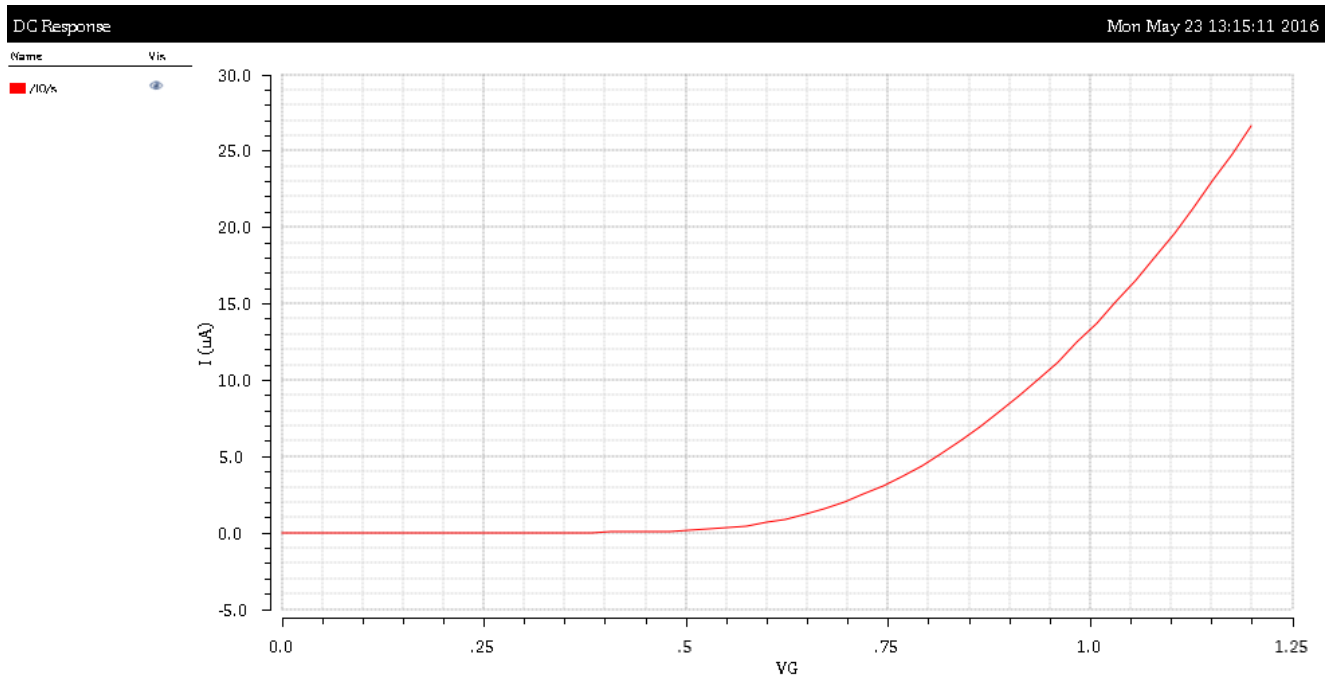


Figura 8: Característica $I_D(V_G)$ transístor PMOS

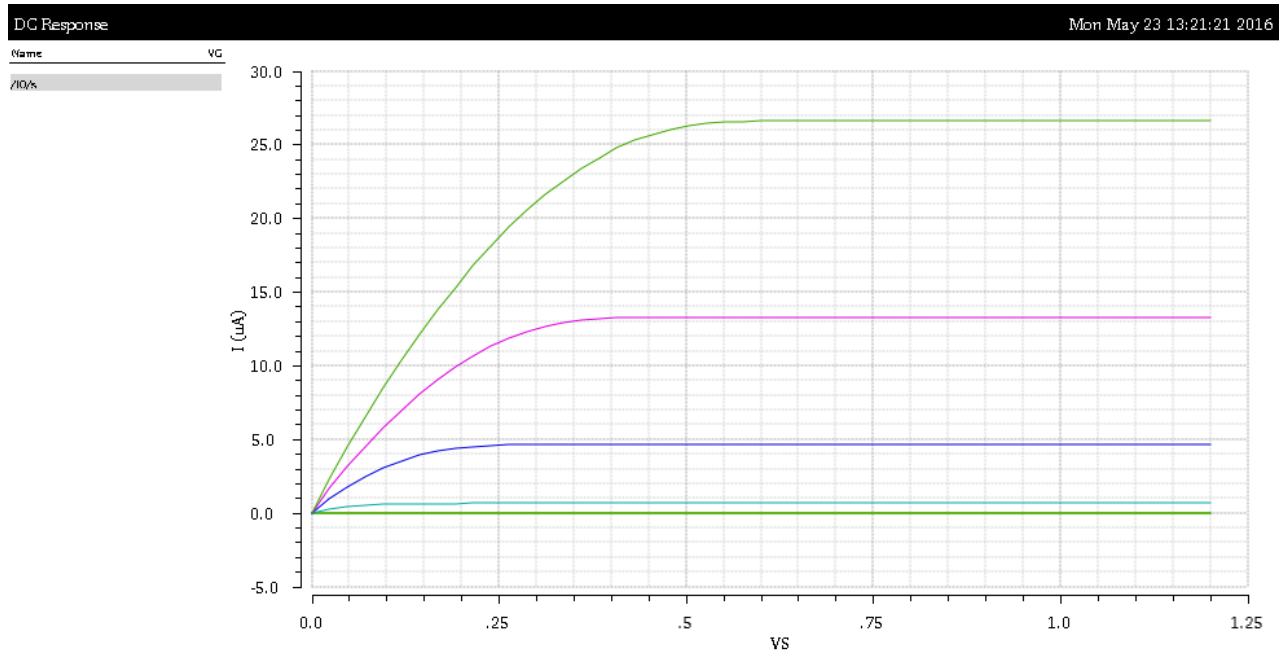


Figura 9: Características $I_D(V_G, V_{ds})$ PMOS

Com adição das características das capacidades parasitas, conforme as equações 1,2 e 3 apresenta-se a seguinte parte do código (descrito em "anexos"):

- Para o transistor NMOS com W=4u e L=2u:

```
Id = Ispec * (iff - ir);
```

```
Cgs = (2/3)*W*L*Cox*(1-(((VG-VD-$vt)**2)/((VG-VS-$vt+VG-VD-$vt)**2)));
```

```
Cgd = (2/3)*W*L*Cox*(1-(((VG-VS-$vt)**2)/((VG-VS-$vt+VG-VD-$vt)**2)));
```

```
I(d,s) <+ Id;
```

```
I(d,s) <+ Cgs*ddt(V(d,s));
```

```
I(g,s) <+ Cgd*ddt(V(g,s));
```

- Para o transistor PMOS com W=4u e L=0.5u:

```
Id = Ispec * (iff - ir);
```

```
Cgs = (2/3)*W*L*Cox*(1-(((VG-VD-$vt)**2)/((VG-VS-$vt+VG-VD-$vt)**2)));
```

```
Cgd = (2/3)*W*L*Cox*(1-(((VG-VS-$vt)**2)/((VG-VS-$vt+VG-VD-$vt)**2)));
```

```
I(s,d) <+ Id;
```

```
I(d,s) <+ Cgs*ddt(V(d,s));
```

```
I(g,s) <+ Cgd*ddt(V(g,s));
```

Fase 2 – Elemento em atraso

Através do *software* Cadence, desenvolveu-se, o seguinte esquemático do circuito da figura 10, implementando o elemento em atraso.

Para a tensão na gate, considerou-se um *Vpulse* com um período de $1\ \mu\text{s}$, atraso de $0\ \text{ns}$ também tempos de subida e de descida de $25\ \text{ns}$:

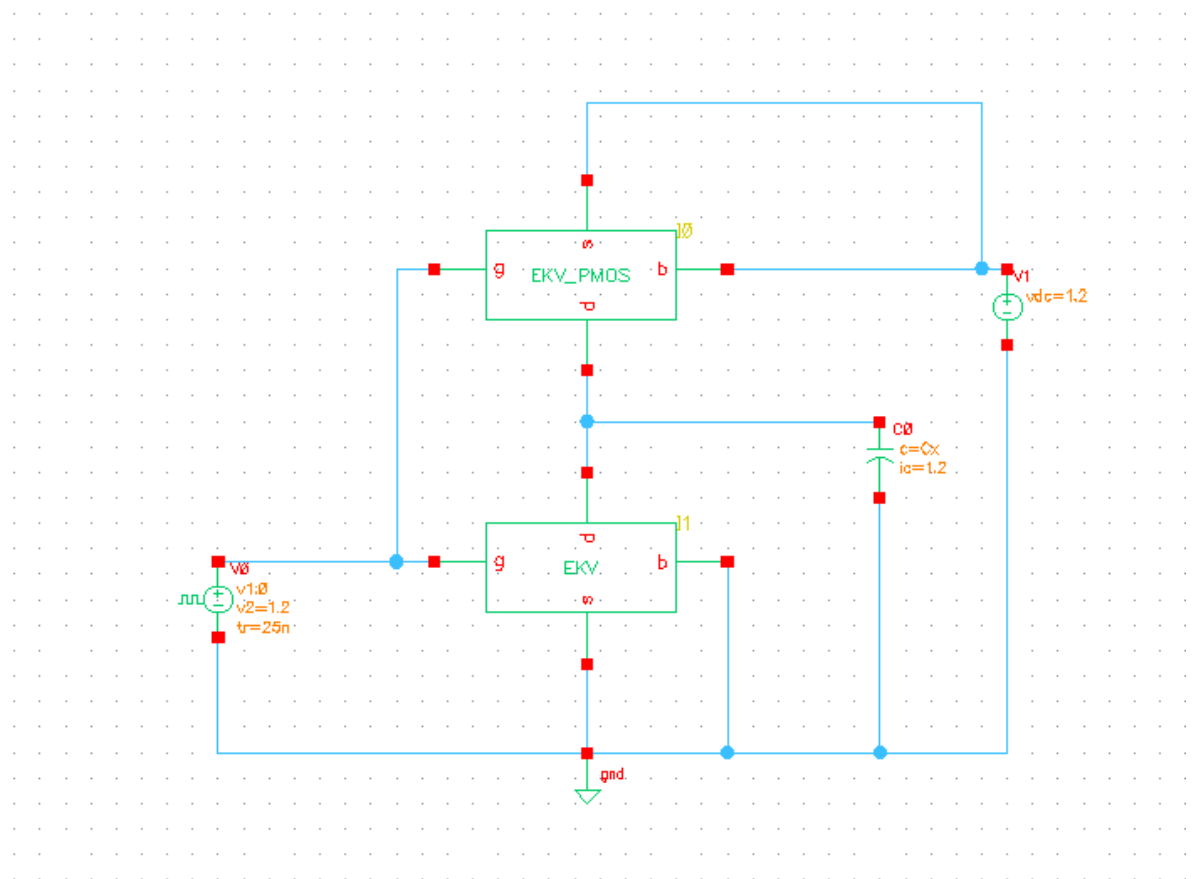


Figura 10: Inversor CMOS

Obteve-se a simulação temporal do circuito, considerando $C_x=5\text{pF}$ e determinou-se o atraso entre a onda de entrada e a de saída (na passagem por 0.6V) para comutações positivas e negativas.

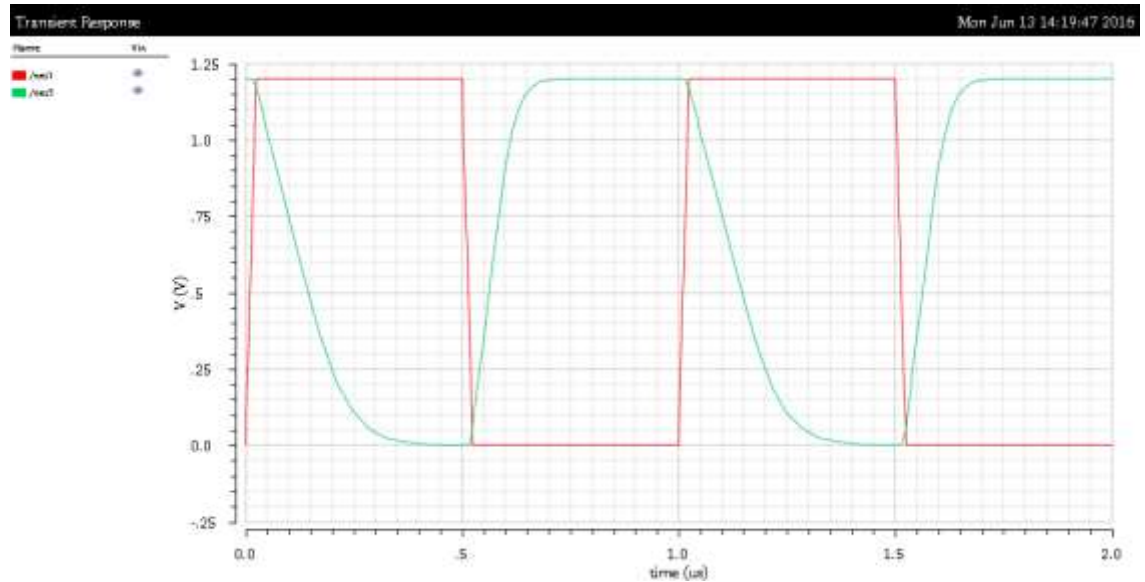


Figura 11: Sinais de entrada (vermelho) e saída (verde) do inversor CMOS.

Feita uma análise paramétrica para valores de C_x entre 5pF e 20pF (passo de 5pF) e determinou-se o valor do atraso introduzido em cada um dos casos.

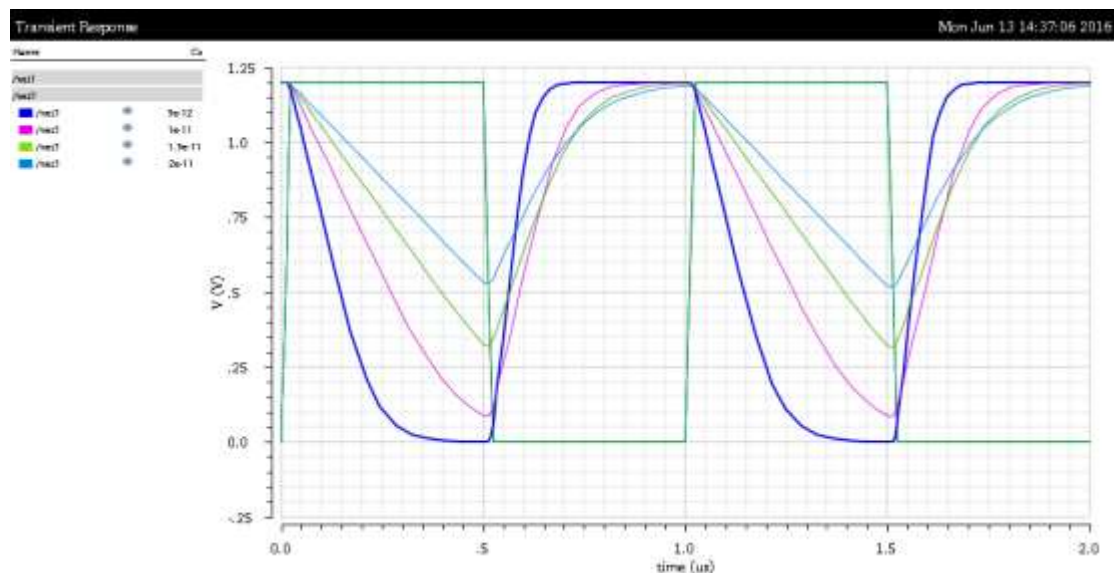
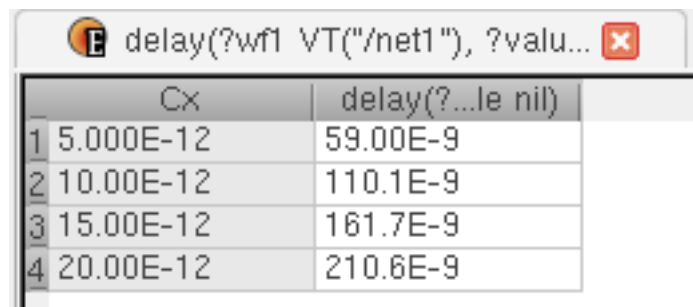


Figura 12: Análise paramétrica para C_x entre 5 e 20pF

Obteve-se os seguintes *delays* (atrasos) entre a curva de entrada e as curvas de saída:



	Cx	delay(?...le nil)
1	5.000E-12	59.00E-9
2	10.00E-12	110.1E-9
3	15.00E-12	161.7E-9
4	20.00E-12	210.6E-9

Figura 13: Delay's calculados a partir da função "delay" do cadence.

Fase 3 - Oscilador em anel

Utilizando o elemento em atraso desenvolvido na fase anterior, têm-se através da figura a seguir, o esquemático da implementação do oscilador em anel:

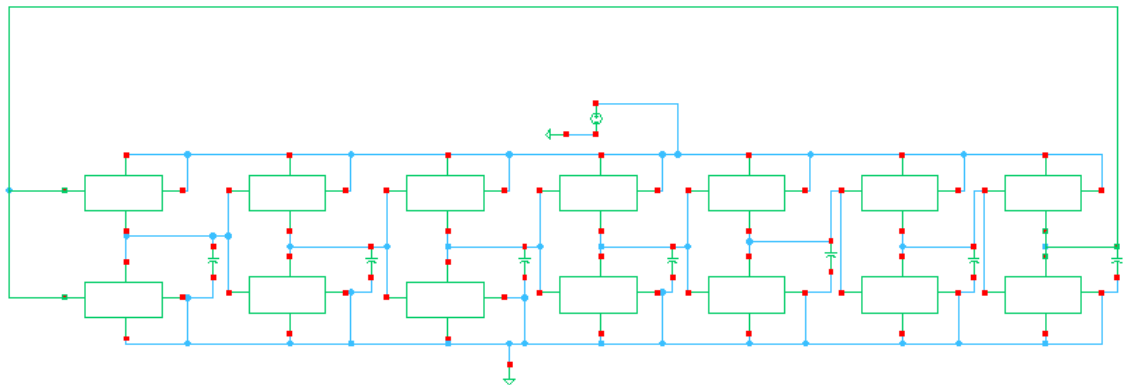


Figura 14: Oscilador em anel

Usando o elemento de atraso conforme a fase 2, e para $C_x=5\text{pf}$, implementou-se um oscilador em anel com sete elementos de atraso.

Determinando a frequência de oscilação obtida, obteve-se:

Para $C_x=5\text{pf}$, obteve-se uma frequência de 0.486 MHz

Qual a máxima frequência de oscilação que é possível obter com este elemento de atraso?

Para verificar a frequência máxima, realizou-se uma análise paramétrica variando C_x entre $50 \times 10^{-18} \text{F}$ e $500 \times 10^{-18} \text{F}$, obtendo-se os seguintes resultados:

Tabela 6: Valores de C_x para a frequência máxima.

	C_x	frequen_net1("))
1	50.00E-18	48.64E9
2	100.0E-18	48.64E9
3	150.0E-18	48.64E9
4	200.0E-18	48.64E9
5	250.0E-18	48.64E9
6	300.0E-18	8.107E9
7	350.0E-18	6.949E9
8	400.0E-18	6.080E9
9	450.0E-18	5.405E9
10	500.0E-18	4.864E9

Portanto, conclui-se que a frequência máxima corresponde a 48.64GHz

Dimensionou-se o circuito por forma a obter um oscilador de frequência 1 MHz, para o efeito, variou-se o valor de Cx entre 0.5pF e 5pF obtendo-se os seguintes resultados:

Tabela 7: Valor aproximado de Cx para a frequência 1Mhz

	Cx	frequen...net1"))
1	500.0E-15	4.864E6
2	736.8E-15	3.301E6
3	973.7E-15	2.498E6
4	1.211E-12	2.009E6
5	1.447E-12	1.680E6
6	1.684E-12	1.444E6
7	1.921E-12	1.266E6
8	2.158E-12	1.127E6
9	2.395E-12	1.016E6
10	2.632E-12	924.2E3
11	2.868E-12	847.9E3
12	3.105E-12	783.2E3
13	3.342E-12	727.7E3
14	3.579E-12	679.5E3
15	3.816E-12	637.4E3
16	4.053E-12	600.1E3
17	4.289E-12	567.0E3
18	4.526E-12	537.3E3
19	4.763E-12	510.6E3
20	5.000E-12	486.4E3

Se se pretendesse obter uma frequência de oscilação superior à obtida em 2, que opção de projecto poderia tomar?

Ao diminuir a capacidade, a frequência aumenta. Conforme se apresenta na tabela 7 acima, portanto, basta apenas diminuir a capacidade Cx e obtêm-se valores de frequência superiores ao obtido na fase 2.

Conclusão:

Após a realização deste trabalho, pôde-se concluir que os resultados corresponderam às expectativas. No oscilador, com um condensador $C_x=5\text{pF}$ obteve-se uma frequência de 0.486 MHz, que aproxima-se de 0.5 MHz.

A frequência máxima, variando C_x nos valores indicados situou-se nos 48.64 GHz, que se aproxima do esperado, embora as capacidades parasitas tenham valores muito baixos. Isso pode dever-se ao tamanho dos transístores.

Se houver uma diminuição da capacidade, verifica-se que frequência aumenta, como seria de esperar, pois a constante de tempo depende do condensador C_x e, portanto, quanto mais pequeno for o condensador, mais pequeno será o período (a frequência aumenta).

Referências:

1. Acetatos da disciplina em: <http://moodle.fct.unl.pt>.
2. http://cadeiras.iscte-iul.pt/cse/Folhas/Osc_PLL/Osc_PLL.htm#_Toc13590776
3. Book: *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design* C. Enz and E. Vittoz 2006 John Wiley & Sons, Ltd.
4. http://ekv.epfl.ch/files/content/sites/ekv/files/workshop/2011/Enz_NanoTera_2011.pdf
5. <https://nsti.org/publications/Nanotech/2007/pdf/897.pdf>
6. Artigo disponibilizado pela docente da disciplina:
http://moodle.fct.unl.pt/pluginfile.php/292366/mod_label/intro/ieee_icmts96_bucher_vp_extraction_method.pdf

Anexos:

Códigos EKV Simplificado:

Nmos:

```
// VerilogA for EDA_verilogA, EKV, verilogA

`include "constants.vams"
`include "disciplines.vams"

module EKV(d,g,s,b);
    inout      d,g,s,b ;
    electrical  d,g,s,b ;

    real x, VG, VS, VD, VGprime, VP;
    real n, iff, ir, Ispec, Id;
    real Cox, Cgs, Cgd;
    parameter real L      = 2E-6   from[0.0:inf];
    parameter real W      = 4E-6   from[0.0:inf];
    parameter real eox     = 3.453E-11 from [0.0:inf];
    parameter real tox     = 2.79E-9 from [0.0:inf];

    parameter real VTO     = 0.5209   from[0.0:inf];
    parameter real GAMMA   = 0.4320   from[0.0:inf];
    parameter real PHI     = 0.9650   from[0.2:inf];

    parameter real KP      = 2.9495E-4 from[0.0:inf];
    parameter real THETA   = -535.3E-3 from[-1.0:inf];
    parameter real beta    = 1.4747E-4 from [0.0:inf];
    parameter real ut      = 0.025;
```

Figura 15: Definição dos parâmetros para um NMOS EKV em Verilog

Pmos:

```
// VerilogA for EDA_verilogA, EKV_PMOS, verilogA

`include "constants.vams"
`include "disciplines.vams"

module EKV_PMOS(d,g,s,b);
    inout          d,g,s,b ;
    electrical      d,g,s,b ;

    real x, VG, VS, VD, VGprime, VP;
    real n, iff, ir, Ispec, Id;
    real Cox, Cgs, Cgd;
    parameter real L      = 0.5E-6 from[0.0:inf];
    parameter real W      = 4E-6  from[0.0:inf];
    parameter real eox    = 3.453E-11 from [0.0:inf];
    parameter real tox    = 2.79E-9 from [0.0:inf];

    parameter real VTO    = 0.5060  from[0.0:inf];
    parameter real GAMMA  = 0.3449   from[0.0:inf];
    parameter real PHI    = 0.2336   from[0.2:inf];

    parameter real KP      = 1.5963E-4 from[0.0:inf];
    parameter real THETA   = -20.3E-3 from[-1.0:inf];
    parameter real beta    = 7.9815E-5 from[0.0:inf];
    parameter real ut      = 0.025;
```

Figura 16: Definição dos parâmetros para um PMOS EKV em Verilog

```

analog begin

VG = V(b, g); VS = V(b, s); VD = V(b, d);

VGprime = VG - VTO + PHI + GAMMA * sqrt(PHI);
Cox = eox/tox;

VP = VGprime - PHI - GAMMA
    * (sqrt(VGprime+(GAMMA/2.0)**2)-(GAMMA/2.0));

//n = 1.0 + GAMMA / (2.0*sqrt(PHI + VP + 4.0*$vt));

n = 1.0 + GAMMA / (2.0*sqrt(PHI + VP + 4.0*ut));

//beta = KP * (W/L) * (1.0/(1.0 + THETA * VP));

/*x=(VP-VS)/$vt; iff = (ln(1.0+exp( x /2.0))**2);
x=(VP-VD)/$vt; ir  = (ln(1.0+exp( x /2.0))**2);*/

x=(VP-VS)/ut; iff = (ln(1.0+exp( x /2.0))**2);
x=(VP-VD)/ut; ir  = (ln(1.0+exp( x /2.0))**2);

//Ispec = n * beta*(W/L) * $vt * $vt;

Ispec = n * beta*(W/L) * ut * ut;

Id = Ispec * (iff - ir);

```

Figura 17: Cálculo dos restantes parâmetros para o modelo EKV (comuns aos dois transístores)