EDA/CAD para Nanoelectrónica

2º Relatório prático ref. ano 2015-2016

Docente: Professora Doutora Helena Fino

Elaborado pelos alunos de MIEEC:

António João Marques de Andrade Pereira 39971

Filipe Miguel Aleixo Perestrelo 39656

Silvana Regina Ferreira de Oliveira Costa 30159

Índices

Objectivos: 2

Introdução Teórica: 5

Modelo EKV 5

Especificações do Modelo EKV: 5

Implementação Prática 7

Fases do Projecto: 7

Fase 1 7

Fase 1 - alínea a: Determinação da Corrente Is (Corrente Específica) 7

Fase 1 - alínea b: Determinação da tensão de Pinch-off, Vp 11

Fase 1 - alínea c: Determinação da Tensão de Threshold (Vt ou Vt0 ): 13

Fase 1 - alínea d: Determinação dos parâmetros **γ** e **Φ**: 15

Fase 1 - alínea e: Determinação de n(Vg): 17

Fase 1 - alínea f: Determinação do parametro Kp: 18

Fase 1: Comentários: 20

Fase 2: 21

Fase 2: Comparação de resultados analisados do modelo 21

Referências: 23

Anexos: 24

Índice de Tabelas

Tabela 1. Parâmetros do modelo EKV2.6 2

Tabela 2. Relação W/L dos transístores Nmos. 4

Índice de Figuras

Figure 1: Transístor MOS utilizado no modelo EKV [Fonte: Ref. (1)] 5

Figure 2: Grafico log(ID) onde se demonstram as inversões fraca,moderada e forte do transístor – [Fonte: Ref. (1)] 6

Figure 3 : Esquemático do circuito desenvolvido no software Cadence 7

Figure 4: Curve Fitting utilizado para determinação da corrente específica 8

Figure 5: Característica ID (Vs) de um transístor com W=4u e L=2u e Vd fixo em 1.2V 10

Figure 6: Característica ID (Vs) de um transístor com W=1u e L=0.5u e Vd fixo em 1.2V 10

Figure 7: Montagem para determinação de Vp 11

Figure 8: Característica Vp(Vg) de um transístor com W=4u e L=2u 12

Figure 9: Característica Vp(Vg) de um transístor com W=1u e L=0.5u 12

Figure 10: Curve Fitting da característica Vp(Vg) de um transístor com W=4u e L=2u 13

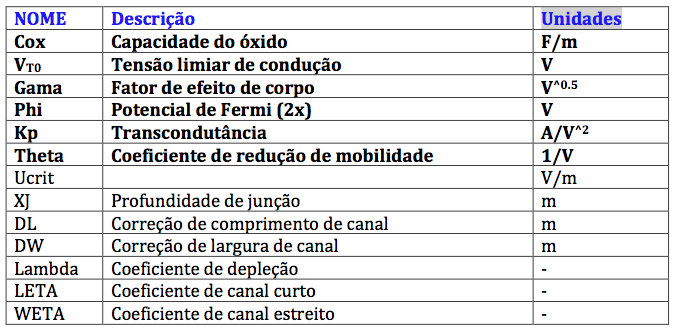
Figure 11: Curve Fitting da característica Vp(Vg) de um transístor com W=1u e L=0.5u 14

# Objectivos:

Este trabalho tem como objectivo a determinação dos parâmetros do modelo EKV para transístores NMOS da tecnologia UMC065. Serão apenas considerados transístores de canal longo. Assim como o trabalho anterior, este também contará com o auxilio de ferramentas importantes como o *software Cadence* para dimensionamento e simulação, E o software Matlab para determinação e cálculos dos parâmetros.

O modelo EKV2.6 é caracterizado pelos seguintes parâmetros:

Tabela 1. Parâmetros do modelo EKV2.6



Dos parâmetros acima do modelo EKV 2.6, não foram considerados todos, apenas foram obtidos os relativos a transístores de canal longo.

Este trabalho é constituído por 3 fases que serão descritas a seguir:

**Fase 1:** Determinação dos parâmetros do Modelo EKV para um transístor Nmos1 com W = 4µ e L = 2µ:

Nesta fase são determinados os seis parâmetros seguintes deste modelo, tendo por base características de funcionamento dos dispositivos obtidas por simulação:

* Corrente I*s*;
* Tensão de *Pinch-off,Vp;*
* Tensão V*t*;
* γ e Φ;
* n(Vg);
* Kp.

Estes parâmetros são obtidos com recurso ao software denominado *Matlab*

**Fase 2:** Implementar, em Matlab, um script que permite gerar características ID(VGS) e ID(VDS) utilizando o modelo EKV.

Nesta fase é sugerido o desenvolvimento de um script contendo as seguintes funções:

* Função get\_Vp : Que devolve valor de VP em função da tensão VG;
* Função get\_Is: Que devolve valor de IS em função de VG;
* Função get\_ifr: Que devolve valor de corrente if(r) em função de VG e de VS(D)

Uma vez obtidos os valores de todos os parâmetros do modelo, são traçadas as curvas características a partir das funções acima mencionadas e é feita graficamente uma comparação destas curvas com as curvas obtidas por simulação tanto para o transístor Nmos1 como para o Nmos2.

As características dos transístores usados podem ser consultadas na seguinte tabela 2 apresentada:

Tabela . Características dos transístores utilizados na fase 2.

|  |  |  |  |
| --- | --- | --- | --- |
| TRANSÍSTOR | MODELO | W | L |
| NMOS1 | N\_12\_11hvt | 4 µ | 2 µ |
| NMOS2 | 1 µ | 0.5 µ |

**Fase 3:** Repetir as fases 1 e 2 para um transistor P com as mesmas dimensões.

# Introdução Teórica:

## Modelo EKV

As suas origens remontam aos primeiros desenvolvimentos de relógios electrónicos em *CEH* (*sigla em francês para relojoeiros do Centro Electrónico)* na Suíça.

O consumo total de energia teve que ser extremamente baixa, inferior a 1μW, para garantir alguns anos de vida para a bateria. Após as primeiras versões baseadas em transístores bipolares, a tecnologia CMOS logo foi identificada como a melhor abordagem para implementar os circuitos electrónicos digitais.

Logo, o modelo EKV é uma evolução dos primeiros modelos de transístores de inversão fraca dos anos 70. Este foi desenvolvido na época de 90 por Christian Enz, François Krummenacher e Eric Vittoz, cujas iniciais do nome do modelo tem sua origem.

Existem duas versões para este modelo com diferentes graus de simplicidade. A versão mais complexa é o EKV3.0 e a mais simples, denominada de modelo EKV2.6, é a versão usada neste trabalho e apresenta algumas limitações para canais muito curtos.

Este é um modelo físico dedicado à análise de circuitos de baixa tensão e baixa corrente, construído sob propriedades físicas fundamentais da estrutura dos transístores e que permite a continuidade de pequenos e grandes sinais desde a inversão fraca até a forte.

Portanto, a criação desde modelo veio permitir uma reprodução mais fiel das novas características de funcionamento dos transístores em todas a zonas de inversão.(2)

### Especificações do Modelo EKV:

Este modelo tem 13 (treze) parâmetros que descrevem o comportamento do transistor em todas as regiões de operação. Os parâmetros do modelo EKV estão resumidos na tabela 1 anteriormente apresentada.

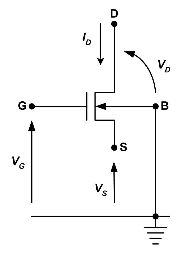
Também preserva a simetria intrínseca do transístor referindo todas as tensões ao Bulk mantendo-se a simetria do dispositivo, como pode ser visto na Figura 1 abaixo:.

Figura : Transístor MOS utilizado no modelo EKV [Fonte: Ref. (1)]

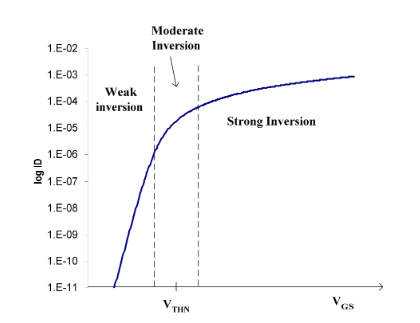
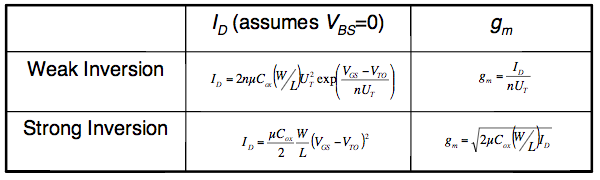
As zonas de operação do transístor são descritas através do que é definido como o potencial eletrostático na superfície do material semicondutor.

Figura : Grafico log(ID) onde se demonstram as inversões fraca,moderada e forte do transístor – [Fonte: Ref. (1)]

Observando a figura 2, na zona de inversão fraca, ou *subtreshold,* o canal é ligeiramente invertido, esta zona é usada em aplicações de baixo consumo de potência e baixa frequência. Na inversão moderada, o erro resultante não é muito significativo. E por ultimo, na zona de inversão forte, existe a possibilidade de medição da tensão em que o transístor entra em saturação (tensão de *pinch-off*).

As equações variam muitas vezes conforme a zona de inversão forte ou fraca. Tradicionalmente não se considera equações gerais para inversão moderada1. Na tabela seguinte (tabela 3) temos:

Tabela : Equações de ID conforme as zonas de inversão [Fonte: ver ref. (1)]



Portanto, no modelo EKV acaba por se considerar uma única equação em todos os níveis de inversão.

# Implementação Prática

Através do *software Cadence*, desenvolveu-se o seguinte esquemático do circuito:

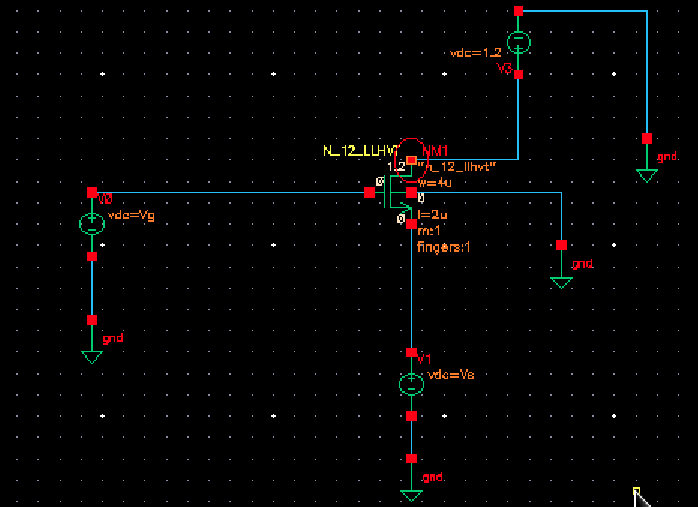


Figura : Esquemático do circuito desenvolvido no software Cadence

Após a simulação, Os dados foram exportados para o Matlab onde obteve-se os seguintes gráficos das curvas características ID(VS):

## Fases do Projecto:

### Fase 1

#### Fase 1 - alínea a: Determinação da Corrente Is (Corrente Específica)

A corrente de dreno ID, é decomposta em corrente directa e inversa conforme a expressão:

(1)

Em que,

(2)

(3)

(4)

Uma vez que, quando um transístor encontra-se em inversão forte, com e é desprezável. Tem-se:

(5)

Logo, a corrente de dreno é dada por:

(6)

Pelo que a característica é uma recta com:

Declive: (7)

e com ordenada na origem: (8)

Através da simulação efectuada utilizando o *software Cadence,* considerando o transístor em inversão forte, obteve-se a característica .De seguida utilizou-se o método de *curve fitting* para determinar *m* e *b.*

O curve fitting pode ser visualizado na figura abaixo (figura 4):

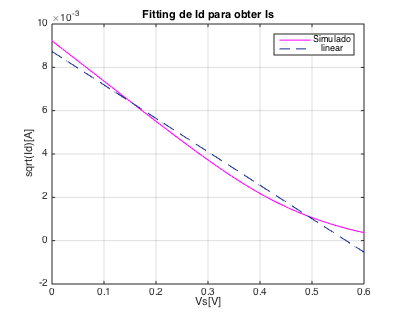


Figura : Curve Fitting utilizado para determinação da corrente específica

E os valores obtidos foram:

(9)

(10)

Uma vez determinados *m* e *b.* Através de *m,* Torna-se possível o calculo da corrente IS Uma vez que:

(11)

Tendo em conta que:

(Valor definido pela docente)

e

(Valor obtido acima)

Então:

(12)

Dos dados exportados para o Matlab, também obteve-se os seguintes gráficos das curvas características ID(VS):

Características

* Para o transístor NMOS1 com W=4u e L=2u:

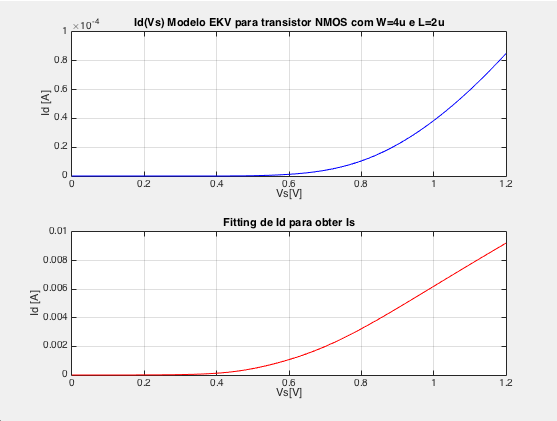


Figura 5: Característica ID (Vs) de um transístor com W=4u e L=2u e Vd fixo em 1.2V

* Para o transístor NMOS2 com W=1u e L=0.5u:

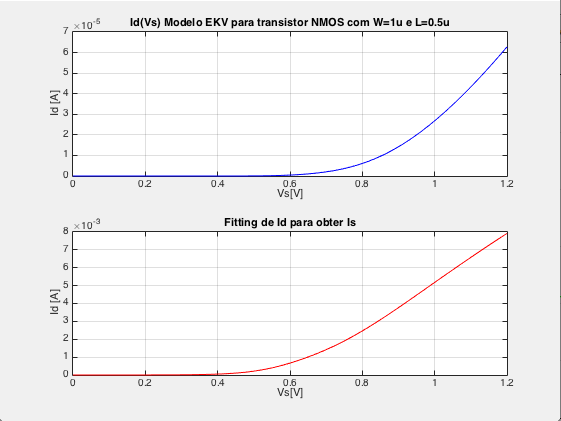


Figura : Característica ID (Vs) de um transístor com W=1u e L=0.5u e Vd fixo em 1.2V

#### Fase 1 - alínea b: Determinação da tensão de Pinch-off, Vp

A tensão de pinch-off é definida como a tensão do canal para o qual a inversão de carga é zero sob efeito da inversão forte(4) . Esta fornece um método eficiente de determinação dos principais parâmetros do modelo tais como a tensão de threshold e outros parâmetros relativos à concentração de portadores no canal(4)

A determinação da tensão de pinch-off consiste em usar uma corrente de polarização constante, tipicamente igual a da corrente . Para medir a característica varia-se todos os valores da tensão da porta e mede-se a tensão da fonte .

Para a determinação da tensão *Pinch-off,Vp,* considerou-se a seguinte equação:

(13)

Através do seguinte esquemático desenvolvido:

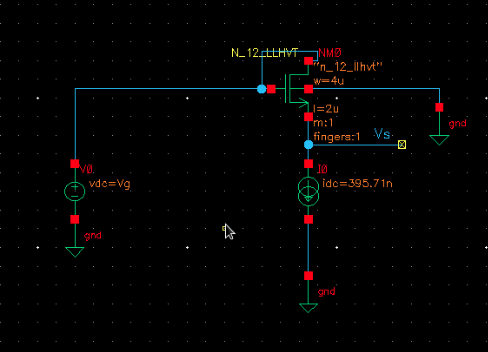


Figura : Montagem para determinação de Vp

Obtida a equação e simulando no *Cadence* o circuito da figura 7, obteve-se a recta representada na figura 8:

* Para o transístor NMOS1 com W=4u e L=2u:

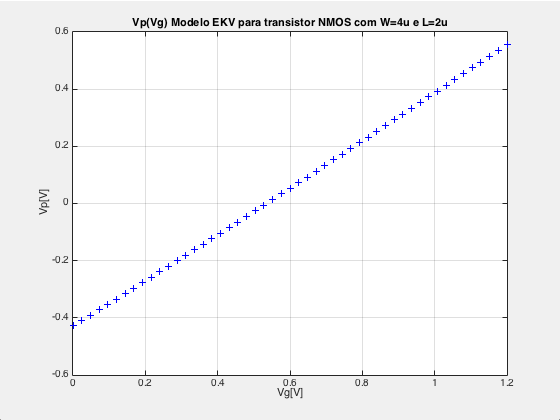


Figura : Característica Vp(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

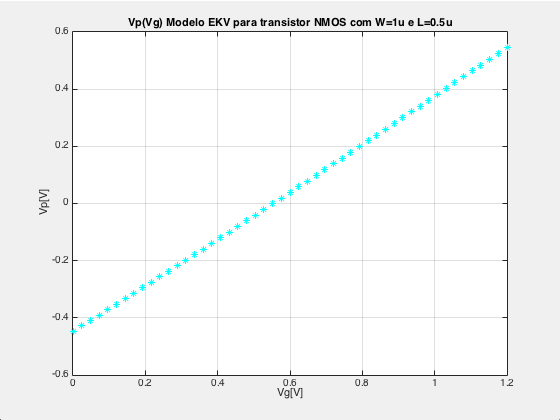


Figura : Característica Vp(Vg) de um transístor com W=1u e L=0.5u

#### Fase 1 - alínea c: Determinação da Tensão de Threshold (Vt ou Vt0 ):

A partir da característica *VP(VG)* determinou-se o valor de *Vt*, considerando as seguintes equações:

(14)

Onde são novos valores de declive e ordenada de origem obtidos da característica *VP(VG).*

A tensão de threshold é definida como sendo a tensão da gate, denominada *VG,* para a qual, a inversão de carga no canal no equilíbrio é zero, ou seja, quando *VP* = 0, logo:

(15)

Para determinar o valor de , fez-se um curve fitting às características *VP(VG)* que podem ser observadas das figuras 10 e 11 seguintes.

* Para o transístor NMOS1 com W=4u e L=2u:

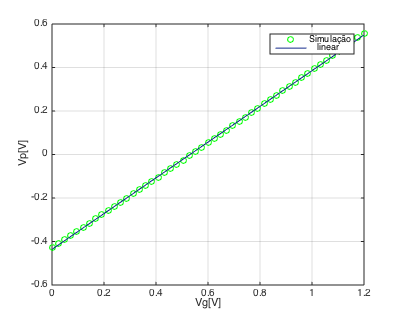


Figura : Curve Fitting da característica Vp(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

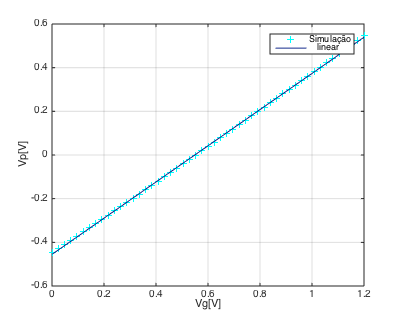


Figura : Curve Fitting da característica Vp(Vg) de um transístor com W=1u e L=0.5u

Através das curvas acima, obteve-se os seguintes valores:

* Para o transístor NMOS1 com W=4u e L=2u:

* Para o transístor NMOS2 com W=1u e L=0.5u:

Logo, obteve-se também os seguintes valores para cada Vt0:

* Para o transístor NMOS1 com W=4u e L=2u:

*Vt0 = 0.5209 [V].*

* Para o transístor NMOS2 com W=1u e L=0.5u:

*Vt0 = 0.5390[V].*

#### Fase 1 - alínea d: Determinação dos parâmetros γ e Φ:

A tensão de *pinch-off* no modelo EKV em função da tensão da *gate* VG é dada por:

(16)

Onde é denominado por *coeficiente de corpo ou factor de substracto,* e é dado por:

(17)

E é uma aproximação do potencial da região em inversão forte e a tensão da *gate* é dada por:

(18)

em que *Vt0*  é a tensão de *threshold*.

Para transístores de canal longo, a aproximação é válida, caso o efeito de corpo tem de ser tido em conta.

Uma vez obtido através de simulação, realizando um *fitting* à equação da tensão de *pinch-off (Vp),* obteve-se os valores pretendidos neste ponto, ou seja, dos parâmetros **γ** e Φ:

* Para o transístor NMOS1 com W=4u e L=2u:

* Para o transístor NMOS2 com W=1u e L=0.5u:

* Para o transístor NMOS1 com W=4u e L=2u:

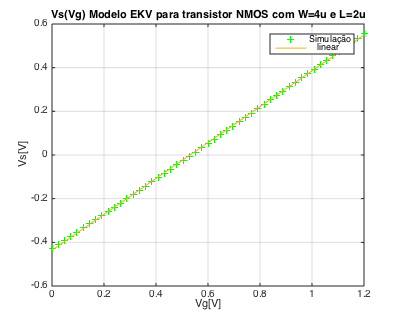


Figura : Curve Fitting Vs(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

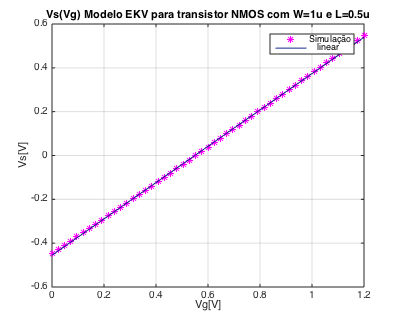


Figura : Curve Fitting Vs(Vg) de um transístor com W=1u e L=0.5u

#### Fase 1 - alínea e: Determinação de n(Vg):

Uma vez que o declive na zona de inversão fraca, é dado por:

(19)

Substituindo **γ,** Φ e *Vp* pelos valores anteriormente determinados, obteve-se as características n(*Vg)*, conforme representado nas figuras 14 e 15 abaixo :

* Para o transístor NMOS1 com W=4u e L=2u:

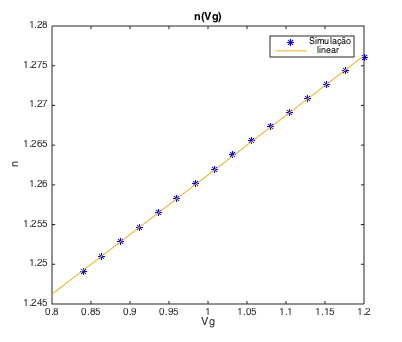


Figura : Característica n(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

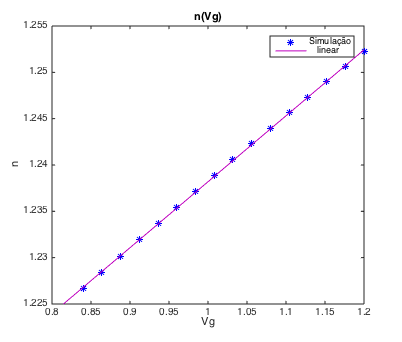


Figura : Característica n(Vg) de um transístor com W=1u e L=0.5u

#### Fase 1 - alínea f: Determinação do parametro Kp:

O factor de ganho de transcondutância ,(Kp), é extraído a partir da curva do ID(*VG)* do transístor. Assim, simulando o circuito com *VD* = 1.2 V e variando o *VG,* obteve-se as seguintes características abaixo conforme as figuras 16 e 17:

* Para o transístor NMOS1 com W=4u e L=2u:

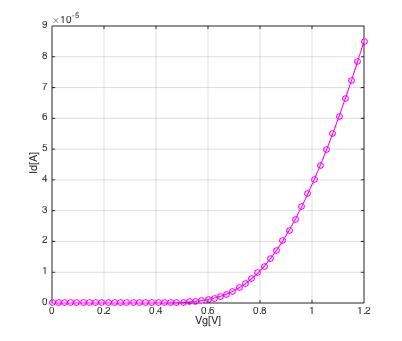


Figura : Característica ID(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

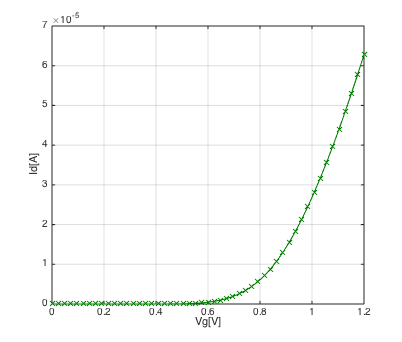


Figura : Característica ID(Vg) de um transístor com W=1u e L=0.5u

Obtidas as características, sabe-se que,

(20)

em que:

(21)

Assim, tendo por base a equação da corrente realizou-se um *fitting* em cada transistor obtendo- se os valores de e para cada.

Os resultados do *fitting’s* podem serem vistos nas figuras 18 e 19:

* Para o transístor NMOS1 com W=4u e L=2u:

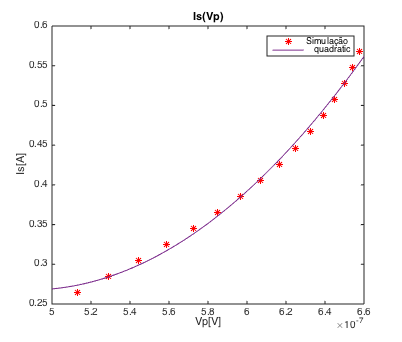


Figura : Curve fitting de Is(Vp) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

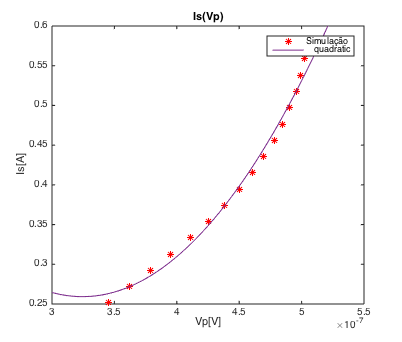


Figura : Curve fitting de Is(Vp) de um transístor com W=1u e L=0.5u

E os seus respectivos valores obtidos foram:

* Para o transístor NMOS1 com W=4u e L=2u:

2.9495e-04

-0.5353

* Para o transístor NMOS2 com W=1u e L=0.5u:

2.0008e-04

-0.7240

Obteve-se também os seguintes valores para cada parâmetro β:

Tendo em conta que:

(22)

Logo:

* Para o transístor NMOS1 com W=4u e L=2u:

β *=* 1.4747e-04

* Para o transístor NMOS2 com W=1u e L=0.5u:

β *=* 1.0004e-04

#### Fase 1: Comentários:

### Fase 2:

#### Fase 2: Comparação de resultados analisados do modelo

Conforme sugerido, procedeu-se ao desenvolvimento de funções para gerar as características *ID(VGS)* e *ID(VDS).*Uma vez obtidos todos os parâmetros do modelo, possibilitando desta forma compará-las com as mesmas características simuladas no *Cadence*.

As funções estão determinadas, conforme mencionadas nos objectivos deste trabalho, e tem seus conteúdos expostos na parte denominada por anexo, descrito no final deste documento.

Estas características foram feitas para os dois transístores conforme se apresentam na tabela 2 de forma a demonstrar qual a influência deste modelo em transístores com dimensões diferentes.

Os resultados para as características *ID(VGS)* podem ser conferidos nas figuras 20 e 21 a seguir:

* Para o transístor NMOS1 com W=4u e L=2u:

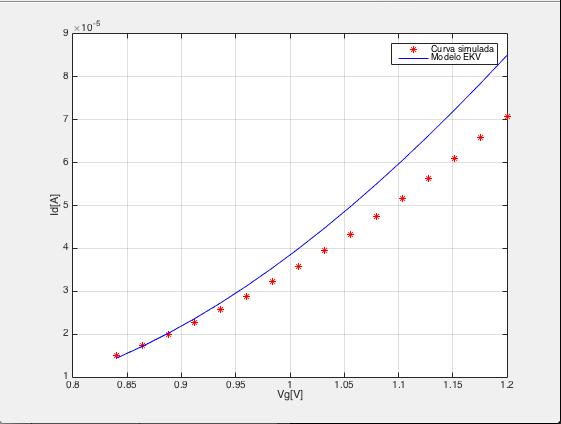


Figura : Característica ID(Vg) de um transístor com W=4u e L=2u

* Para o transístor NMOS2 com W=1u e L=0.5u:

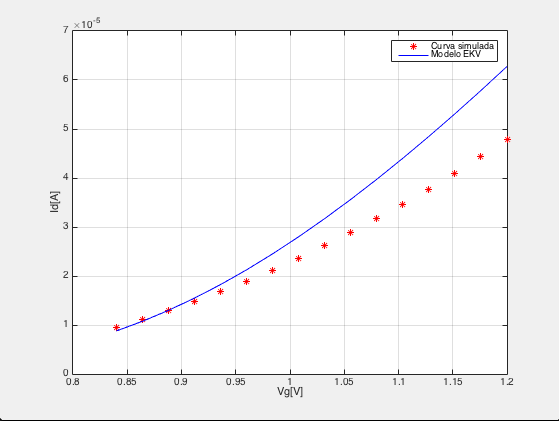


Figura : Característica ID(Vg) de um transístor com W=1u e L=0.5u

### Fase 3:

#### Fase 3: Repetir as fases 1 e 2 para um transistor P com as mesmas dimensões.

Nesta fase, subdividida por partes, utilizou-se os mesmos procedimentos desenvolvidos para os transístores do tipo *N* das fases 1 e 2.

As características dos transístores do tipo *P* utilizadas podem ser consultadas na seguinte tabela 4 apresentada:

Tabela . Características dos transístores P utilizados.

|  |  |  |  |
| --- | --- | --- | --- |
| TRANSÍSTOR | MODELO | W | L |
| PMOS1 | P\_12\_11hvt | 4 µ | 2 µ |
| PMOS2 | 1 µ | 0.5 µ |

#### Fase 3 - Parte1 - alínea a: Determinação da Corrente Is (Corrente Específica)

Da mesma forma obtida para os transístores do tipo NMOS e através da simulação efectuada utilizando o *software Cadence,* considerando o transístor em inversão forte, obteve-se a característica .De seguida utilizou-se o método de *curve fitting* para determinar *m* e *b.*

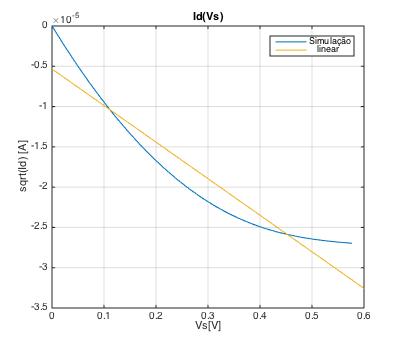
 O curve fitting pode ser visualizado na figura abaixo (figura 22):

Figura : Curve Fitting utilizado para determinação da corrente específica

Dado que os parâmetros foram calculados conforme equações para o NMOS descritos acima, os valores obtidos se apresentam conforme a tabela 5 abaixo:

Tabela . Valores obtidos dos parâmetros para o transistores P utilizados.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | m | b | Is [A] | Ut [V] |
| PMOS1 | 0.2950 | 0 | 2.1800e-06 | 0.025 |
| PMOS2 | 0.0053 | -0.0101 | 2.5629e-07 | 0.025 |

Dos dados exportados para o Matlab, também obteve-se os seguintes gráficos das curvas características ID(VS):

Características

* Para o transístor PMOS1 com W=4u e L=2u:

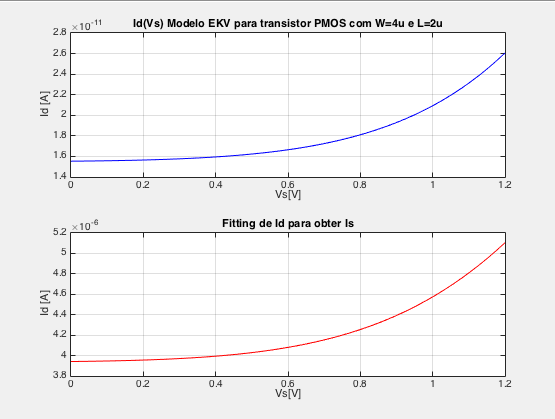


Figura 23: Característica ID (Vs) de um transístor com W=4u e L=2u e Vd fixo em 1.2V

* Para o transístor PMOS2 com W=1u e L=0.5u:

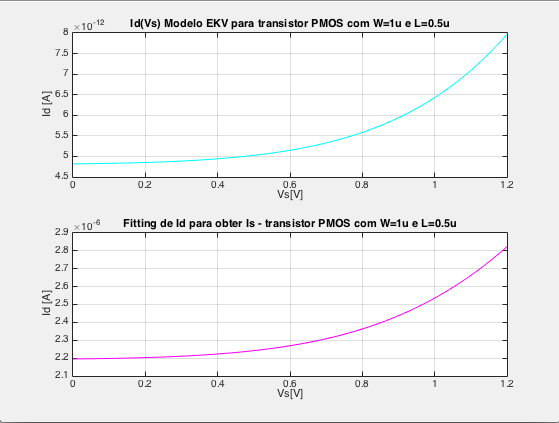


Figura : Característica ID (Vs) de um transístor com W=1u e L=0.5u e Vd fixo em 1.2V

#### Fase 3 - Parte1 - alínea b: Determinação da tensão de Pinch-off, Vp

Através do seguinte esquemático desenvolvido:

Figura : Montagem para determinação de Vp

Obtida a equação e simulando no *Cadence* o circuito da figura 25, obteve-se a recta representadas nas figuras 26 e 27:

* Para o transístor PMOS1 com W=4u e L=2u:

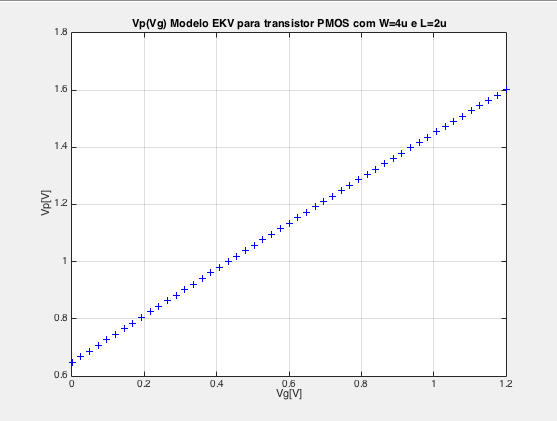


Figura : Característica Vp(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

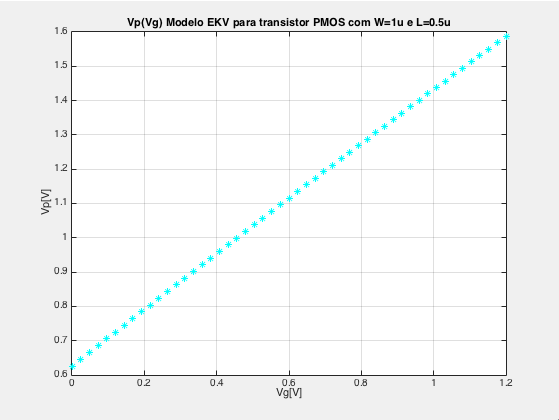


Figura : Característica Vp(Vg) de um transístor com W=1u e L=0.5u

#### Fase 3 - Parte1 - alínea c: Determinação da Tensão de Threshold (Vt ou Vt0 ):

A partir da característica *VP(VG)* determinou-se o valor de *Vt*, considerando as mesmas equações utilizadas no NMOS:

(23)

Onde são novos valores de declive e ordenada de origem obtidos da característica *VP(VG).*

Da mesma forma para o NMOS, para determinar os valores de , fez-se um curve fitting às características *VP(VG)* que podem ser observadas das figuras 28 e 29 seguintes.

* Para o transístor PMOS1 com W=4u e L=2u:

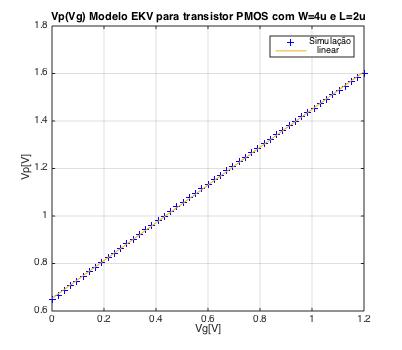


Figura : Curve Fitting da característica Vp(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

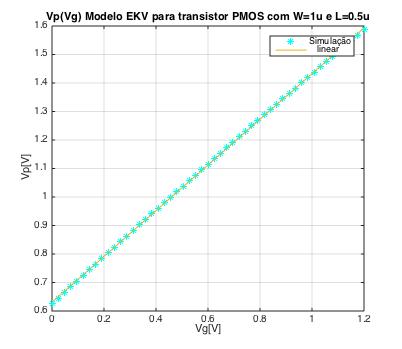


Figura : Curve Fitting da característica Vp(Vg) de um transístor com W=1u e L=0.5u

Através das curvas acima, obteve-se os valores conforme a tabela 6 apresentada na fase 3, alínea *d* mais adiante.

#### Fase 3 - Parte1 - alínea d: Determinação dos parâmetros γ e Φ:

Uma vez obtido através de simulação, realizando um *fitting* à equação da tensão de *pinch-off (Vp),* obteve-se os valores pretendidos neste ponto, ou seja, dos parâmetros **γ** e Φ:

Tabela . Valores obtidos dos parâmetros para o transístores P utilizados.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Vt0[V] | ɸ | 𝛾 |
| PMOS1 | 0.6947 | 1.200 | 0.5440 |
| PMOS2 | 0.7165 | 1.200 | 0.5208 |

Logo, pode se observar as respectivas características através das figuras 30 e 31:

* Para o transístor PMOS1 com W=4u e L=2u:

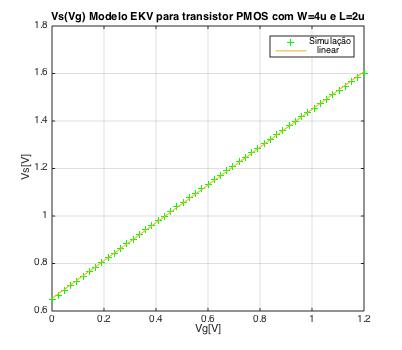


Figura : Curve Fitting Vs(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

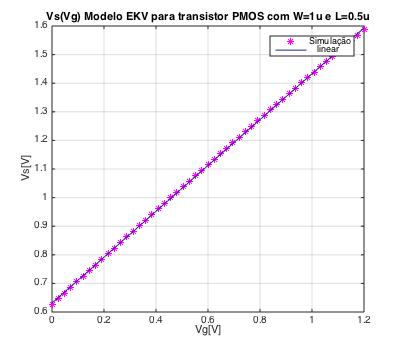


Figura : Curve Fitting Vs(Vg) de um transístor com W=1u e L=0.5u

#### Fase 3 – Parte 1 - alínea e: Determinação de n(Vg):

Substituindo **γ,** Φ e *Vp* pelos valores anteriormente determinados, obteve-se as características n(*Vg)*, conforme representado nas figuras 32 e 33 abaixo :

* Para o transístor PMOS1 com W=4u e L=2u:

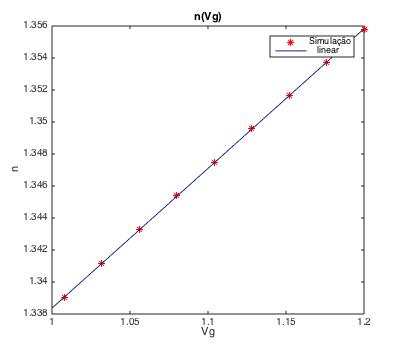


Figura : Característica n(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

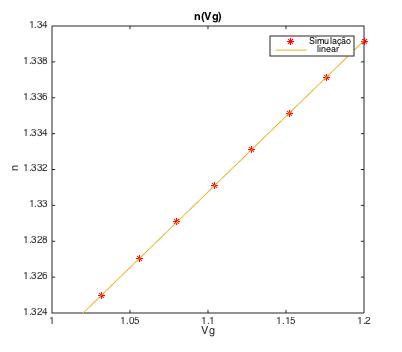


Figura : Característica n(Vg) de um transístor com W=1u e L=0.5u

#### Fase 3 - Parte1 - alínea f: Determinação do parametro Kp:

O factor de ganho de transcondutância ,(Kp), é extraído a partir da curva do ID(*VG)* do transístor. Assim, simulando o circuito com *VD* = 1.2 V e variando o *VG,* obteve-se as seguintes características abaixo conforme as figuras 34 e 35:

* Para o transístor PMOS1 com W=4u e L=2u:

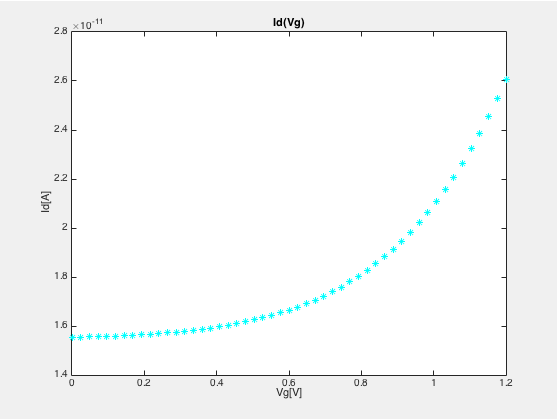


Figura : Característica ID(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

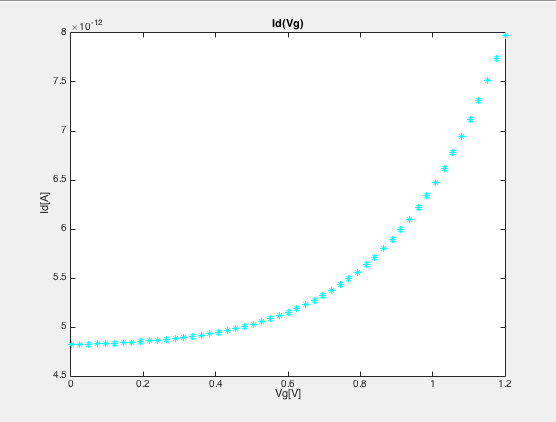


Figura : Característica ID(Vg) de um transístor com W=1u e L=0.5u

Obtidas as características, assim, tendo por base a equação da corrente descrita para os transístores NMOS, da mesma forma, realizou-se um *fitting* em cada transistor obtendo- se os valores de e para cada um.

Os resultados do *fitting’s* podem serem vistos nas figuras 36 e 37:

* Para o transístor PMOS1 com W=4u e L=2u:

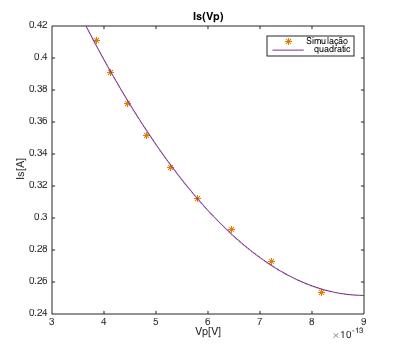


Figura : Curve fitting de Is(Vp) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

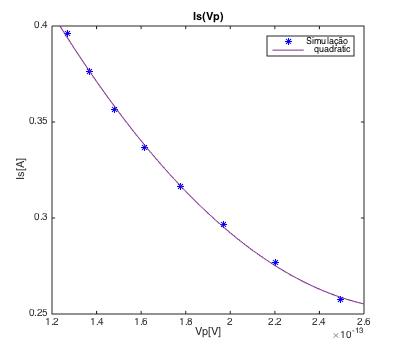


Figura : Curve fitting de Is(Vp) de um transístor com W=1u e L=0.5u

E os seus respectivos valores obtidos, são apresentados conforme a tabela 7 a seguir:

Tabela . Valores obtidos dos parâmetros para o transístores P utilizados.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Kp | 𝚹 | β |
| PMOS1 | 2.9728e-12 | -2.500 | 1.4864e-12 |
| PMOS2 | 1.1468e-12 | -2.4999 | 5.7341e-13 |

#### Fase 3 - Parte1: Comentários:

### Fase 3 – Parte2:

#### Fase 3 – Parte 2: Comparação de resultados analisados do modelo

Assim como para os transístores tipo N, procedeu-se ao desenvolvimento de funções para gerar as características *ID(VGS)* e *ID(VDS).*Uma vez obtidos todos os parâmetros do modelo, possibilitando desta forma compará-las com as mesmas características simuladas no *Cadence*.

Estas características foram feitas para os dois transístores conforme se apresentam na tabela 4 de forma a demonstrar qual a influência deste modelo em transístores com dimensões diferentes.

Os resultados para as características *ID(VGS)* podem ser conferidos nas figuras 38 e 39 a seguir:

* Para o transístor PMOS1 com W=4u e L=2u:

Figura : Característica ID(Vg) de um transístor com W=4u e L=2u

* Para o transístor PMOS2 com W=1u e L=0.5u:

Figura : Característica ID(Vg) de um transístor com W=1u e L=0.5u

# Referências:

1. Acetatos da disciplina em: http://moodle.fct.unl.pt.
2. <http://web.eecs.utk.edu/~bblalock/ece532/ece532_pres_ekv_bsim.pdf>.
3. Book: *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design* C. Enz and E. Vittoz 2006 John Wiley & Sons, Ltd.
4. <http://ekv.epfl.ch/files/content/sites/ekv/files/workshop/2011/Enz_NanoTera_2011.pdf>
5. https://nsti.org/publications/Nanotech/2007/pdf/897.pdf
6. Artigo disponibilizado pela docente da disciplina: http://moodle.fct.unl.pt/pluginfile.php/292366/mod\_label/intro/ieee\_icmts96\_bucher\_vp\_extraction\_method.pdf

# Anexos: