EDA/CAD para Nanoelectrónica

3º Relatório prático ref. ano 2015-2016

Docente: Professora Doutora Helena Fino

Elaborado pelos alunos de MIEEC:

António João Marques de Andrade Pereira 39971

Filipe Miguel Aleixo Perestrelo 39656

Silvana Regina Ferreira de Oliveira Costa 30159

Índices

Índice Geral

Objectivos: 3

Introdução Teórica: 7

Breve descrição sobre Osciladores: 7

Breve descrição sobre Osciladores em anel: 7

Implementação Prática 8

Fases do Projecto: 9

Fase 1 9

Fase 2 – Elemento em atraso 13

Fase 3 - Oscilador em anel 15

Conclusão: 16

Referências: 17

Anexos: 18

Códigos EKV Simplificado: 18

Nmos: 18

Pmos: 19

Índice de Tabelas

Tabela 1: Modelos de transístores para desenvolvimento do projecto 4

Tabela 2 : Transístores NMOS 7

Tabela 3: Valores EKV NMOS 7

Tabela 4 : Transístores PMOS 7

Tabela 5: Valores EKV PMOS 7

Índice de Figuras

Figura 1: Inversor CMOS 4

Figura 2: Oscilador em anel 6

Figura 3: Símbolo do modelo EKV simplificado desenvolvido em Verilog-A no software Cadence. 8

Figura 5: Caracteristica Id(VGS) transístor NMOS 9

Figura 6: Características ID(Vgs,Vds) NMOS 9

Figura 7: Caracteristica Id(VGS) transístor PMOS 10

Figura 8: Características ID(Vgs,Vds) PMOS 10

Figura 9: Esquemático do circuito com transístor NMOS e elemento em atraso. 12

Figura 10: Esquemático do circuito com transístor PMOS e elemento em atraso. 13

Figura 11: Oscilador em anel 14

# Objectivos:

Este trabalho tem como objectivo o desenvolvimento em verilog de modelos para caracterização de osciladores em anel. Para tal deve ser implementado em Verilog\_A modelos de transistores NMOS e PMOS, considerando o modelo EKV simplificado. Assim como no trabalho anterior, este também contará com o auxilio de ferramentas importantes como o *software Cadence* para dimensionamento e simulação.

Este trabalho é constituído por 3 fases que serão descritas a seguir:

**Fase 1:**

Nesta fase prtende-se implementar em Verilog-A modelos para a caracterização de transistores usando o modelo EKV simplificado. Devem ser considerados transístores da tecnologia UMC65ll.

1. Desenvolvimento em Verilog-A de modelo de transistor ( NMOS e PMOS) usando o modelo EKV simplificado.
2. Validação dos modelos desenvolvidos por comparação com curvas ID(VGS) e ID(VDS,VGS) obtidas por simulação.
3. Adição da caracterização das capacidades parasitas, considerando:

(1)

(2)

(3)

Com εox = 3.453e-11 e tox = 2.79e-9

**Fase 2:** Implementação do elemento em atraso

Esta fase deve-se considerar a implementação de um inversor CMOS, como se ilustra na Figura 1, usando transistores com as dimensões indicadas na Tabela 1

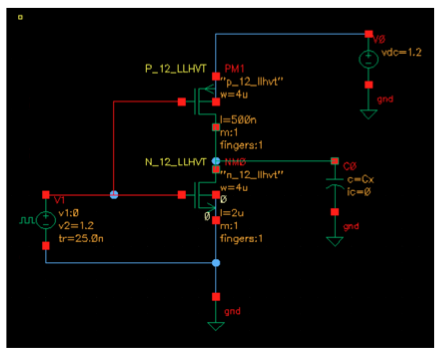


Figura : Inversor CMOS

Tabela : Modelos de transístores para desenvolvimento do projecto

|  |  |  |  |
| --- | --- | --- | --- |
| TRANSÍSTOR | MODELO | W | L |
| NMOS | N\_12\_11hvt | 4 µ | 2 µ |
| PMOS | P\_12\_11hvt | 4 µ | 0.5 µ |

Para a tensão na gate, considera-se um Vpulse com um período de 1us , atarso de 0ns, tempos de subida e de descida de =25ns.

1. Fazer a simulação temporal do circuito, considerando Cx=5pF e determinar o atraso entre a onda de entrada e a de saida (na passagem por 0.6V) para comutações positivas e negativas.
2. Fazer uma análise paramétrica para valores de Cx entre 5pF e 20pF (passo de 5pF) e determinar o valor do atraso introduzido em cada um dos casos.

**Fase 3:** Implementação do oscilador em anel

1. Usando o elemento de atraso da fase 2, e para Cx=5pf, implementar um oscilador em anel com sete elementos de atraso. Determinar a frequência de oscilação obtida.
2. Determinar a máxima frequência de oscilação que é possível obter com este elemento de atraso.
3. Dimensionar o circuito por forma a obter um oscilador de frequência 1 MHz.
4. Indicar qual a opção de projecto que se poderia poderia tomar caso se pretendesse obter uma frequência de oscilação superior à obtida em 2.

# Introdução Teórica:

## Breve descrição sobre Osciladores:

Os circuitos osciladores são circuitos de importância vital em sistemas de telecomunicações, nomeadamente para a implementação de moduladores e desmoduladores em diversos tipos de aplicações (e.g. comunicações móveis, redes de transmissão e recepção de dados, emissores e receptores de rádio e televisão, etc.). Existem diversas topologias alternativas para a realização de osciladores quer em componentes discretos quer como blocos dentro de circuitos integrados. As estruturas estudadas de seguida, são as topologias básicas para realizar a maioria dos osciladores disponíveis. Nestes contextos é também muito comum associarem-se a malhas de captura de fase, nomeadamente para a implementação de sintetizadores de frequências ou circuitos de recuperação de relógio ou portadora (Fonte: ref.2)

## Breve descrição sobre Osciladores em anel:

O Oscilador em anel consiste de um conjunto impar de inversores conectados em cascata em uma malha fechada.

O período de oscilação T é determinado pelo tempo de propagação (tp) através do anel completo de N inversores:

T = 2 × tp × N (4)

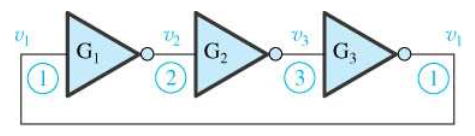


Figura : Oscilador em anel

# Implementação Prática

Com base nos valores obtidos no trabalho anterior, conforme as tabelas apresentadas abaixo referente ao desenvolvimento do modelo EKV, foi possível desenvolver os modelos solicitados que serão descritas mais adiante nas fases deste projecto.

* Para o transístor NMOS com W=4u e L=2u:

Tabela : Transístores NMOS

|  |  |  |  |
| --- | --- | --- | --- |
| TRANSÍSTOR | MODELO | W | L |
| NMOS1 | N\_12\_11hvt | 4 µ | 2 µ |
| NMOS2 | 1 µ | 0.5 µ |

Tabela : Valores EKV NMOS

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | m | b | Is [A] | Vt0[V] | ɸ | 𝛾 | Kp | 𝚹 | β | Ut [V] |
| NMOS1 | -0.0182 | 0.0092 | 82.439e-06 | 0.5209 | 0.9650 | 0.4320 | 2.9495e-04 | -0.5353 | 1.4747e-04 | 0.025 |
| NMOS2 | -0.0116 | 0.0070 | 33.645e-06 | 0.5390 | 0.9320 | 0.4000 | 2.0008e-04 | -0.7240 | 1.0004e-04 | 0.025 |

* Para o transístor PMOS com W=4u e L=0.5u:

Tabela : Transístores PMOS

|  |  |  |  |
| --- | --- | --- | --- |
| TRANSÍSTOR | MODELO | W | L |
| PMOS1 | P\_12\_11hvt | 4 µ | 2 µ |
| PMOS2 | 1 µ | 0.5 µ |

Tabela : Valores EKV PMOS

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | m | b | Is [A] | Vt0[V] | ɸ | 𝛾 | Kp | 𝚹 | β | Ut [V] |
| PMOS1 | -0.0099 | 0.0053 | 2.4377e-07 | 0.5061 | 0.2240 | 0.3498 | 1.5639e-04 | -0.0369 | 7.8193e-05 | 0.025 |
| PMOS2 | -0.0101 | 0.0053 | 2.5629e-07 | 0.5060 | 0.2336 | 0.3449 | 1.5963e-04 | -0.0203 | 7.9815e-05 | 0.025 |

## Fases do Projecto:

### Fase 1

Através do *software Cadence*, desenvolveu-se em Verilog-A (código descrito em “anexos”), usando o modelo EKV simplificado, e obteve-se o seguinte símbolo:

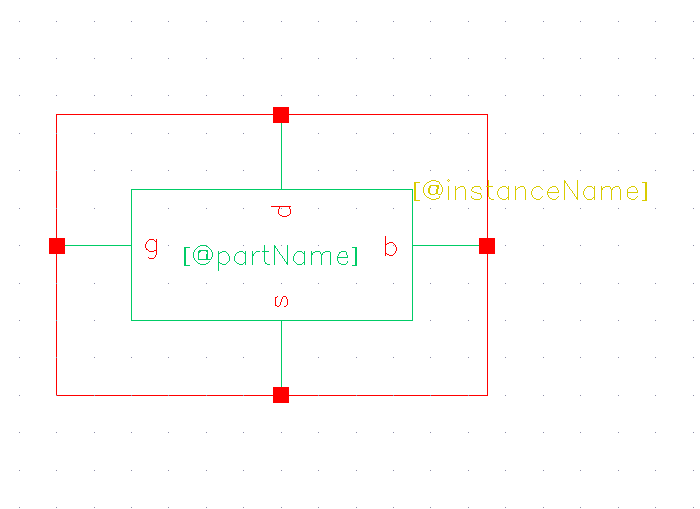


Figura : Símbolo do modelo EKV simplificado desenvolvido em Verilog-A no software Cadence.

De seguida, desenvolveu-se os seguintes circuitos:

* Para o transístor NMOS com W=4u e L=2u:

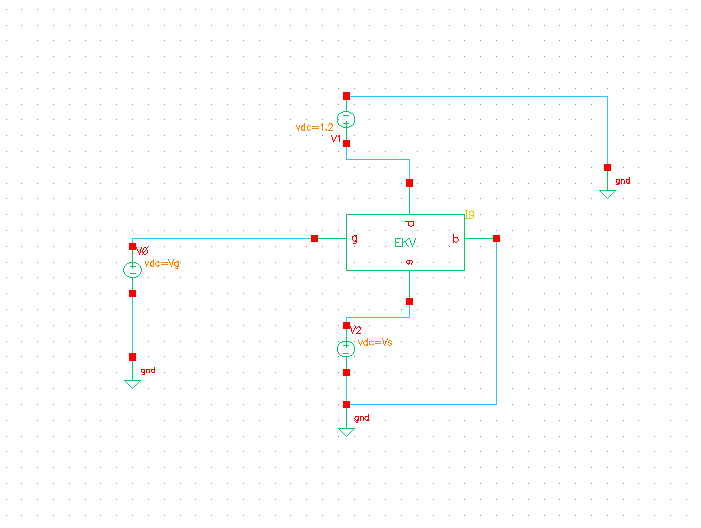


Figura : Esquemático do circuito com transístor NMOS.

* Para o transístor PMOS com W=4u e L=0.5u:

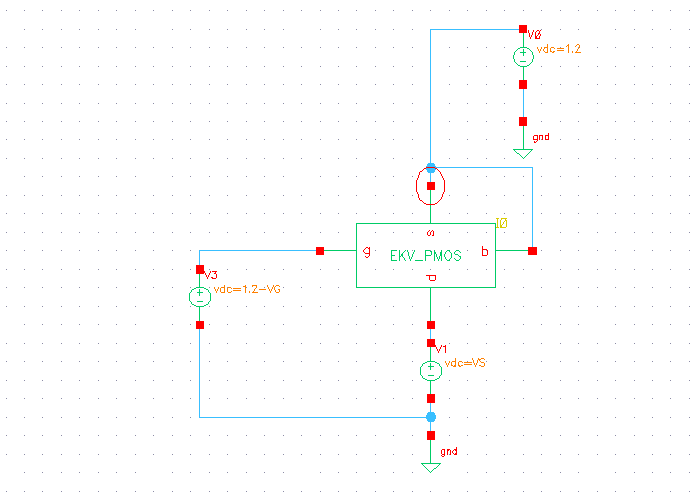


Figura : Esquemático do circuito com transístor PMOS

Através das simulações, obteve-se as seguintes validações dos modelos desenvolvidos por comparação com curvas ID(VGS) e ID (VDS,VGS):

* Para o transístor NMOS com W=4u e L=2u:

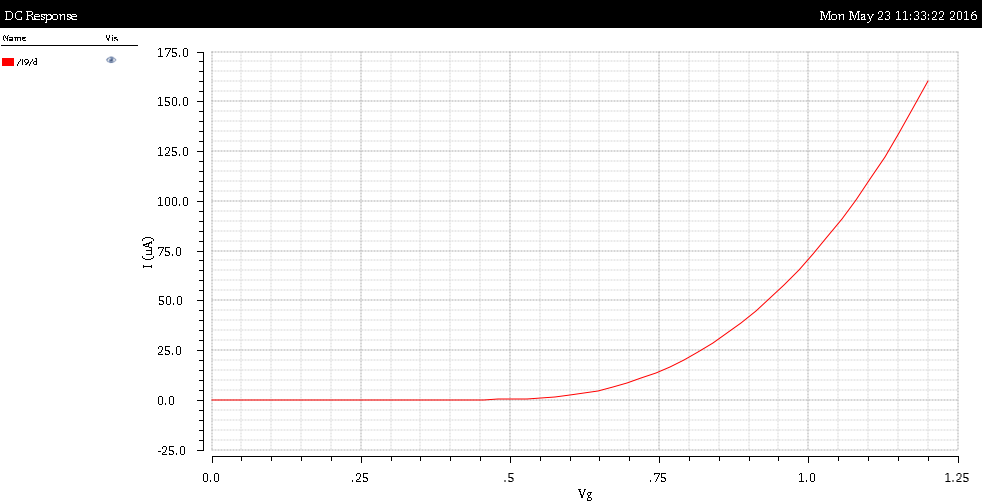


Figura : Caracteristica Id(VGS) transístor NMOS

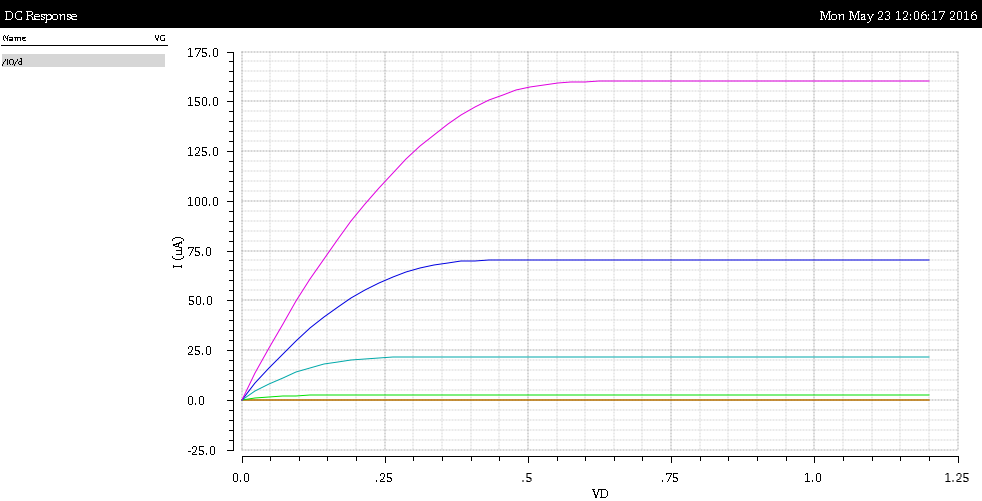


Figura : Características ID(Vgs,Vds) NMOS

* Para o transístor PMOS com W=4u e L=0.5u:

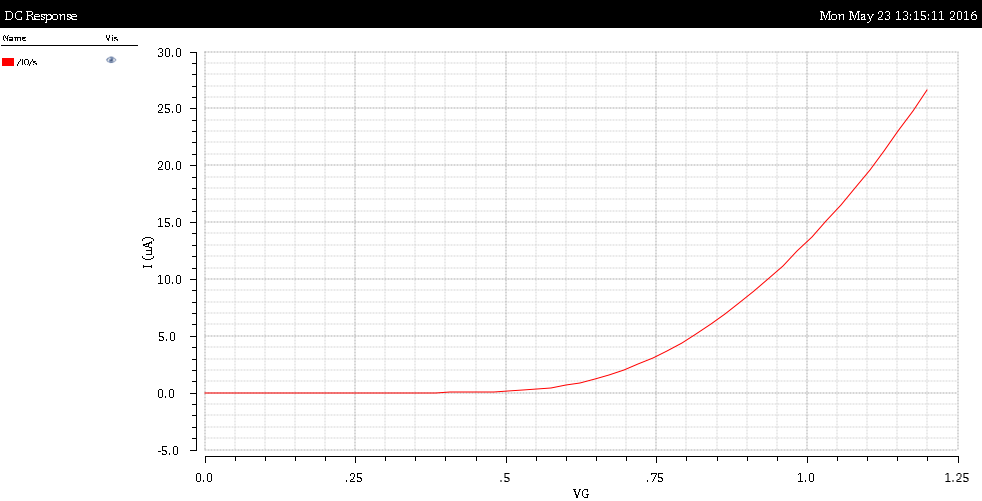


Figura : Caracteristica Id(VGS) transístor PMOS

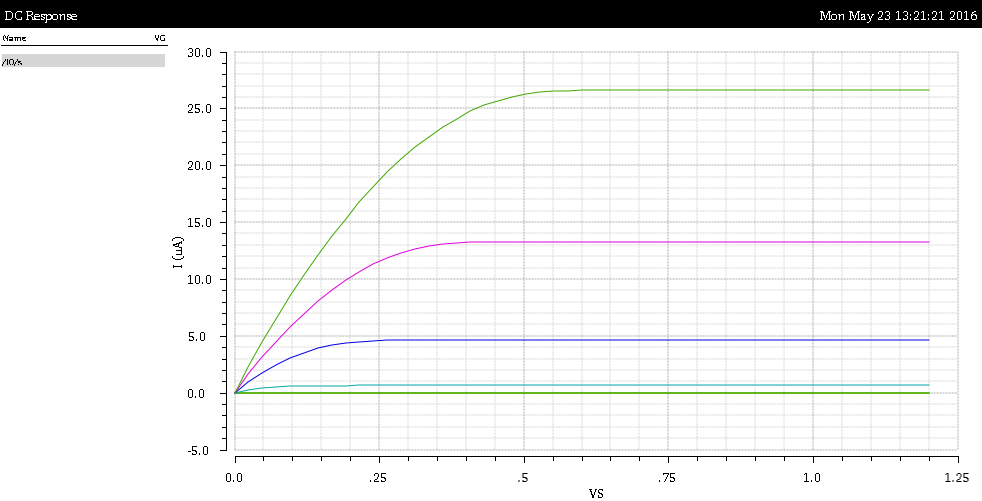
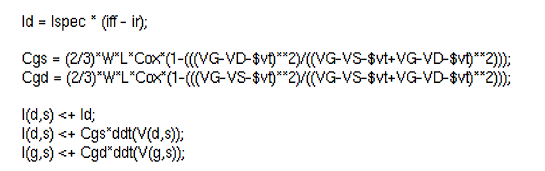


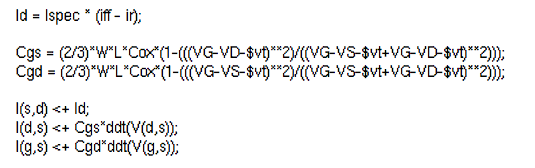
Figura : Características ID(Vgs,Vds) PMOS

Com adição das características das capacidades parasitas, conforme as equações 1,2 e 3 apresenta-se a seguinte parte do código (descrito em ”anexos”):

* Para o transístor NMOS com W=4u e L=2u:



* Para o transístor PMOS com W=4u e L=0.5u:



### Fase 2 – Elemento em atraso

Através do *software Cadence*, desenvolveu-se, o seguinte esquemático do circuito da figura 10, implementando o elemento em atraso.

Para a tensão na gate, considerou-se um *Vpulse* com um período de 1*us*, atraso de 0*ns* também tempos de subida e de descida de 25*ns*:

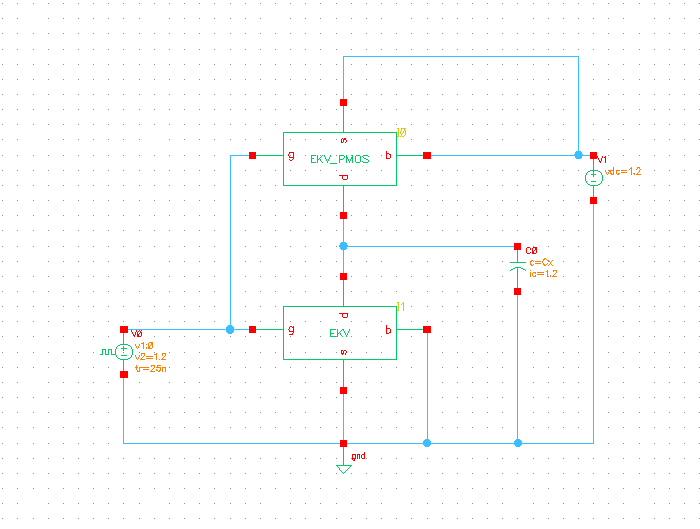


Figura : Inversor CMOS

Obteve-se a simulação temporal do circuito, considerando Cx=5pF e determinou-se o atraso entre a onda de entrada e a de saída (na passagem por 0.6V) para comutações positivas e negativas.

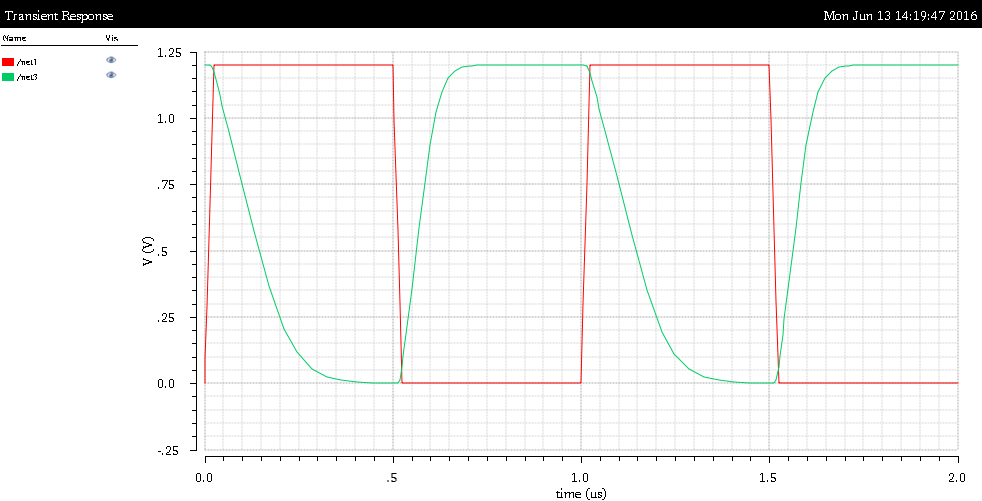


Figura :Sinais de entrada (vermelho) e saída (verde) do inversor CMOS.

Feita uma análise paramétrica para valores de Cx entre 5pF e 20pF (passo de 5pF) e determinou-se o valor do atraso introduzido em cada um dos casos.

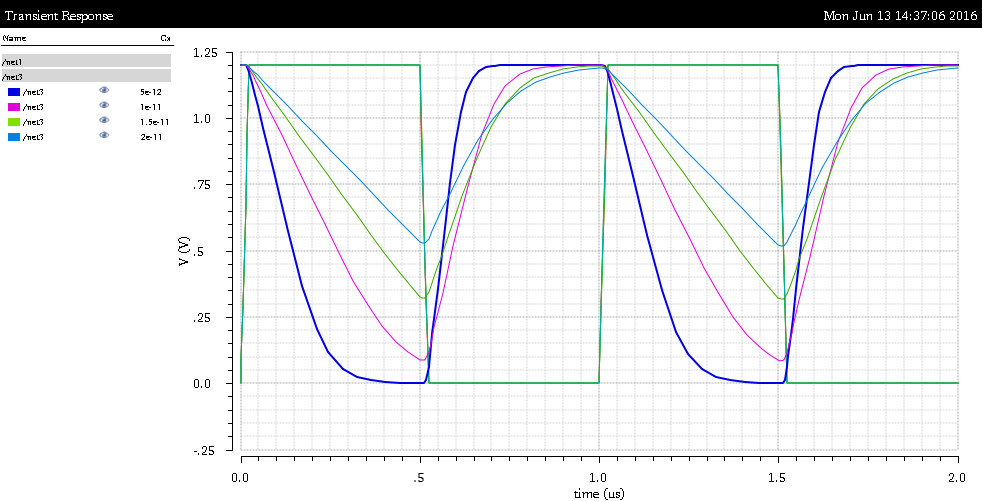


Figura : Analise paramétrica para Cx entre 5 e 20pF

Obteve-se os seguintes *delays* (atrasos) entre a curva de entrada e as curvas de saída:

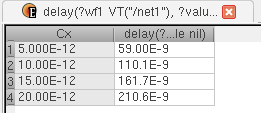


Figura :Delay´s calculados a partir da função “delay” do cadence.

### Fase 3 - Oscilador em anel

Utilizando o elemento em atraso desenvolvido na fase anterior, têm-se através da figura a seguir, o esquemático da implementação do oscilador em anel:

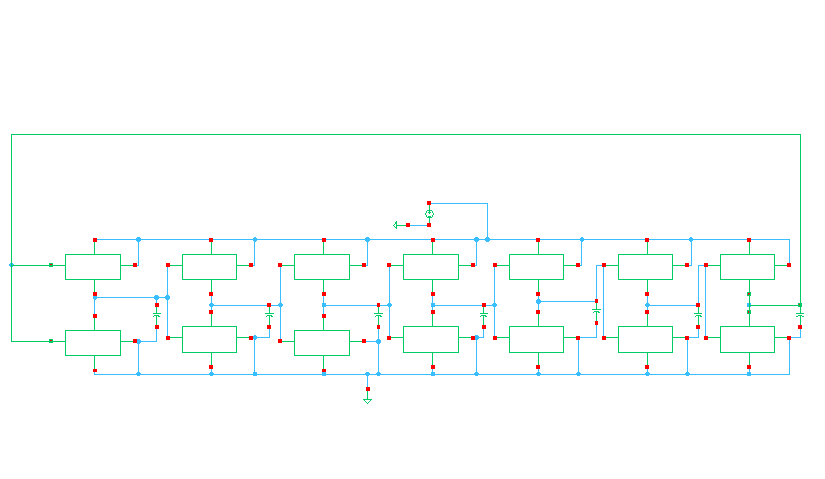


Figura : Oscilador em anel

Usando o elemento de atraso conforme a fase 2, e para Cx=5pf, implementou-se um oscilador em anel com sete elementos de atraso.

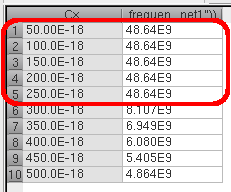
Determinando a frequência de oscilação obtida, obteve-se:

Para Cx=5pf , obeteve-se uma frequência de 0.486 MHz

Qual a máxima frequência de oscilação que é possível obter com este elemento de atraso?

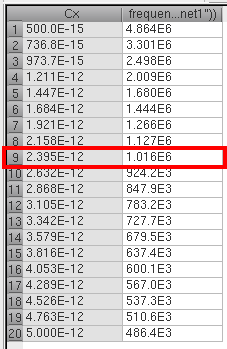
Para verificar a frequência máxima, realizou-se uma análise paramétrica variando Cx entre 50x10-18F e 500x10-18F, obtendo-se os seguintes resultados:

Tabela : Valores de Cx para a frequência máxima.



Portanto, conclui-se que a frequência máxima corresponde a 48.64GHz

Dimensionou-se o circuito por forma a obter um oscilador de frequência 1 MHz, para o efeito, variou-se o valor de Cx entre 0.5pF e 5pF obtendo-se os seguintes resultados:

Tabela : Valor aproximado de Cx para a frequência 1Mhz

Se se pretendesse obter uma frequência de oscilação superior à obtida em 2, que opção de projecto poderia tomar?

Ao diminuir a capacidade, a frequência aumenta. Conforme se apresenta na tabela 7 acima, portanto, basta apenas diminuir a capacidade Cx e obtêm-se valores de frequência superiores ao obtido na fase 2.

# Conclusão:

Após a realização deste trabalho, pôde-se concluir que os resultados corresponderam às espectativas. No oscilador, com um condensador Cx=5pF obteve-se uma frequência de 0.486 MHz, que aproxima-se de 0.5 MHz.

A frequência máxima, variando Cx nos valores indicados situou-se nos 48.64 GHz, que se aproxima do esperado, embora as capacidades parasitas tenham valores muito baixos. Isso pode dever-se ao tamanho dos transístores.

Se houver uma diminuição da capacidade, verifica-se que frequência aumenta, como seria de esperar, pois a constante de tempo depende do condensador Cx e, portanto, quanto mais pequeno for o condensador, mais pequeno será o período (a frequência aumenta).

.

# Referências:

1. Acetatos da disciplina em: http://moodle.fct.unl.pt.
2. http://cadeiras.iscte-iul.pt/cse/Folhas/Osc\_PLL/Osc\_PLL.htm#\_Toc13590776
3. Book: *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design* C. Enz and E. Vittoz 2006 John Wiley & Sons, Ltd.
4. <http://ekv.epfl.ch/files/content/sites/ekv/files/workshop/2011/Enz_NanoTera_2011.pdf>
5. https://nsti.org/publications/Nanotech/2007/pdf/897.pdf
6. Artigo disponibilizado pela docente da disciplina: http://moodle.fct.unl.pt/pluginfile.php/292366/mod\_label/intro/ieee\_icmts96\_bucher\_vp\_extraction\_method.pdf

# Anexos:

## Códigos EKV Simplificado:

### Nmos:

### Pmos: