

Faculdade de Ciências e Tecnologia da Universidade Nova de Lisboa

Departamento de Engenharia Eletrotécnica

Mestrado integrado em Engenharia

Eletrotécnica e de Computadores

Electrónica de Reduzida Tensão e Gestão de Potência

Relatório

Amplificador de baixa potência para aplicação em sistema de aquisição de bio-sinais

Filipe Perestrelo nº39656

Dennis Fonseca nº36823

Sérgio Carreira nº34860

Novembro de 2016

Índice

[Introdução 4](#_Toc467144128)

[Análise Teórica 5](#_Toc467144129)

[Dimensionamento 12](#_Toc467144130)

[Simulação 17](#_Toc467144131)

[Conclusões 23](#_Toc467144132)

[Referências 24](#_Toc467144133)

[Anexos 25](#_Toc467144134)

Índice de Figuras

Figura 1 - Amplificador 4

Figura 2 - Teste do transistor NMOS 5

Figura 3 - Teste do transistor PMOS 6

Figura 4 - gm/Id em função de Id para o transístor NMOS 6

Figura 5 - gm/Id em função de Id para o transístor PMOS 7

Figura 6 - Pequenos Sinais do circuito do amplificador 7

Figura 7 - Vearly em função de IC para os transístores NMOS M3 e M4 (L=600nm) 14

Figura 8 - Vearly em função de IC para o transístor NMOS M7 (L=1.2µm) 14

Figura 9 - Vearly em função de IC para os transístores PMOS M1 e M2 (L=840nm) 15

Figura 10 - Vearly em função de IC para os transístores PMOS M5, M6 e M8 (L=1.2µm) 15

Figura 11 - Amplificador 17

Figura 12 - Fonte de alimentação 17

Figura 13 - Realimentação do circuito 17

Figura 14 - Ganho do par diferencial (roxo) e margem de fase (azul) 18

Figura 15 - Ganho do amplificador (azul) e margem de fase (roxo) 18

Figura 16 - Ganho em modo comum. 19

Figura 17 - Power Supply Rejection Ratio 19

Figura 18 - Input Swing 20

Figura 19 - Ruído referente à entrada 20

Figura 20 - Sinal de Vin (onda quadrada a roxo) e sinal de saída (a azul) 21

Figura 21 - Slew-Rate 21

Figura 22 - Resposta do amplificador (Vout a verde) quando colocado à entrada um sinal sinusoidal centrado em 300mV com uma amplitude de 15mV e uma frequência de 50kHz (Vin a roxo) 22

# **Introdução**

O projeto desenvolvido, refere-se a um amplificador de baixa potência que posteriormente poderá ser aplicado em sistemas de aquisição de bio-sinais. Trata-se de um amplificador operacional constituído por dois andares, com entrada diferencial e com saída simples (*two-stage Miller-compensated amplifier*). O circuito da figura 1 exemplifica o ampop estudado no projeto.



Figura 1 - Amplificador

O projeto foi desenvolvido tendo em conta o seguinte conjunto de especificações e/ou requisitos/restrições:

* Capacidade de carga, CL de 10 pF
* GBW, ganho produto-largura de banda, de 20 kHz
* Margem de fase superior a 45º
* Tensão equivalente de ruído referida à entrada @ 1kHz, menor do que 500
* nV/sqrt(Hz)
* Tensão de alimentação entre 0.5V e 0.8V
* Nó de tecnologia, standard 130nm CMOS
* Potência inferior a 5μW

Tendo como base o circuito da figura 1, fez-se várias alterações no mesmo, de modo a garantir as especificações apresentadas anteriormente. Algumas das alterações passaram por colocar o sinal de entrada nos *bulk* e utilizar o coeficiente de inversão como dimensionamento de transístores.

Numa primeira fase fez-se o dimensionamento do circuito (em Matlab). Daí retiraram-se os valores das larguras dos transístores (W) fixando o comprimento (L), a corrente que polariza cada transístor (Id) e o coeficiente de inversão (IC).

Numa segunda fase fez-se as simulações do circuito (no programa CADENCE). Neste ambiente fez-se todas as simulações necessárias para se verificar que estas corresponderam ao dimensionamento feito anteriormente.

# Análise Teórica

O circuito utilizado é composto por 3 andares: A malha de polarização, o par diferencial e o andar de saída. Na malha de polarização, utilizou-se uma corrente de referência para alimentar os restantes andares consoante uma relação 1:1. Este andar serviu para colocar uma tensão *Vbias* para polarizar os restantes andares.

No par diferencial utilizou-se um transístor (M5) que forçava a corrente a fluir por este andar, de modo a que o sinal que entra nos transístores M1 e M2 fosse amplificado. Os transístores M3 e M4 serviram para aumentar o ganho deste mesmo par, visto que iriam ter influência directa no mesmo.

No andar de saída utilizou-se um circuito para forçar a corrente (M6) e outro para equilibrar a tensão de saída do amplificador.

Como foi sugerido a aplicação de técnicas especiais para o aumento da performance do amplificador, começou-se por trocar os transístores PMOS, por NMOS e vice-versa. Isto seria uma das especificações do circuito. Assim, os transístores M5, M1, M2 e M6 passaram a PMOS e os transístores M3, M4 e M7 passaram a NMOS. A partir desta especificação pôde-se começar a utilizar algumas das técnicas propostas na introdução.

Utilizou-se, primeiramente, a técnica do coeficiente de inversão (IC). Assim, fixando os L, Id e IC para cada transístor, através da expressão do coeficiente de inversão:

Equação 1

E colocando um rácio de W/L = 1, fazendo uma simulação no programa *Cadence* com circuitos de teste para um transístor NMOS (Fig.2) e PMOS (Fig.3), pôde-se achar os parâmetros necessários para o cálculo de I0.

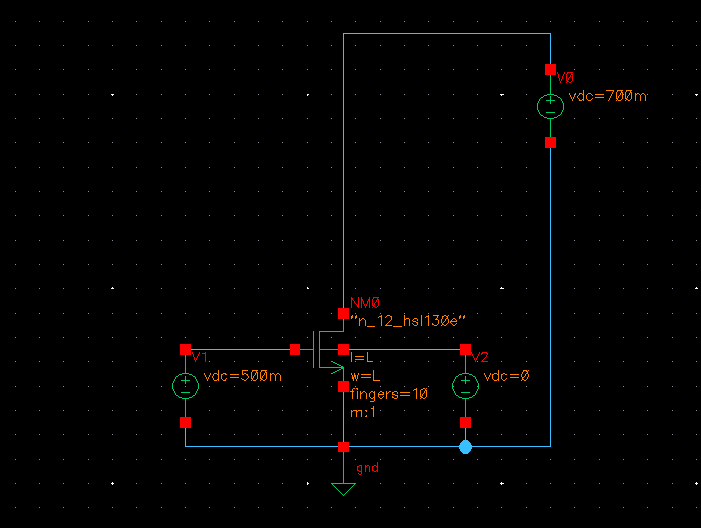


Figura 2 – Teste do transístor NMOS

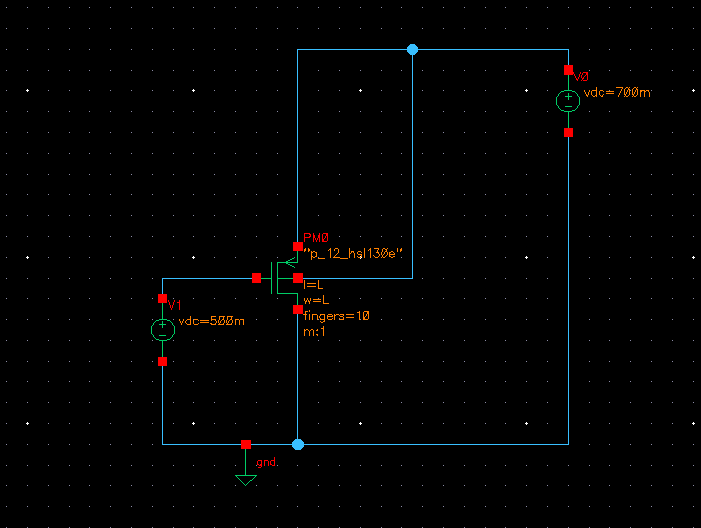


Figura 3 – Teste do transístor PMOS

Assim, retirando os valores de gm (ganho intrínseco do transístor), Id e até mesmo gm/Id, assim como a tensão de polarização de cada transístor (Vdc), variando o L e o W, mas mantendo a relação W/L de 1, pôde-se realizar o gráfico para cada transístor de gm/Id em relação a Id. Fazendo, na zona de inversão forte, uma tangente ao gráfico e cruzando com uma recta horizontal com o valor máximo de gm/Id, conseguiu-se achar o valor de I0 para o transístor NMOS (Fig.4) e NMOS (Fig.5), sendo que o ponto onde estas rectas se intersectam corresponde ao IC=1. Chegou-se então ao valor de I0=5.8x10^(-7)A para o transístor NMOS e ao valor de I0=1.4x10^(-7)A para o transístor PMOS.



Figura 4 – gm/Id em função de Id para o transístor NMOS



Figura 5 - gm/Id em função de Id para o transístor PMOS

Com estes dados foi possível calcular o valor de W, fixando os valores de L, IC e Id.

Para se calcular as expressões necessárias, foi necessário representar o modelo de pequenos sinais do circuito do amplificador[1] (Fig.6).

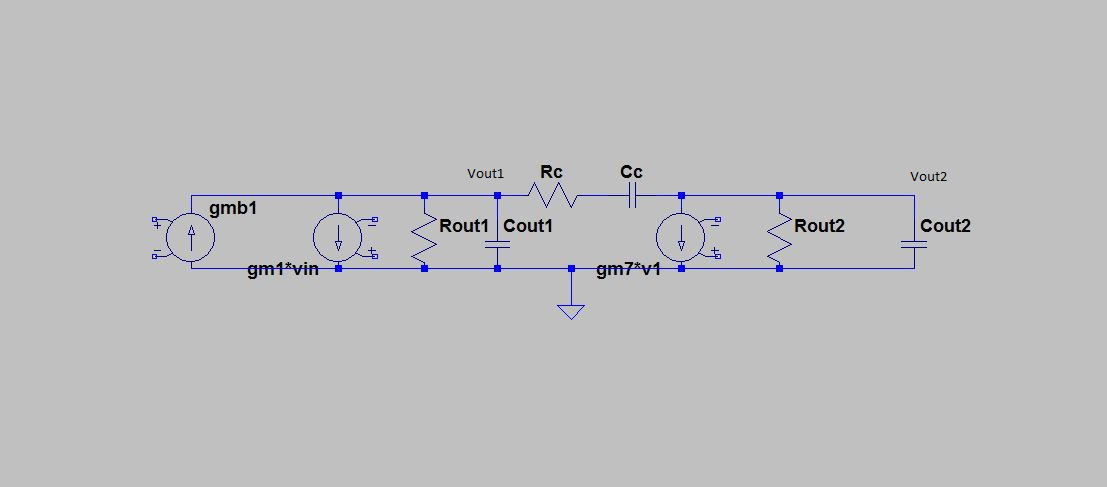


Figura 6 – Pequenos Sinais do circuito do amplificador

Assim, analisando o modelo, conseguiu-se determinar a expressão do ganho do primeiro andar, isto é, do par diferencial:

Equação 2

Onde rout1 = rds1//rds3.

O ganho do segundo andar teve a seguinte expressão:

Equação 3

Onde rout2 = rds6//rds7.

O ganho total do amplificador é dado por:

Equação 4

Para se descobrir o valor de Cc, foi necessário ir pelo teorema de Miller, que diz que um Condensador e uma resistência colocadas em série, para fazer um desacoplamento do sinal do primeiro andar para o segundo, é equivalente a ter um condensador em paralelo, cuja expressão é dada por:

Equação 5

Para achar o valor do pólo do primeiro andar (pólo dominante) foi necessário recorrer à expressão da impedância a altas frequências (Zout), dada por:

Sendo que esta última expressão seria aproximadamente igual a:

Equação 6

Assim sendo, o ganho a altas frequências seria dado por:

Equação 7

E portanto a expressão do produto ganho-largura de banda seria determinada por:

Equação 8

O *Slew-Rate* (tempo de resposta do amplificador) seria determinado a partir da derivada em ordem ao tempo da tensão de saída:

Equação 9

As capacidades para o cálculo do pólo do primeiro andar são dadas por:

Equação 10

As capacidades para o cálculo do pólo do segundo andar são dadas por:

Assumindo Rc=0 (Pole-splitting) de modo a colocar o primeiro pólo para as baixas frequências e “empurrar” o segundo pólo para as altas frequências (compensação de Miller) e aplicando a lei KCL aos nós Vout1 e Vout2, vem:

Equação 11

A partir da equação 11, retiram-se os valores dos pólos e do zero:

Equação 12

Equação 13

Equação 14

Onde representa a frequência do primeiro pólo, representa a frequência do segundo pólo e representa a frequência do zero.

Na prática considera-se:

* Cc >> Cout1;
* Cc Cout2;
* gm1 >> 1/Rout1;
* gm7 >> 1/Rout2;

Ou seja, as expressões anteriormente calculadas simplificam-se e retiram-se algumas conclusões:

Assim, de maneira a garantir estabilidade,

Pelo menos duas vezes. A melhor maneira de resolver este problema, seria mexer na resistência Rc, porque a mesma mexe directamente com a frequência do zero, visto que esta se encontra em série com o condensador Cc, ou seja:

Equação 15

Para a função transferência (equação 11) ser verificada, seria necessário fazer uma malha fechada em montagem seguidora. Porém, visto que o amplificador não é perfeito (não tem uma impedância de saída 0, não tem ganho infinito nem tem impedância de entrada infinita) teve de se utilizar uma realimentação aproximada disso. Assim, a realimentação utilizada serviu para estabilizar o sinal de entrada e de saída, de modo a haver uma entrada diferencial e de modo a garantir que os pólos e os zeros não são “voláteis”. Para isso, utilizou-se um condensador e uma bobina de valores astronómicos (1TF e 1TH respectivamente) já que a saída não era diferencial.

Para o cálculo dos ganhos intrínsecos dos transístores, das resistências dreno-source bem como das tensões de saturação utilizou-se expressões que dependem do coeficiente de inversão[2]:

Equação 16

Equação 17

Equação 18

Equação 19

Equação 20

Onde é a tensão de Early, gds é a condutância do transístor e Ut é a tensão térmica dada por:

Equação 21

Onde:

* K é a constante de Boltzmann e tem o valor
* q é a carga do electrão e tem o valor
* T é a temperatura e tem o valor

Assim .

Para se proceder ao cálculo da potência gasta por este amplificador, recorreu-se à expressão:

Equação 22

Sendo que I seria a soma das correntes dos três andares e Vdd seria a tensão de alimentação do amplificador. A partir desta expressão e de acordo com as especificações, definiu-se a tensão de alimentação e a relação de correntes para cada andar, garantindo sempre que a potência seria abaixo de 5µW.

A gama dinâmica de entrada (*Input Swing*) seria dada pela tensão de alimentação do amplificador subtraída das tensões de saturação do transístor M5, M1 e da tensão *gate-source* do transístor M3. A gama dinâmica de saída (*Output Swing*), de forma semelhante, seria dada pela subtracção entre a tensão de alimentação e a soma das tensões de saturação do transístor M6 e M7. Assim as expressões de IS e OS seriam respectivamente:

Equação 23

Equação 24

O rácio de rejeição do modo comum (*Common Mode Rejection Ratio*) que representa a diferença entre o ganho diferencial e o ganho com a entrada AC a entrar igualmente nas duas entradas, seria dado por:

Equação 25

Sendo que o ganho em modo comum (Avcm) teria a expressão:

Equação 26

O rácio de rejeição da fonte (*Power Supply Rejection Ratio*) que representa a diferença entre o ganho do sinal à entrada com o ganho de um sinal a entrar pela fonte seria determinado apenas por simulação e teria de ser negativo (em dB).

# Dimensionamento

Tendo em conta a análise teórica e usando o programa *MatLab*, procedeu-se ao cálculo dos W dos transístores assim como das suas tensões de polarização (de notar que estas teriam de ser superiores às suas tensões de saturação *Vdssat*).

Antes de se fazer algum cálculo fez-se uma análise, por alto, dos coeficientes de inversão a utilizar por cada transístor. Deste modo, à partida pôde-se concluir que o IC a utilizar nos transístores que “puxam” a corrente, teria de ser moderado/elevado (considerou-se IC’s superiores a 5). Já os restantes, como serviriam para elevar o ganho do amplificador e melhorar a performance do mesmo, poderiam ter IC’s mais baixos, isto é, em zona moderada/fraca (IC’s abaixo ou iguais a 1).

Para escolher que corrente passava em cada andar, olhou-se para as especificações, mais concretamente para a potência. Como esta teria de ser inferior a 5µW, decidiu-se que a tensão de alimentação seria de 0.6V, a corrente do andar de polarização seria de 1.4µA, assim como a corrente do par diferencial (já que a relação seria de 1:1). A corrente do andar de saída seria de 2µA.

Tendo em conta que o dimensionamento dependia directamente de L, sendo que o mínimo a utilizar seria de 240nm (duas vezes superior ao L da tecnologia) presumiu-se que os transístores que necessitassem de estar em inversão moderada/fraca necessitariam de aumentar o seu tamanho, de modo a se ter um ganho maior, e os transístores que necessitassem de estar em inversão moderada/alta necessitariam de ter um tamanho consideravelmente inferior.

Rearranjou-se a equação 1 da maneira que se apresenta de seguida:

Equação 27

Fixando um L, um IC e sabendo a corrente que passava pelo dreno de cada transístor, pôde-se calcular os W’s para cada transístor. A tabela 1 indica os valores utilizados nos transístores, sendo que o transístor M8 é o transístor do andar de polarização. Como se utiliza uma relação entre correntes de 1:1 com o par diferencial, este iria ter as mesmas dimensões que o transístor M5.

Tabela 1 – Valores dimensionados para os transístores

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Transístor** | **IC** | **L** | **W** | **Id** | **Vdsat** |
| M1 | 0.14 | 840nm | 26µm | 700nA | 119mV |
| M2 | 0.14 | 840nm | 26µm | 700nA | 119mV |
| M3 | 0.14 | 600nm | 4.5µm | 700nA | 119mV |
| M4 | 0.14 | 600nm | 4.5µm | 700nA | 119mV |
| M5 | 5.5 | 1.2µm | 2µm | 1.4µA | 204mV |
| M6 | 5.5 | 1.2µm | 3µm | 2µA | 204mV |
| M7 | 0.85 | 1.2µm | 4.8µm | 2µA | 204mV |
| M8 | 5.5 | 1.2µm | 4.8µm | 1.4µA | 204mV |

Como opção, decidiu-se que a entrada diferencial do amplificador seria feita quer pela *gate* quer pelo *bulk* dos transístores M1 e M2. Assim, a expressão do ganho sofreu alterações, de modo a incluir o ganho da transcondutância do *bulk* do transístor, que depende da tensão *bulk-source*. Assim, a equação 2 foi alterada para:

Equação 28

Sendo que se considerou gmb1 como tendo o valor de 10% de gm1. Esta decisão foi tomada para se poder aumentar o *Input Swing*, bem como aumentar (um pouco) a expressão do ganho do par diferencial.

O valor do condensador Cc foi determinado pela expressão:

Equação 29

Sendo que se considerou um GBW de 20kHz. Este foi o requisito mínimo utilizado para o valor de GBW, o que não quer dizer que se pudesse mais tarde aumentar o mesmo.

O valor de Rc seria determinado pela expressão:

Equação 30

Sendo que φm corresponde à margem de fase (a qual se consideraria 45 graus), CL de 10pF mas Cout1 teria um valor que seria à partida difícil de se obter. Assim, presumiu-se que Rc teria um valor consideravelmente elevado, de modo a “puxar” o pólo dominante para altas frequências de modo a aumentar o GBW. Assumiu-se, então o valor de 50kΩ para Rc.

Para se calcular os valores de gds de cada transístor, realizou-se um teste (análise paramétrica), onde se retiraram (numa relação de W/L = 1 e com vgs a variar entre 0 e 1.2V) os valores de Id e Vearly para cada L, sendo que se começou no valor 240 nm e terminou nos 4µm, sendo que se variou o L de 120nm em 120nm.

Assim, consoante os Id’s retirados, converteu-se para valores de IC, fazendo a divisão dessas correntes pelos I0 previamente calculados para os diferentes tipos de transístor (NMOS e PMOS). Desta maneira obtiveram-se os gráficos de Vearly em função de IC consoante o tamanho dos L’s. Os resultados requeridos foram as curvas dos transístores NMOS para L= 600nm (fig.7) e L=1.2µm (fig.8). Para os transístores PMOS, interessaram as curvas para L= 840nm (fig.9) e para L=1.2µm (fig.10).



Figura 7 – Vearly em função de IC para os transístores NMOS M3 e M4 (L=600nm)



Figura 8 – Vearly em função de IC para o transístor NMOS M7 (L=1.2µm)



Figura 9 – Vearly em função de IC para os transístores PMOS M1 e M2 (L=840nm)



Figura 10 – Vearly em função de IC para os transístores PMOS M5, M6 e M8 (L=1.2µm)

Como se pôde verificar pelas figuras acima, quanto mais se aumentava valor de IC, maior seria o valor de gds e por conseguinte, menor seria o valor de rds, o que faria diminuir o valor do ganho e vice-versa, ou seja, quanto menor o valor de IC (inversões mais fracas) maior seria o ganho.

A partir dos gráficos obtidos e com os valores de IC previamente definidos, pôde-se retirar os valores de gds de cada transístor. Assim, os transístores tiveram os seguintes valores de rds e gds:

Tabela 2 – gds’s e rds’s calculados para os transístores

|  |  |  |
| --- | --- | --- |
| **Transístor** | **gds** | **rds** |
| M1 | 42nS | 239MΩ |
| M2 | 42nS | 239MΩ |
| M3 | 163nS | 6.1MΩ |
| M4 | 163nS | 6.1MΩ |
| M5 | 62nS | 161MΩ |
| M6 | 81nS | 12MΩ |
| M7 | 245nS | 4.1MΩ |
| M8 | 62nS | 161MΩ |

Deste modo estimaram-se os seguintes valores:

* Av1 = 23.18dB
* Av2 = 21.16dB
* Av = 44.35dB
* Av\_CM = 11.99dB
* CMRR = 35.18dB
* SR = 96.3
* Cc = 30pF

Desta forma, utilizando o programa *Cadence*, partiu-se para a simulação do circuito com os valores de W e L dimensionados para os transístores.

# Simulação

Através do programa *Cadence*, testou-se o circuito do amplificador (fig.11).

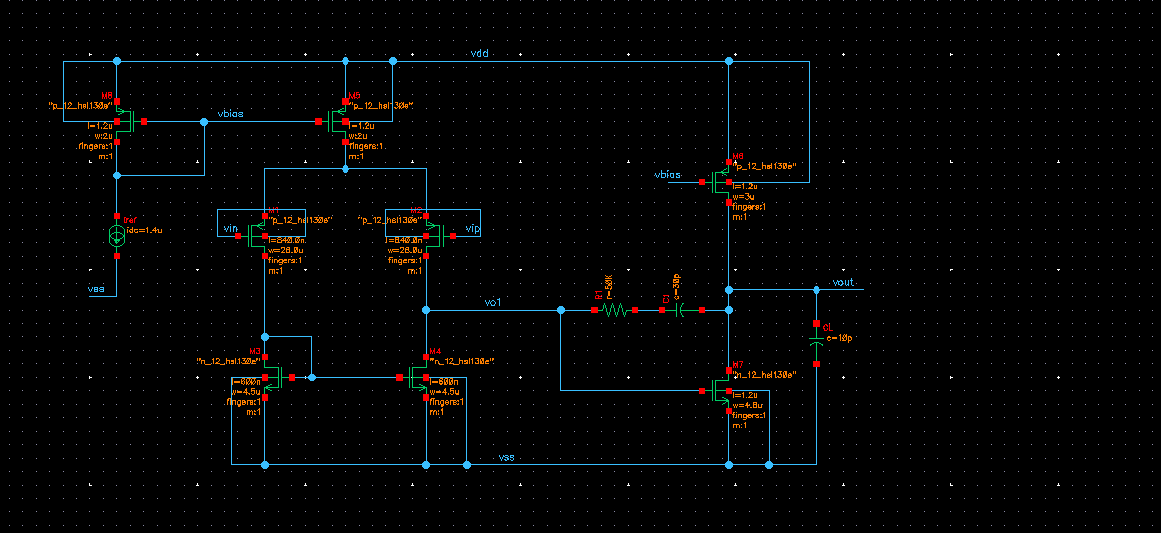


Figura 11 - Amplificador

A tensão de alimentação *Vdd* teve o valor 0.6V (fig.12) e o circuito foi realimentado com uma bobina e um condensador de indutância 1TH e 1TF respectivamente (de valores muito elevados) de modo a que em AC a bobina funcione como circuito aberto e em DC como curto-circuito e o condensador vice-versa (fig.13).

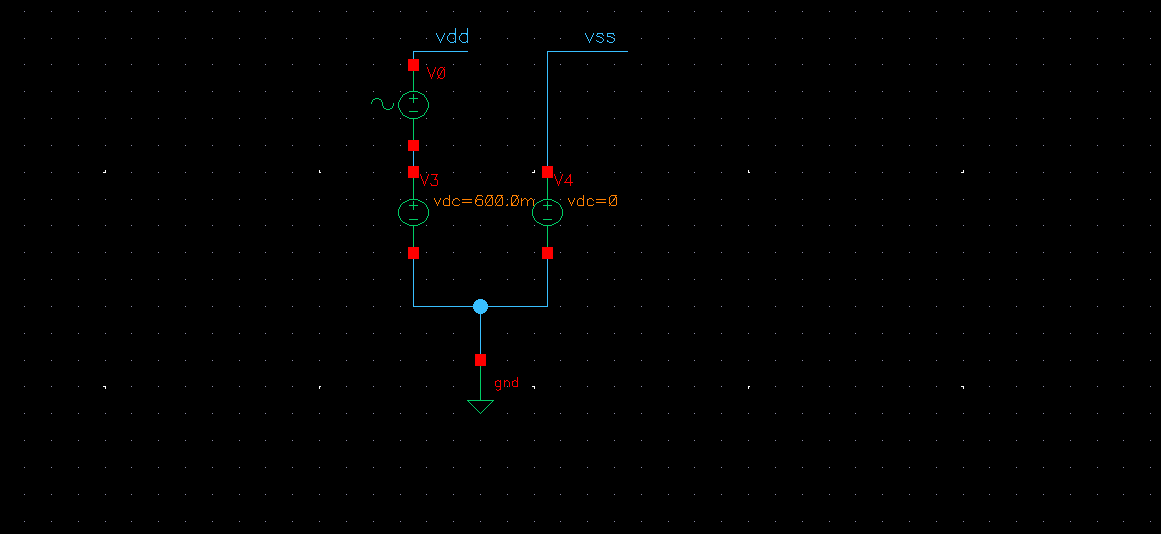


Figura 12 – Fonte de alimentação

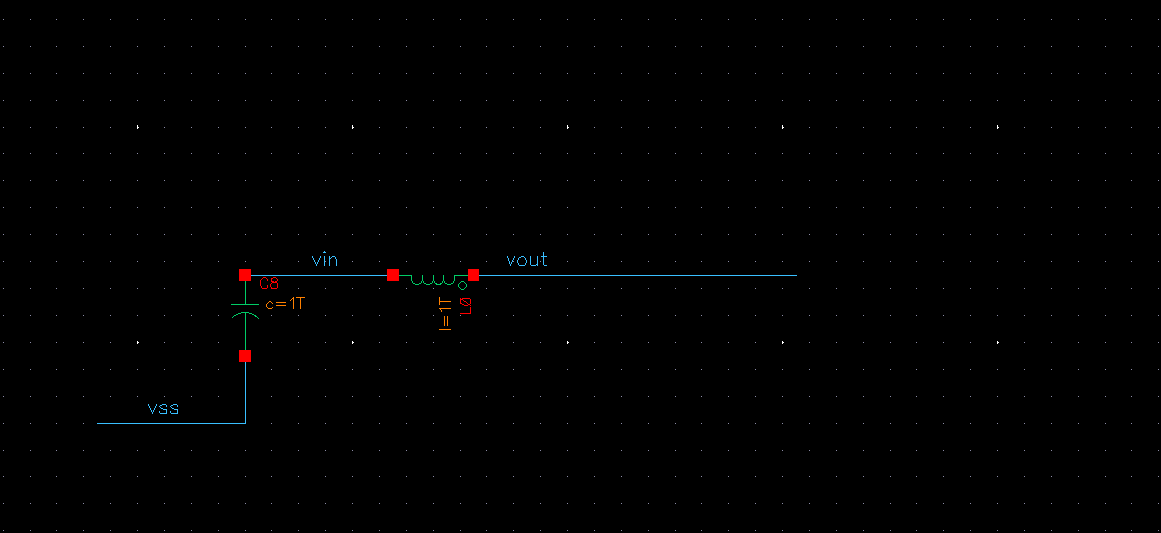


Figura 13 – Realimentação do circuito

Com esta montagem procedeu-se à realização dos testes necessários. Começou-se por realizar uma simulação em DC e observar que todos os transístores operavam em zona de saturação.

De seguida, fazendo uma análise AC, realizou-se o teste para se verificar o ganho do primeiro andar, isto é, do par diferencial (fig.14) e observou-se um ganho de 27dB. Com o mesmo teste observou-se o ganho do amplificador total (fig.15) e verificou-se um ganho de 75dB. Com estes valores pôde-se concluir que o ganho do segundo andar tinha o valor de 48dB (realizando a operação de subtracção entre o ganho do amplificador e o ganho do primeiro andar). A margem de fase teve o valor de 45 graus o produto ganho-largura de banda 100kHz.

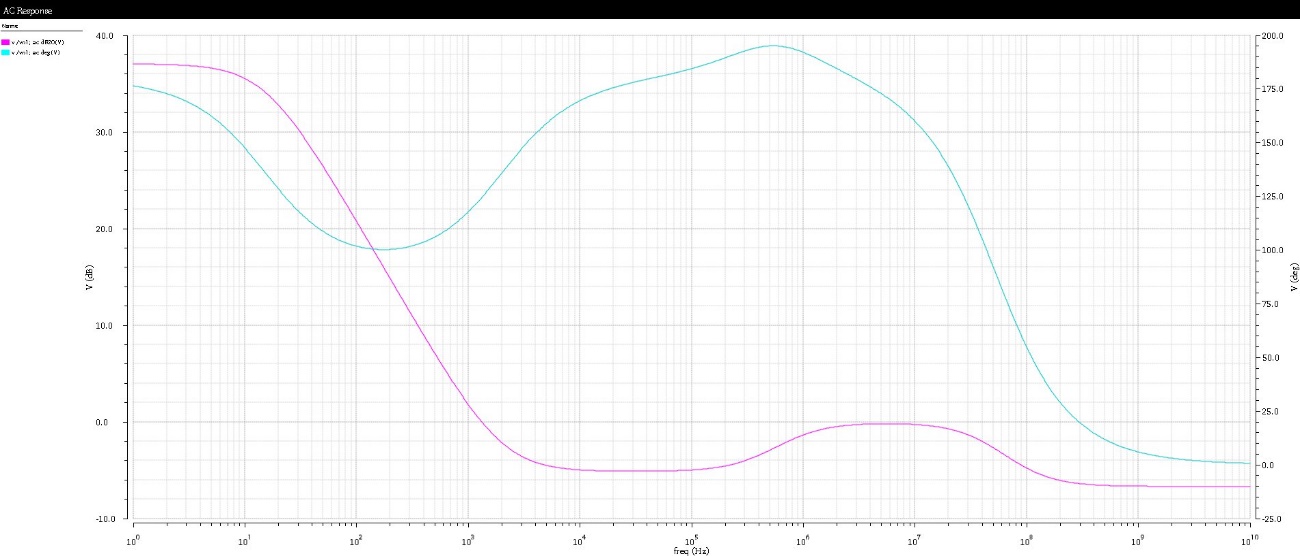


Figura 14 – Ganho do par diferencial (roxo) e margem de fase (azul)

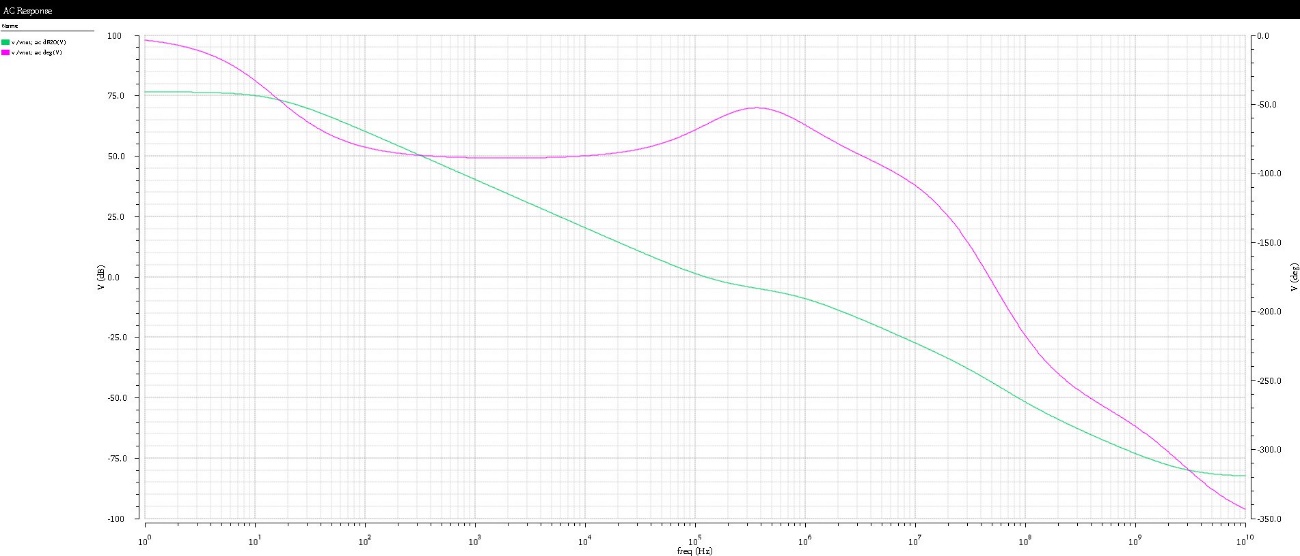


Figura 15 – Ganho do amplificador (azul) e margem de fase (roxo)

O teste seguinte passou por se retirar o valor do ganho de modo comum. Para isso, colocou-se o sinal da entrada *vin* com o mesmo valor da entrada *vip* (modo comum) e observar-se o sinal de saída. Assim, através de uma análise AC e chegou-se à conclusão que o ganho em modo comum teve o valor de 12dB (fig.16). Daí calculou-se o *Common Mode Rejection Ratio* (CMRR) fazendo a subtracção entre o ganho do amplificador e o ganho em modo comum (de notar que este último tinha de ser muito mais pequeno que o primeiro). Chegou-se à conclusão que este tinha o valor de 63dB.

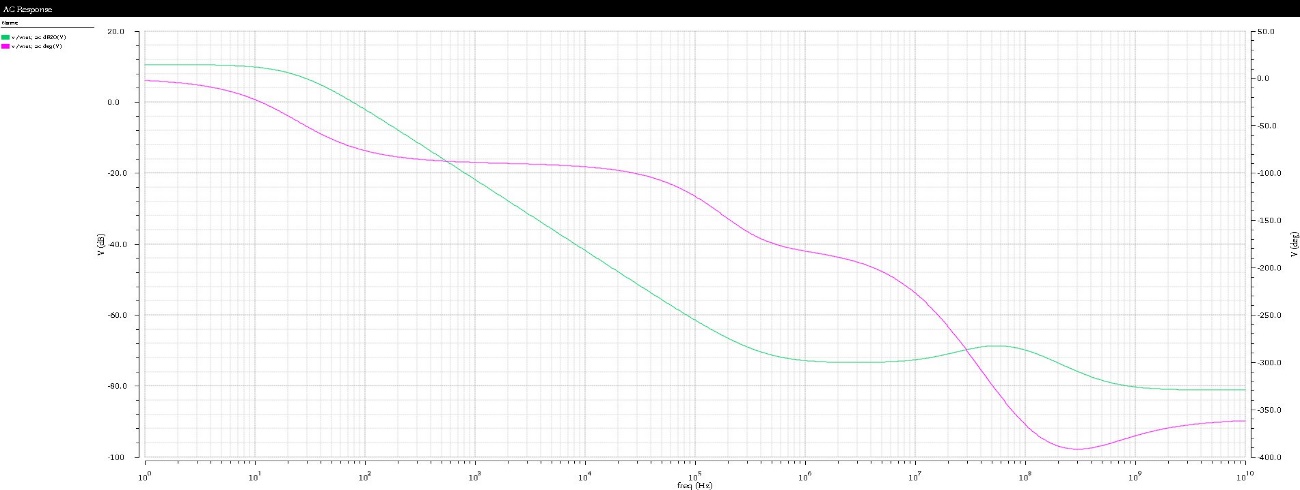


Figura 16 – Ganho em modo comum

O passo seguinte teve como objectivo calcular o PSRR (*Power Supply Rejection Ratio*). Assim, anulou-se o sinal de *vip* e colocou-se um sinal sinusoidal na fonte de alimentação. O resultado foi observado à saída do amplificador (fig.17) e chegou-se ao valor de -50dB.

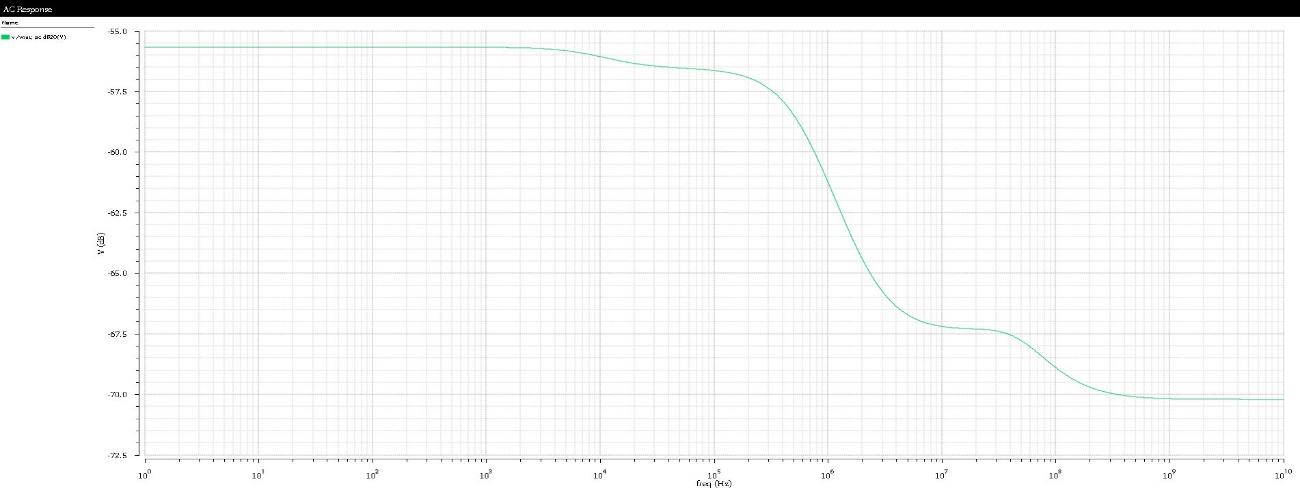


Figura 17 – Power Supply Rejection Ratio

Para se verificar o valor do *Input Swing* fez-se uma análise DC, onde se variou o sinal de entrada de 0V a 1.2V e verificou-se o sinal de saída, para saber até quando este “acompanhava” o sinal de entrada (fig.18). A partir dos resultados, chegou-se a um *Input Swing* de 300mV.

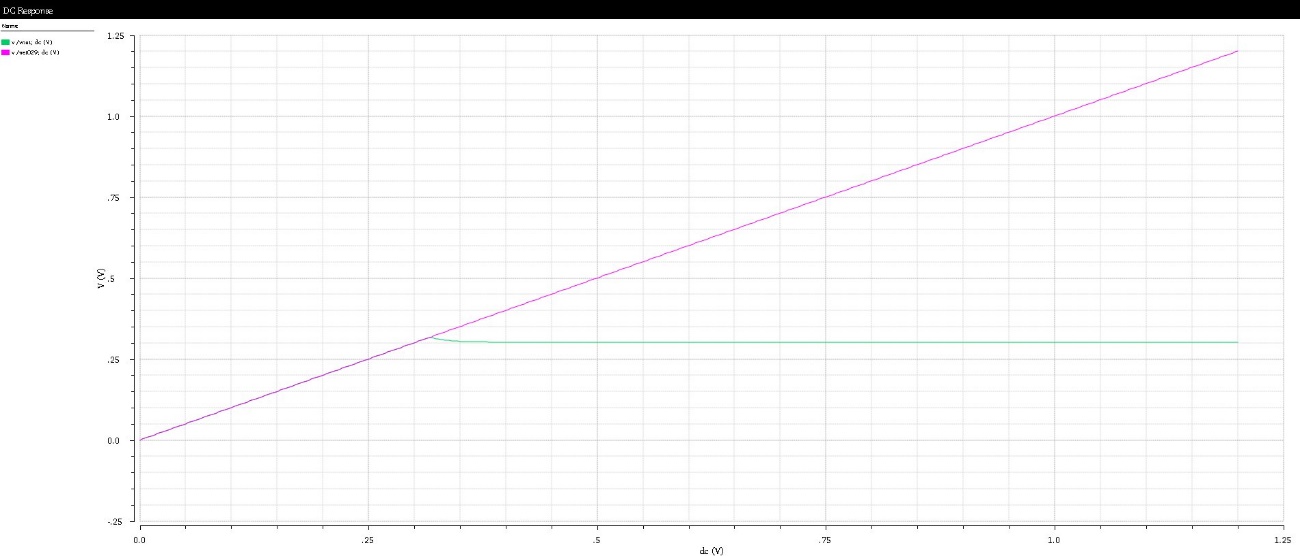


Figura 18 – Input Swing

O *Output Swing* verificou-se através das tensões de saturação geradas pela análise DC para os transístores M6 e M7. Assim, com tensões de *Vdsat* do transístor M6 de 300mV e do transístor M7 de 70mV e sabendo que o amplificador foi alimentado a 0.6V chegou-se ao valor de 230mV.

Fez-se de seguida uma análise de ruído (fig.19). A partir dessa análise, analisou-se qual seria o ruído referente à entrada. Assim, no gráfico do ruído viu-se qual a tensão deste associado à frequência de 1kHz tinha o valor de 180nV/, ou seja, era menor do que 500nV.

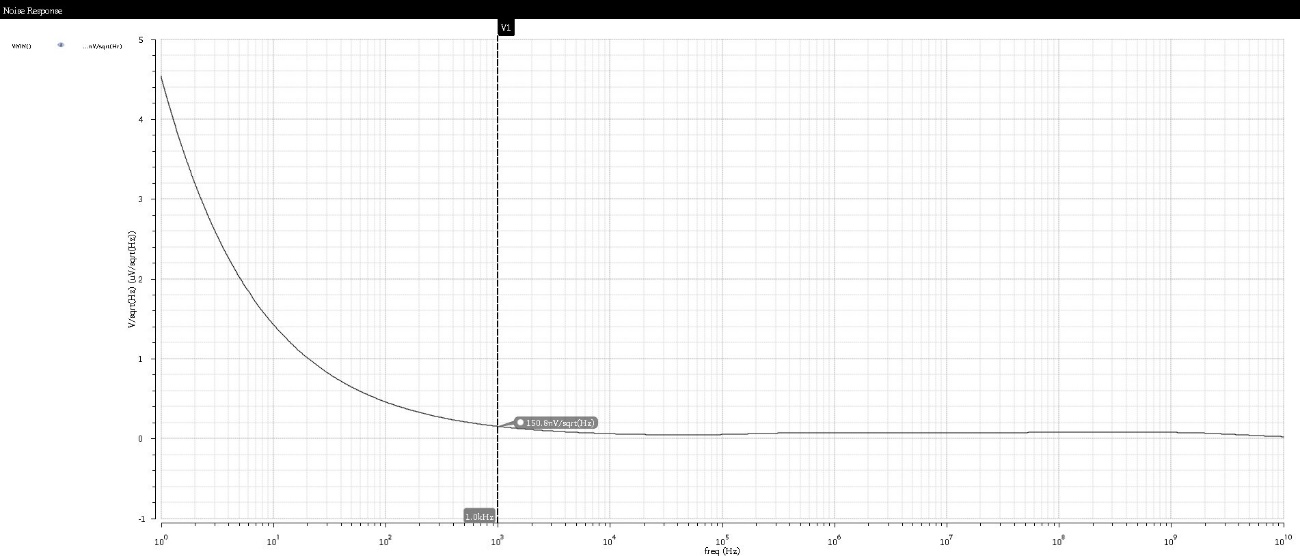


Figura 19 – Ruído referente à entrada

O *Slew-Rate* foi analisado colocando uma tensão quadrada à entrada, com tempos de subida e de descida muito rápidos (1fs cada) tendo um período suficientemente pequeno, de modo a que o amplificador não conseguisse acompanhar (neste caso teve o valor de 50ms) e com uma tensão que estivesse dentro do *Input Swing* (neste caso de 300mV). Depois viu-se o sinal à saída (fig.20). Depois verificou-se mais detalhadamente o tempo de resposta do amplificador a uma subida do sinal de entrada e procurou-se uma aproximação a uma recta (fig.21). Nessa recta retirou-se dois valores e calculou-se o declive da mesma. Assim, com o valor de 5.3mV associado ao tempo 25ms e com o valor de 27.6mV associado ao tempo 25.5ms, obteve-se um declive, ou seja, um valor de *Slew-Rate* de 44.6.

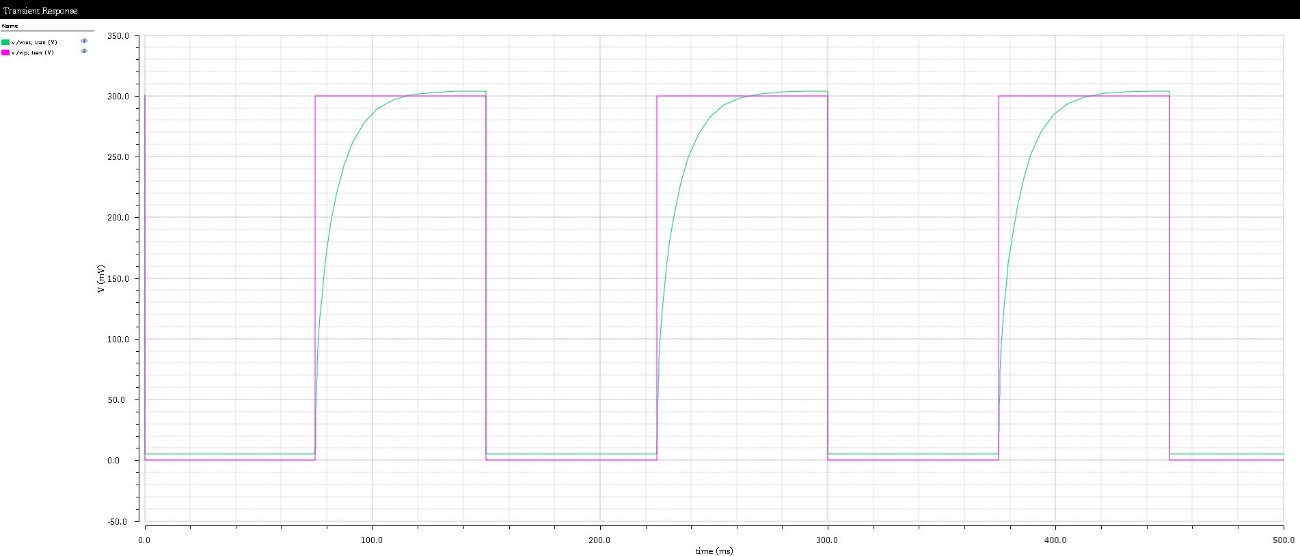


Figura 20 – Sinal de Vin (onda quadrada a roxo) e sinal de saída (a azul)

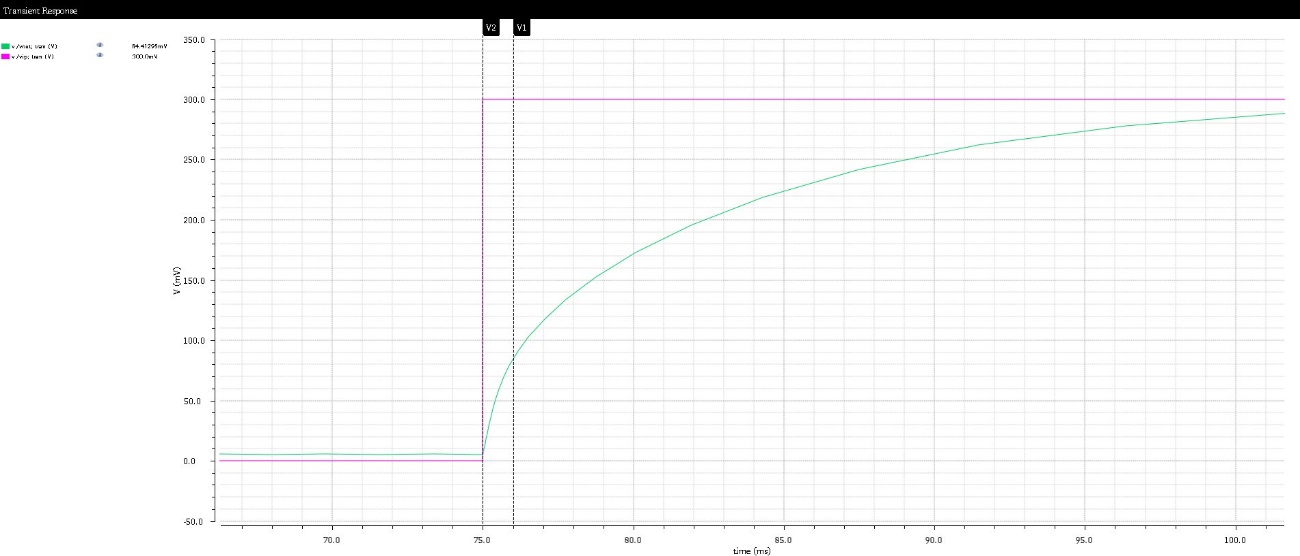


Figura 21 – Slew-Rate

A corrente total consumida no circuito correspondeu à soma das 3 correntes que fluem para cada um dos andares. Assim, tendo uma corrente de 1.4µA para o andar de polarização, uma corrente de 1.3µA para o par diferencial e uma corrente de 2.1µA, a corrente total do circuito correspondeu a 4.8µA.

Tendo uma tensão de 0.6V, calculou-se a potência do circuito, através da relação:

Obteve-se então o valor da potência consumida pelo circuito de 2.9µW, sendo este inferior às especificações.

Observou-se, por fim, o que acontecia ao sinal, quando se colocava à entrada uma sinusoide com 300mV de componente DC e amplitude de 15mV. Pôde-se observar um transitório antes do sinal de saída estabilizar (fig.22).

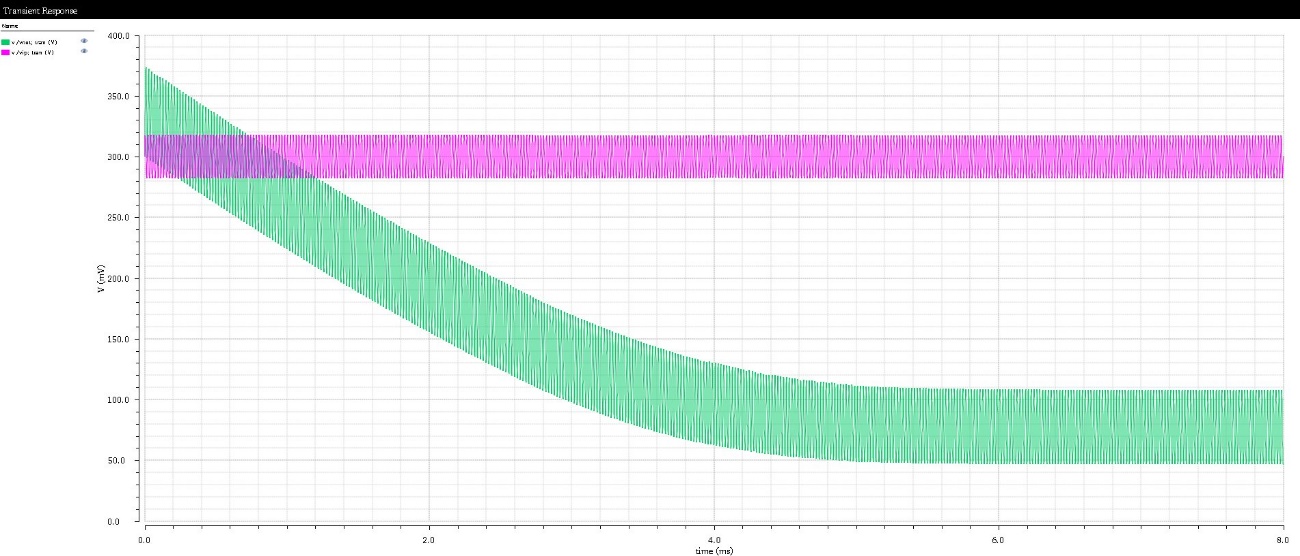


Figura 22 – Resposta do amplificador (Vout a verde) quando colocado à entrada um sinal sinusoidal centrado em 300mV com uma amplitude de 15mV e uma frequência de 50kHz (Vin a roxo)

Os valores simulados para o amplificador encontram-se na tabela seguinte.

Tabela 3 – Valores simulados para o amplificador

|  |  |
| --- | --- |
| **Potência** | 2.9µW |
| **Tensão de alimentação** | 0.6V |
| **Corrente de referência** | 1.4µA |
| **Corrente do par diferencial** | 1.3µA |
| **Corrente do andar de saída** | 2.1µA |
| **Corrente total consumida** | 4.8µA |
| **Ganho do 1º andar** | 27dB |
| **Ganho do segundo andar** | 48dB |
| **Ganho do amplificador** | 75dB |
| **Margem de fase** | 60 |
| **Ganho em modo comum** | 12dB |
| **CMRR** | 63dB |
| **PSRR** | -50dB |
| **Ruído referente à entrada** | 180nV/ |
| **Slew Rate** | 44.6 |
| **Input Swing** | 300mV |
| **Output Swing** | 230mV |

# Conclusões

A análise final resumiu-se a uma comparação entre dois resultados distintos: os valores simulados e os valores teóricos obtidos. Os valores estão na tabela que se encontra de seguida.

Tabela 4 – Valores dimensionados e resultados obtidos

|  |  |  |
| --- | --- | --- |
| Resumo de Resultados | Valores Teóricos | Valores Simulados |
| Ganho 1º Andar (dB) | 23.18 | 27 |
| Ganho 2ª Andar (dB) | 21.16 | 48 |
| Ganho Amplificador AV (dB) | 44.35 | 75 |
| CMRR (dB) | 35.18 | 63 |
| Tensão de Alimentação (V) | 0.6 | 0.6 |
| Corrente Total Consumida (µA) | 4.8 | 4.8 |
| Ganho em modo comum (dB) | 11.99 | 12 |
| Slew Rate | 96.3 | 44.6 |

Como se pode verificar, o ganho total do amplificador ficou muito além do esperado. Embora este apresente um ganho muito bom em comparação com o valor dimensionado, não se compreendeu a razão deste aumento deste em mais de 30 dB.

A mesma conclusão acima referida, também se pôde retirar do *CMRR*, isto é, a rejeição em modo comum, na simulação apresentou valores extremamente elevados em comparação com os valores teóricos. Embora seja muito bom, não se percebeu muito bem o porquê deste aumento excessivo da rejeição do ganho em modo comum.

O *Slew-Rate*, por outro lado, piorou de forma significativa, isto é, o amplificador demora muito mais tempo a responder a um impulso (ou a qualquer sinal).

Uma possível explicação para estes efeitos acima referidos seria o facto da resistência de desacoplamento do primeiro andar para o segundo andar (Rc) ser demasiado elevada (50kΩ), o que pode levar a um aumento ou interferência com o ganho do segundo andar, já que este aumenta de forma significativa.

Outra possível explicação para os resultados da simulação terem sido diferentes dos valores dimensionados, pode estar no facto deste amplificador não ter duas saídas, havendo uma descompensação no para diferencial que, associado ao facto deste andar não estar totalmente desacoplado com o segundo andar (de saída) haver um aumento significativamente grande no ganho total.

# Referências

[1] - Magnelli L., Amoroso F. A., Crupi F., Cappuccino G. and Iannaccone G., “Design of a 75-nW, 0.5-V subthreshold complementary metal–oxide–semiconductor operational amplifier”, International Journal of Circuit Theory and Applications, 42, pages 967–977, 2014, doi: 10.1002/cta.1898;

[2] – Blinkey D. M., “TRADEOFFS AND OPTIMIZATION IN ANALOG CMOS DESIGN”, MIXDES 2007 Ciechocinek, 14th International Conference, pages 47 – 60, POLAND 21 – 23 June 2007, ISBN:978-83-922632-4-1.

# Anexos

Anexo 1 - Código em Matlab

%%

Vdd = 0.6;

P = 3\*10^(-6);

I\_total = P/Vdd;

Id\_1 = 0.25\*I\_total; %Corrente que é injectada no par diferencia

Id\_2 = 0.4\*I\_total; %Corrente que é injectada no andar de saída

Iref = 0.27\*I\_total; %Corrente de referencia

Lmin = 120\*10^-9; %L mínimo

%%Vai buscar os ficheiros NMOS e PMOS e passá-los para variáveis

NMOS = csvread('NMOSdata.csv');

Vdc\_NMOS = NMOS(:,1);

gmOverId\_NMOS = NMOS(:,2);

gm\_NMOS = NMOS(:,3);

id\_NMOS = NMOS(:,4);

PMOS = csvread('PMOSdata.csv');

Vdc\_PMOS = PMOS(:,1);

gmOverId\_PMOS = PMOS(:,2);

gm\_PMOS = PMOS(:,3);

id\_PMOS = PMOS(:,4);

%% Gráficos dos I0 de NMOS e PMOS

%%%NMOS

y\_NMOS = gmOverId\_NMOS;

x\_NMOS = id\_NMOS;

Id\_max\_NMOS = max(y\_NMOS);

recta1\_NMOS = Id\_max\_NMOS\*ones(size(x\_NMOS));

declive\_NMOS = (log10(y\_NMOS(30))-log10(y\_NMOS(36)))/(log10(x\_NMOS(30))-log10(x\_NMOS(36)))

b\_NMOS = log10(y\_NMOS(40))- declive\_NMOS\*log10(x\_NMOS(40));

recta2\_NMOS = 10.^(declive\_NMOS\*log10(x\_NMOS)+b\_NMOS);

figure(1)

loglog(x\_NMOS,y\_NMOS)

grid on

hold on

loglog(x\_NMOS,recta1\_NMOS)

loglog(x\_NMOS,recta2\_NMOS)

hold off

I0\_NMOS = 5.847\*10^(-7); %Por observação

%%%PMOS

x\_PMOS = -1.\*id\_PMOS;

y\_PMOS = gmOverId\_PMOS;

Id\_max\_PMOS = max(y\_PMOS);

recta1\_PMOS = Id\_max\_PMOS\*ones(size(x\_PMOS));

declive\_PMOS = (log10(y\_PMOS(20))-log10(y\_PMOS(19)))/(log10(x\_PMOS(20))-log10(x\_PMOS(19)))

b\_PMOS = log10(y\_PMOS(20))- declive\_PMOS\*log10(x\_PMOS(20));

recta2\_PMOS = 10.^(declive\_PMOS\*log10(x\_PMOS)+b\_PMOS);

figure(2)

loglog(x\_PMOS,y\_PMOS)

grid on

hold on

loglog(x\_PMOS,recta1\_PMOS)

loglog(x\_PMOS,recta2\_PMOS)

hold off

I0\_PMOS =1.399\*10^(-7); %Por observação

%%

%Cálculo dos W's

%Par diferencial

L = 7\*Lmin;

IC=0.14;

W\_12 = (Id\_1/2)/((I0\_PMOS\*IC)/L) %(W\_12 > 2\*Lmin)

L = 5\*Lmin;

IC = 0.14;

W\_34 = (Id\_1/2)/((I0\_NMOS\*IC)/L) %(W\_34 > 2\*Lmin)

L = 10\*Lmin;

IC = 5.5

W\_5 = Id\_1/((I0\_PMOS\*IC)/L) %(W\_5 > 9\*Lmin)

%Segundo andar

L = 10\*Lmin;

IC = 5.5;

W\_6 = Id\_2/((I0\_PMOS\*IC)/L) %(W\_6 > 2\*Lmin)

L = 10\*Lmin;

IC = 0.85;

W\_7 = Id\_2/((I0\_NMOS\*IC)/L) %

%%

% Tirar os Vearly dos NMOS para se calcular os rds e gds

NMOS\_Early = csvread('NMOS\_Vearly.csv');

NMOS\_EARLY\_ID = csvread('NMOS\_ID.csv');

Vds\_NMOS = NMOS\_Early(:,1);

Vearly\_NMOS\_240n = NMOS\_Early(:,2);

Id\_NMOS\_240n = NMOS\_EARLY\_ID(:,2);

Vearly\_NMOS\_360n = NMOS\_Early(:,3);

Id\_NMOS\_360n = NMOS\_EARLY\_ID(:,3);

Vearly\_NMOS\_480n = NMOS\_Early(:,4);

Id\_NMOS\_480n = NMOS\_EARLY\_ID(:,4);

Vearly\_NMOS\_600n = NMOS\_Early(:,5);

Id\_NMOS\_600n = NMOS\_EARLY\_ID(:,5);

Vearly\_NMOS\_720n = NMOS\_Early(:,6);

Id\_NMOS\_720n = NMOS\_EARLY\_ID(:,6);

Vearly\_NMOS\_840n = NMOS\_Early(:,7);

Id\_NMOS\_840n = NMOS\_EARLY\_ID(:,7);

Vearly\_NMOS\_960n = NMOS\_Early(:,8);

Id\_NMOS\_960n = NMOS\_EARLY\_ID(:,8);

Vearly\_NMOS\_1u80n = NMOS\_Early(:,9);

Id\_NMOS\_1u80n = NMOS\_EARLY\_ID(:,9);

Vearly\_NMOS\_1u200n = NMOS\_Early(:,10);

Id\_NMOS\_1u200n = NMOS\_EARLY\_ID(:,10);

Vearly\_NMOS\_1u320n = NMOS\_Early(:,11);

Id\_NMOS\_1u320n = NMOS\_EARLY\_ID(:,11);

Vearly\_NMOS\_1u440n = NMOS\_Early(:,12);

Id\_NMOS\_1u440n = NMOS\_EARLY\_ID(:,12);

Vearly\_NMOS\_1u560n = NMOS\_Early(:,13);

Id\_NMOS\_1u560n = NMOS\_EARLY\_ID(:,13);

Vearly\_NMOS\_1u680n = NMOS\_Early(:,14);

Id\_NMOS\_1u680n = NMOS\_EARLY\_ID(:,14);

Vearly\_NMOS\_1u800n = NMOS\_Early(:,15);

Id\_NMOS\_1u800n = NMOS\_EARLY\_ID(:,15);

Vearly\_NMOS\_1u920n = NMOS\_Early(:,16);

Id\_NMOS\_1u920n = NMOS\_EARLY\_ID(:,16);

Vearly\_NMOS\_2u40n = NMOS\_Early(:,17);

Id\_NMOS\_2u40n = NMOS\_EARLY\_ID(:,17);

Vearly\_NMOS\_2u160n = NMOS\_Early(:,18);

Id\_NMOS\_2u160n = NMOS\_EARLY\_ID(:,18);

Vearly\_NMOS\_2u280n = NMOS\_Early(:,19);

Id\_NMOS\_2u280n = NMOS\_EARLY\_ID(:,19);

Vearly\_NMOS\_2u400n = NMOS\_Early(:,20);

Id\_NMOS\_2u400n = NMOS\_EARLY\_ID(:,20);

Vearly\_NMOS\_2u520n = NMOS\_Early(:,21);

Id\_NMOS\_2u520n = NMOS\_EARLY\_ID(:,21);

Vearly\_NMOS\_2u640n = NMOS\_Early(:,22);

Id\_NMOS\_2u640n = NMOS\_EARLY\_ID(:,22);

Vearly\_NMOS\_2u760n = NMOS\_Early(:,23);

Id\_NMOS\_2u760n = NMOS\_EARLY\_ID(:,23);

Vearly\_NMOS\_2u880n = NMOS\_Early(:,24);

Id\_NMOS\_2u880n = NMOS\_EARLY\_ID(:,24);

Vearly\_NMOS\_3u = NMOS\_Early(:,25);

Id\_NMOS\_3u = NMOS\_EARLY\_ID(:,25);

Vearly\_NMOS\_3u120n = NMOS\_Early(:,26);

Id\_NMOS\_3u120n = NMOS\_EARLY\_ID(:,26);

Vearly\_NMOS\_3u240n = NMOS\_Early(:,27);

Id\_NMOS\_3u240n = NMOS\_EARLY\_ID(:,27);

Vearly\_NMOS\_3u360n = NMOS\_Early(:,28);

Id\_NMOS\_3u360n = NMOS\_EARLY\_ID(:,28);

Vearly\_NMOS\_3u480n = NMOS\_Early(:,29);

Id\_NMOS\_3u480n = NMOS\_EARLY\_ID(:,29);

Vearly\_NMOS\_3u600n = NMOS\_Early(:,30);

Id\_NMOS\_3u600n = NMOS\_EARLY\_ID(:,30);

Vearly\_NMOS\_3u720n = NMOS\_Early(:,31);

Id\_NMOS\_3u720n = NMOS\_EARLY\_ID(:,31);

Vearly\_NMOS\_3u840n = NMOS\_Early(:,32);

Id\_NMOS\_3u840n = NMOS\_EARLY\_ID(:,32);

Vearly\_NMOS\_4u = NMOS\_Early(:,33);

Id\_NMOS\_4u = NMOS\_EARLY\_ID(:,33);

%(Transistor\_34)

figure(3)

IC\_NMOS = Id\_NMOS\_600n/I0\_NMOS;

grid on

loglog(IC\_NMOS,Vearly\_NMOS\_600n)

title('Transistor 3,4')

figure(4)

IC\_NMOS = Id\_NMOS\_1u200n/I0\_NMOS;

grid on

loglog(IC\_NMOS,Vearly\_NMOS\_1u200n)

title('Transistor 7')

% loglog(Id\_NMOS\_240n,Vearly\_NMOS\_240n)

% loglog(Id\_NMOS\_360n,Vearly\_NMOS\_360n)

% loglog(Id\_NMOS\_480n,Vearly\_NMOS\_480n)

% loglog(Id\_NMOS\_600n,Vearly\_NMOS\_600n)

% loglog(Id\_NMOS\_720n,Vearly\_NMOS\_720n)

% loglog(Id\_NMOS\_840n,Vearly\_NMOS\_840n)

% loglog(Id\_NMOS\_960n,Vearly\_NMOS\_960n)

% loglog(Id\_NMOS\_1u80n,Vearly\_NMOS\_1u80n)

% loglog(Id\_NMOS\_1u200n,Vearly\_NMOS\_1u200n)

% loglog(Id\_NMOS\_1u320n,Vearly\_NMOS\_1u320n)

% loglog(Id\_NMOS\_1u440n,Vearly\_NMOS\_1u440n)

% loglog(Id\_NMOS\_1u560n,Vearly\_NMOS\_1u560n)

% loglog(Id\_NMOS\_1u680n,Vearly\_NMOS\_1u680n)

% loglog(Id\_NMOS\_1u800n,Vearly\_NMOS\_1u800n)

% loglog(Id\_NMOS\_2u,Vearly\_NMOS\_2u)

%hold off

%%

%Tirar os Veary dos PMOS para se calcular os rds e gds

PMOS\_EARLY\_ID = csvread('PMOS\_ID.csv');

PMOS\_Early = csvread('PMOS\_Vearly.csv');

Vds\_PMOS = PMOS\_Early(:,1);

Vearly\_PMOS\_240n = -1.\*PMOS\_Early(:,2);

Id\_PMOS\_240n = PMOS\_EARLY\_ID(:,2);

Vearly\_PMOS\_360n = -1.\*PMOS\_Early(:,3);

Id\_PMOS\_360n = PMOS\_EARLY\_ID(:,3);

Vearly\_PMOS\_480n = -1.\*PMOS\_Early(:,4);

Id\_PMOS\_480n = PMOS\_EARLY\_ID(:,4);

Vearly\_PMOS\_600n = -1.\*PMOS\_Early(:,5);

Id\_PMOS\_600n = PMOS\_EARLY\_ID(:,5);

Vearly\_PMOS\_720n = -1.\*PMOS\_Early(:,6);

Id\_PMOS\_720n = PMOS\_EARLY\_ID(:,6);

Vearly\_PMOS\_840n = -1.\*PMOS\_Early(:,7);

Id\_PMOS\_840n = PMOS\_EARLY\_ID(:,7);

Vearly\_PMOS\_960n = -1.\*PMOS\_Early(:,8);

Id\_PMOS\_960n = PMOS\_EARLY\_ID(:,8);

Vearly\_PMOS\_1u80n = -1.\*PMOS\_Early(:,9);

Id\_PMOS\_1u80n = PMOS\_EARLY\_ID(:,9);

Vearly\_PMOS\_1u200n = -1.\*PMOS\_Early(:,10);

Id\_PMOS\_1u200n = PMOS\_EARLY\_ID(:,10);

Vearly\_PMOS\_1u320n = -1.\*PMOS\_Early(:,11);

Id\_PMOS\_1u320n = PMOS\_EARLY\_ID(:,11);

Vearly\_PMOS\_1u440n = -1.\*PMOS\_Early(:,12);

Id\_PMOS\_1u440n = PMOS\_EARLY\_ID(:,12);

Vearly\_PMOS\_1u560n = -1.\*PMOS\_Early(:,13);

Id\_PMOS\_1u560n = PMOS\_EARLY\_ID(:,13);

Vearly\_PMOS\_1u680n = -1.\*PMOS\_Early(:,14);

Id\_PMOS\_1u680n = PMOS\_EARLY\_ID(:,14);

Vearly\_PMOS\_1u800n = -1.\*PMOS\_Early(:,15);

Id\_PMOS\_1u800n = PMOS\_EARLY\_ID(:,15);

Vearly\_PMOS\_1u920n = -1.\*PMOS\_Early(:,16);

Id\_PMOS\_1u920n = PMOS\_EARLY\_ID(:,16);

Vearly\_PMOS\_2u40n = -1.\*PMOS\_Early(:,17);

Id\_PMOS\_2u40n = PMOS\_EARLY\_ID(:,17);

Vearly\_PMOS\_2u160n = -1.\*PMOS\_Early(:,18);

Id\_PMOS\_2u160n = PMOS\_EARLY\_ID(:,18);

Vearly\_PMOS\_2u280n = -1.\*PMOS\_Early(:,19);

Id\_PMOS\_2u280n = PMOS\_EARLY\_ID(:,19);

Vearly\_PMOS\_2u400n = -1.\*PMOS\_Early(:,20);

Id\_PMOS\_2u400n = PMOS\_EARLY\_ID(:,20);

Vearly\_PMOS\_2u520n = -1.\*PMOS\_Early(:,21);

Id\_PMOS\_2u520n = PMOS\_EARLY\_ID(:,21);

Vearly\_PMOS\_2u640n = -1.\*PMOS\_Early(:,22);

Id\_PMOS\_2u640n = PMOS\_EARLY\_ID(:,22);

Vearly\_PMOS\_2u760n = -1.\*PMOS\_Early(:,23);

Id\_PMOS\_2u760n = PMOS\_EARLY\_ID(:,23);

Vearly\_PMOS\_2u880n = -1.\*PMOS\_Early(:,24);

Id\_PMOS\_2u880n = PMOS\_EARLY\_ID(:,24);

Vearly\_PMOS\_3u = -1.\*PMOS\_Early(:,25);

Id\_PMOS\_3u = PMOS\_EARLY\_ID(:,25);

Vearly\_PMOS\_3u120n = -1.\*PMOS\_Early(:,26);

Id\_PMOS\_3u120n = PMOS\_EARLY\_ID(:,26);

Vearly\_PMOS\_3u240n = -1.\*PMOS\_Early(:,27);

Id\_PMOS\_3u240n = PMOS\_EARLY\_ID(:,27);

Vearly\_PMOS\_3u360n = -1.\*PMOS\_Early(:,28);

Id\_PMOS\_3u360n = PMOS\_EARLY\_ID(:,28);

Vearly\_PMOS\_3u480n = -1.\*PMOS\_Early(:,29);

Id\_PMOS\_3u480n = PMOS\_EARLY\_ID(:,29);

Vearly\_PMOS\_3u600n = -1.\*PMOS\_Early(:,30);

Id\_PMOS\_3u600n = PMOS\_EARLY\_ID(:,30);

Vearly\_PMOS\_3u720n = -1.\*PMOS\_Early(:,31);

Id\_PMOS\_3u720n = PMOS\_EARLY\_ID(:,31);

Vearly\_PMOS\_3u840n = -1.\*PMOS\_Early(:,32);

Id\_PMOS\_3u840n = PMOS\_EARLY\_ID(:,32);

Vearly\_PMOS\_4u = -1.\*PMOS\_Early(:,33);

Id\_PMOS\_4u = PMOS\_EARLY\_ID(:,33);

%Transistor\_12

figure(5)

%hold on

IC\_PMOS = Id\_PMOS\_840n/I0\_PMOS;

grid on

loglog(IC\_PMOS,Vearly\_PMOS\_840n)

title('Transistor 1,2')

%Transistor\_5

figure(6)

IC\_PMOS = Id\_PMOS\_1u200n/I0\_PMOS;

grid on

loglog(IC\_PMOS,Vearly\_PMOS\_1u200n)

title('Transistor 5')

figure(7)

IC\_PMOS = Id\_PMOS\_1u200n/I0\_PMOS;

grid on

loglog(IC\_PMOS,Vearly\_PMOS\_1u200n)

title('Transistor 6')

% loglog(Id\_PMOS\_240n,Vearly\_PMOS\_240n)

% loglog(Id\_PMOS\_360n,Vearly\_PMOS\_360n)

% loglog(Id\_PMOS\_480n,Vearly\_PMOS\_480n)

% loglog(Id\_PMOS\_600n,Vearly\_PMOS\_600n)

% loglog(Id\_PMOS\_720n,Vearly\_PMOS\_720n)

% loglog(Id\_PMOS\_840n,Vearly\_PMOS\_840n)

% loglog(Id\_PMOS\_960n,Vearly\_PMOS\_960n)

% loglog(Id\_PMOS\_1u80n,Vearly\_PMOS\_1u80n)

% loglog(Id\_PMOS\_1u200n,Vearly\_PMOS\_1u200n)

% loglog(Id\_PMOS\_1u320n,Vearly\_PMOS\_1u320n)

% loglog(Id\_PMOS\_1u440n,Vearly\_PMOS\_1u440n)

% loglog(Id\_PMOS\_1u560n,Vearly\_PMOS\_1u560n)

% loglog(Id\_PMOS\_1u680n,Vearly\_PMOS\_1u680n)

% loglog(Id\_PMOS\_1u800n,Vearly\_PMOS\_1u800n)

% loglog(Id\_PMOS\_2u,Vearly\_PMOS\_2u)

%hold off

%%

%Análise de pequenos sinais para se calcular os ganhos

GBW = 20\*10^3;

%%%Cálculo da tensão térmica

Ut = 25.8\*10^(-3); %V

%%%Arbitração de n

n=1.35;

%%%IC utilizado no transistor 1

IC=0.14;

Vdsat = 2\*Ut\*sqrt(IC+0.5)+3\*Ut; %Super importante!!!!!!!!!

gmp1 = Id\_1/(n\*Ut\*sqrt(IC+0.25)+0.5)

gmb1 = 0.1\*gmp1

gds\_34 = (Id\_1/2)/4.301 %Por observação

rds\_34 = 1/gds\_34;

gds\_12 = (Id\_1/2)/16.75%Por observação

rds\_12 = 1/gds\_12;

gds\_5 = Id\_1/22.51%Por observação

rds\_5 = 1/gds\_5;

%gds\_34=320\*10^(-9);

rout\_1 = (rds\_12\*rds\_34)/(rds\_34+rds\_12)

Av1 = (gmp1+gmb1)\*rout\_1

%Par diferencial

%%%Rout1 = rds4//(rdsPF\*(gmp1/(1/gds2))

Rout1 = (rds\_34\*(rds\_5\*(gmp1/gds\_12)))/(rds\_34+(rds\_5\*(gmp1/gds\_12)))

Gm\_eff = gmp1

Av\_CM = (gmp1\*Rout1)/(1+gmp1\*(1/gds\_12))

CMRR = 20\*log10(Av1/Av\_CM)

Cc = gmp1/(2\*pi\*GBW)

%M7 -> L=1.2u; W=7.7u; IC=1

%M6 -> L=1.2u; W=11u; IC=6.75

IC = 0.85;

Vdsat = 2\*Ut\*sqrt(IC+0.5)+3\*Ut

gmp7 = Id\_2/(n\*Ut\*sqrt(IC+0.25)+0.5);

gds7=Id\_2/8.16; %por observação

rds7=1/gds7;

gds6=Id\_2/24.74; %por observação

rds6=1/gds6

rout2=(rds6\*rds7)/(rds6+rds7);

Av2=gmp7\*rout2

Av\_total=Av1\*Av2

Ganho\_dB=20\*log10(Av\_total)

Ganho\_dB\_Av1=20\*log10(Av1)

Ganho\_dB\_Av2=20\*log10(Av2)

Ganho\_comum= 20\*log10(Av\_CM)

SR= Id\_1/Cc

Slew\_rate= 20\*log10(SR)