

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

Folha de Dados
Primeira Lista Exercícios
Circuitos Sequenciais e Projeto RTL

Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

Instruções:

1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Filipe de Souza Freitas

matrícula: 140020161

Exercício 1. Ping-pong leds

- 1) Diagrama de blocos proposto.

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

2) Diagrama esquemático (Análise RTL pré-síntese)



3) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

4) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

5) Análise de timing:

Worst negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

Frequência de operação do circuito: _____ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: _____ ns

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

6) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



7) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)

Potência estática: _____ (mW)

Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

Exercício 2. Ping-pong leds FSM

- 1) Diagrama de blocos proposto.



- 2) Diagrama de estados:



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

3) Diagrama esquemático (Análise RTL pré-síntese)



4) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

6) Análise de timing:

Wors negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

Frequência de operação do circuito: _____ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: _____ ns

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

7) Layout do circuito após a implementação (após processo Place and Route – PAR):



8) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)

Potência estática: _____ (mW)

Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:



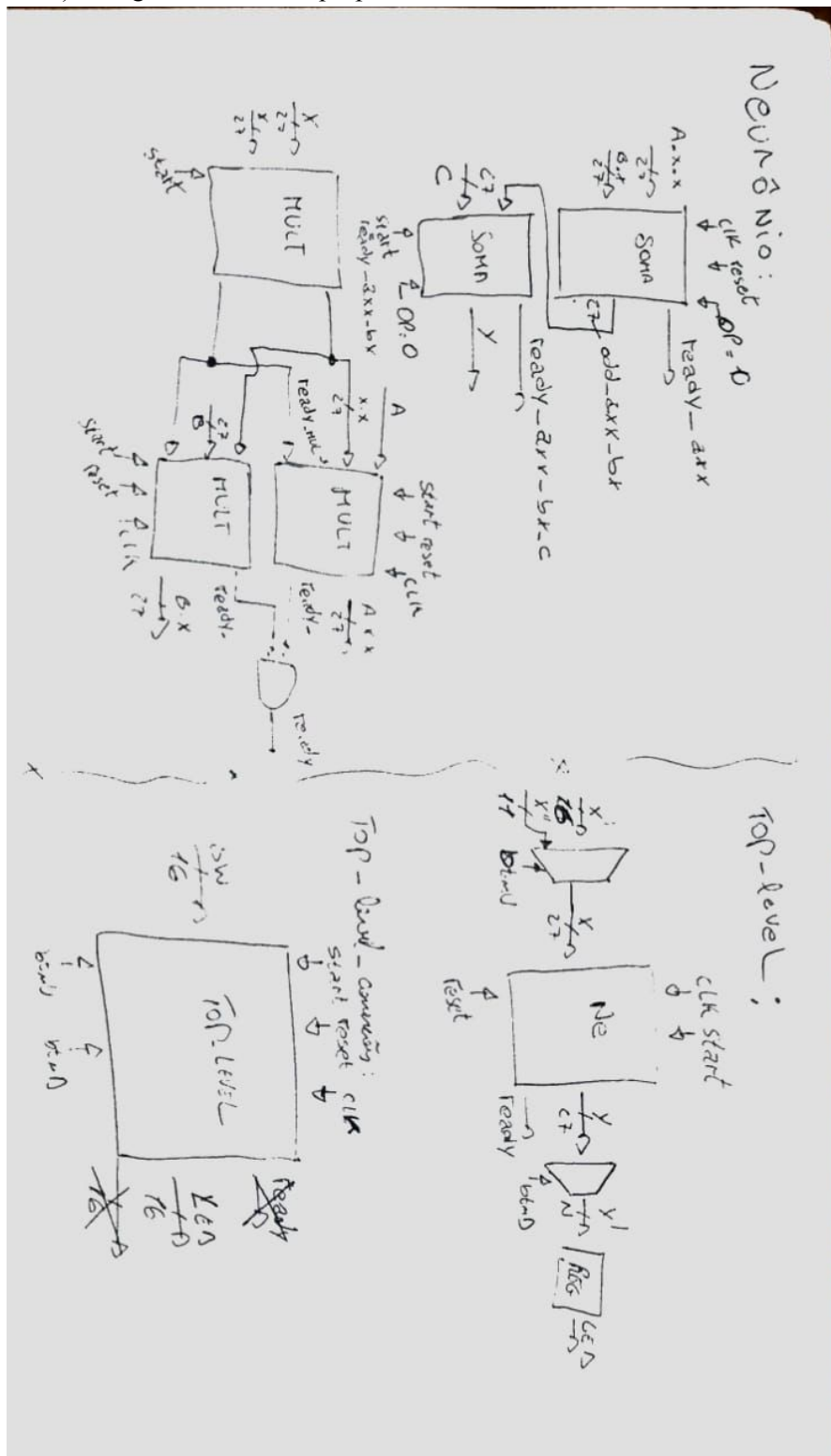
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

1) Diagrama de blocos proposto.

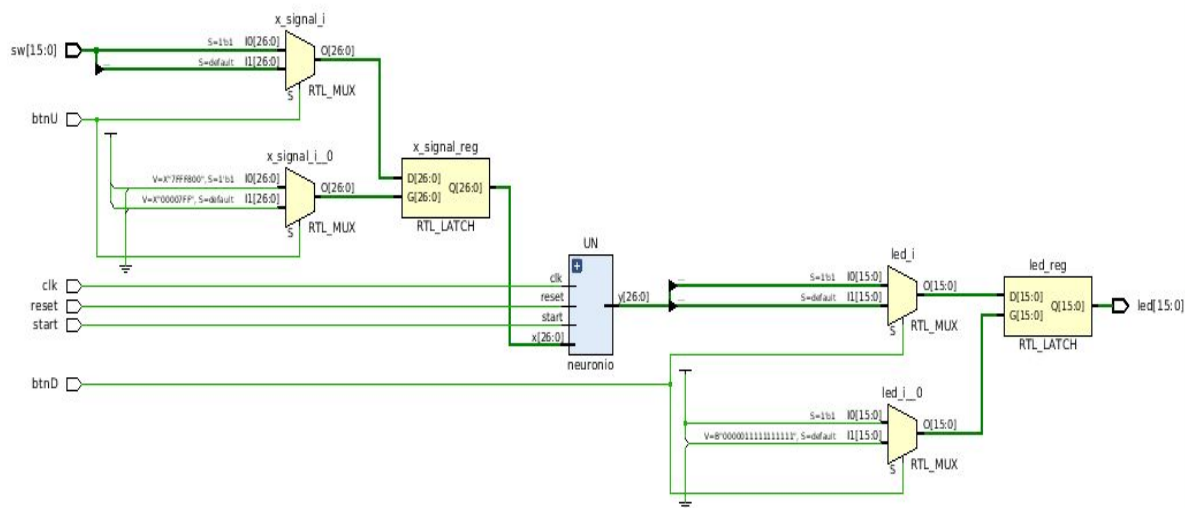


Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

- 2) Diagrama de estados (se aplica)
Não se aplica.
- 3) Diagrama esquemático (Análise RTL pré-síntese)



- 4) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE = 1

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

5) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
723 (3,48 %)	190 (0,46 %)	37 (34,91 %)	3 (3,33 %)	0 (0 %)

6) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
722 (3,47 %)	190 (0,46 %)	37 (34,91 %)	3 (3,33 %)	0 (0 %)

7) Análise de timming:

Worst negative slack (setup): 0,935 ns

Worst negative slack (hold) : 0,170 ns

Frequência de operação do circuito: 111,111 MHz

Caminho crítico (net de origem): UN/b_x/mul_out_reg[21]/C

Caminho crítico (net de destino): UN/axx_bx/res_man_reg[17]/D

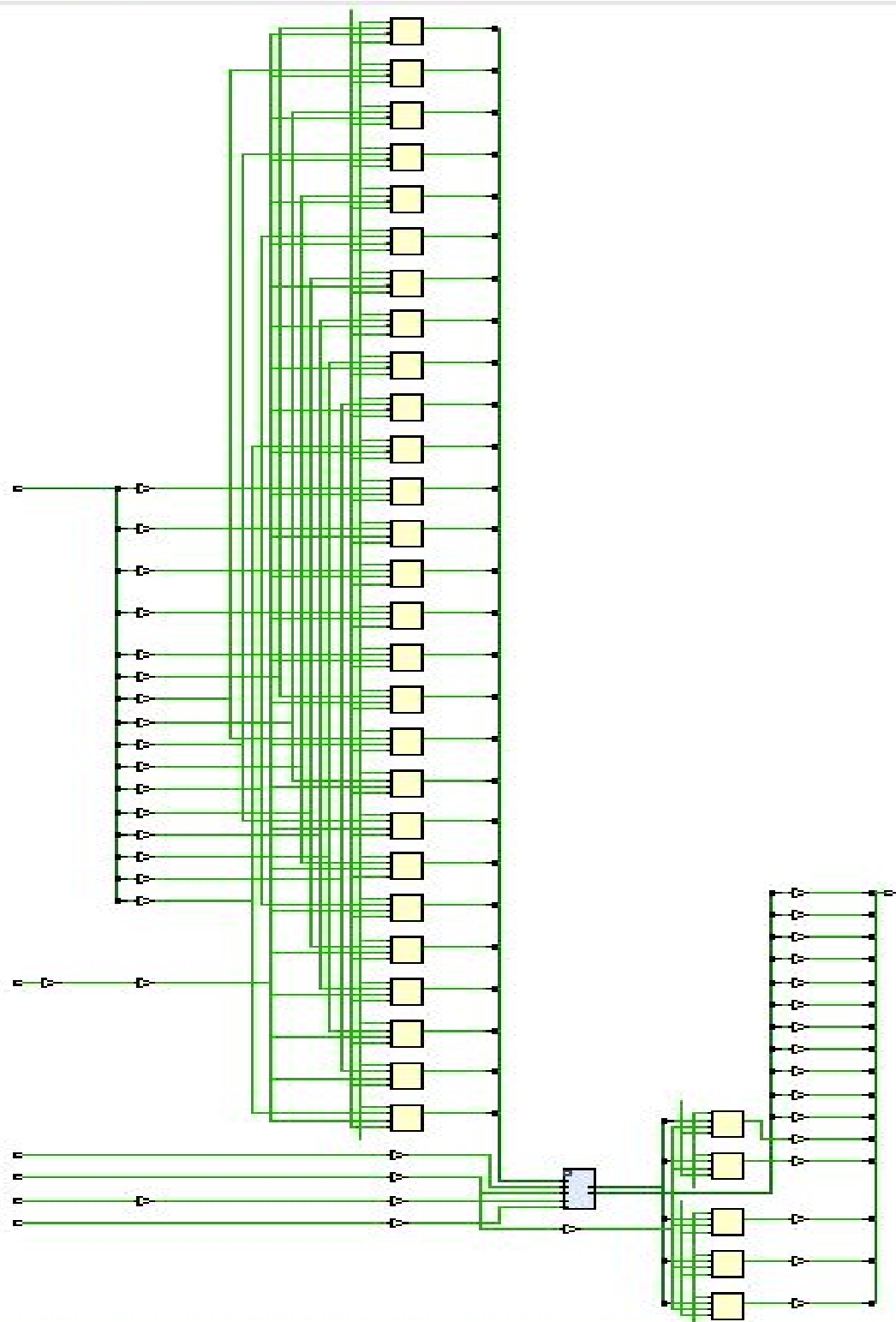
Maximo path delay: 8.125 ns

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

8) Layout do circuito após a implementação (após processo Place and Route – PAR):



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

9) Estimação do consumo de energia após a implementação do circuito:

Potência total: 86 (mW)

Potência estática: 72 (mW)

Potência dinâmica: 14 (mW)

Gráfico de consumo de energia:

