

Trabalho Final: Síntese Lógica e Física de um Somador Paralelo de 2 bits com estrutura de teste *boundary scan*

Plínio Finkenauer Junior¹

¹Programa de Pós-Graduação em Computação
Centro de Desenvolvimento Tecnológico
Universidade Federal de Pelotas – UFPel

pfinkenauer@inf.ufpel.edu.br

Resumo. Este relatório apresenta a implementação em nível de síntese lógica e física de um somador paralelo de 2 bits com estrutura de teste baseada na ideia de *boundary-scan*. Para avaliação dos resultados, simulações SPICE, a partir da célula extraída do layout, são exibidas com seus respectivos formatos de onda. Os dados de atraso de propagação crítico e área também são apresentados.

1. Introdução

Este trabalho envolve o projeto de um somador paralelo de 2 bits com estrutura de teste *boundary-scan*, conforme o esquemático apresentado na Figura 1. Cada bloco na imagem foi desenhado separadamente e, posteriormente, instanciados e roteados em uma única célula. A tecnologia (nodo) de implementação adotada consiste na AMI CMOS 0.35 μ m.

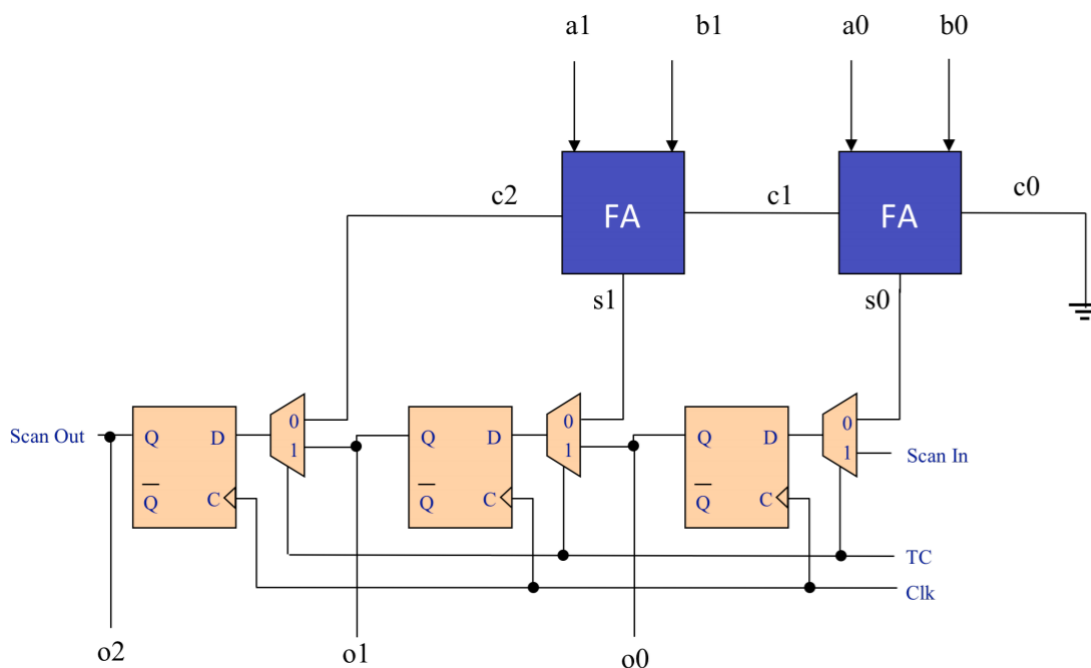


Figura 1. Esquemático de Blocos

2. Metodologia

Inicialmente, definiu-se as redes de transistores, bem como seus dimensionamentos a serem utilizados na etapa de *layout*. Para todos os transistores, o *length* (L) utilizado foi $30\mu\text{m}$. O tamanho (W) dos transistores foi estimado da seguinte forma:

$$w = \begin{cases} w_{min} * n_{serie} * \lambda, & \text{se } PMOS, \\ w_{min} * n_{serie}, & \text{se } NMOS. \end{cases} \quad (1)$$

Onde n_{serie} equivale ao número de elementos em série em dado plano e W_{min} , largura mínima do canal, foi estipulado em $1,0\mu\text{m}$. Transistores PMOS devem ser mais largos que transistores NMOS, haja visto que as lacunas se movem mais vagarosamente que os elétrons [Weste and Harris 2010]. Dessa forma, o parâmetro λ foi definido como 2, representando o dobro do tamanho NMOS.

Tanto o projeto do multiplexador 2:1, quanto do *flip-flop* D, foram desenvolvidos utilizando apenas as portas lógicas *nand* de 2 entradas e inversor. Assim, o dimensionamento das mesmas seguiu a equação 1, conforme descrito abaixo:

- **PMOS (inversor)** = $1,0\mu * 2 = 2,0\mu\text{m}$
- **NMOS (inversor)** = 1μ
- **PMOS (nand2)** = $1,0\mu * 2 = 2,0\mu\text{m} * 2 = 4,0\mu\text{m}$ (dobro do tamanho da rede NMOS)
- **NMOS (nand2)** = $1,0\mu * 2 = 2,0\mu\text{m}$

2.1. Multiplexador 2:1

A expressão para o multiplexador é definida na Equação 2, enquanto a Tabela 2 apresenta a tabela-verdade para este módulo.

$$y = \overline{(a * \bar{s}) * (s * b)} \quad (2)$$

Tabela 1. Tabela-verdade para o multiplexador 2:1

A	B	S	Y
1	1	1	1
1	0	1	0
0	1	0	1
0	0	0	0

Figura 2 apresenta o esquemático utilizado como base para etapa de síntese física do multiplexador. A célula **mux2-1** representa essa função lógica no arquivo de *layout*. A partir da extração dessa célula, obteve-se a forma de onda simulada na Figura 7. Os dados de área e densidade do *layout* foram:

- **Área** = $139,30\mu^2\text{m}$
- **Densidade** = 76,95%

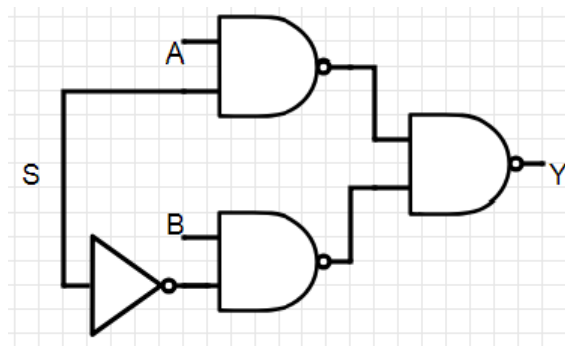


Figura 2. Esquemático do multiplexador 2:1.

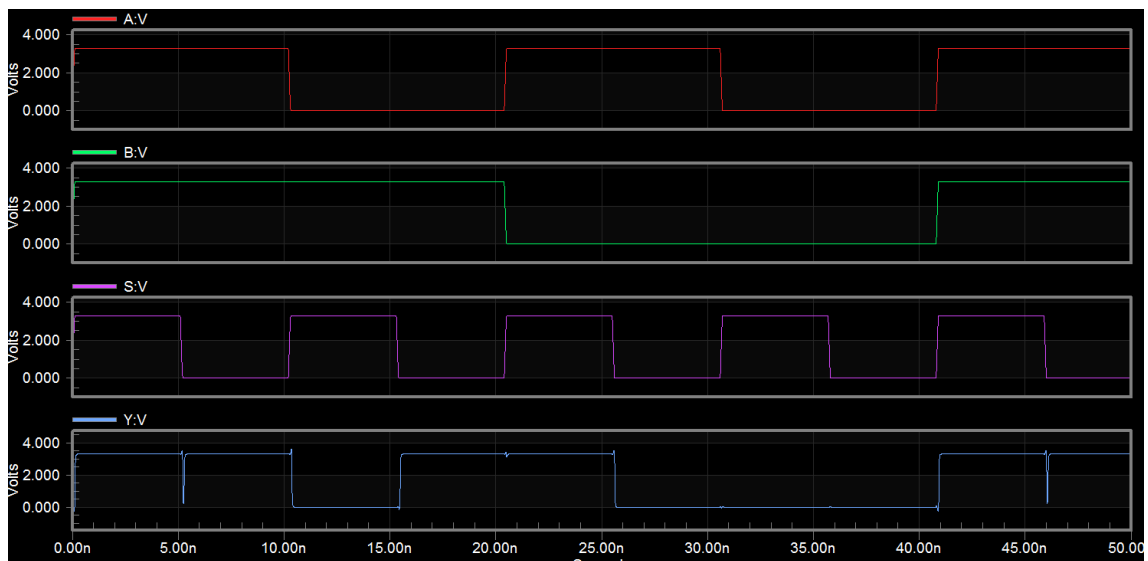


Figura 3. Forma de onda simulada para o multiplexador 2:1.

2.2. Flip-Flop D

A Tabela 2 demonstra o comportamento do *flip-flop* D, enquanto a figura 4 apresenta o esquemático utilizado como base para etapa de síntese física do componente. A célula **ff-D** representa esse módulo no arquivo de *layout*. A partir da extração dessa célula, obteve-se a forma de onda simulada na Figura 7. Os dados de área e densidade do *layout* foram:

- Área = $176,20\mu^2\text{m}$
- Densidade = 77,27%

Tabela 2. Comportamento do *flip-flop* D

D	Clk	Qt	!Qt
1	↑	1	0
0	↑	0	1
-	↓	Q_{t-1}	$!Q_{t-1}$

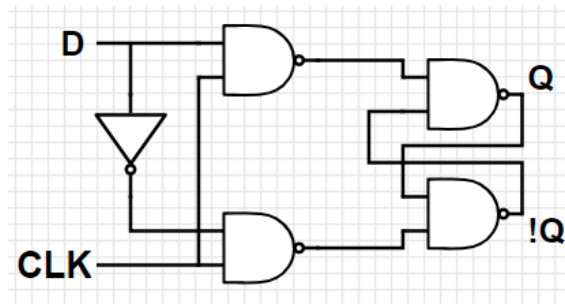


Figura 4. Esquemático do *flip-flop* D.

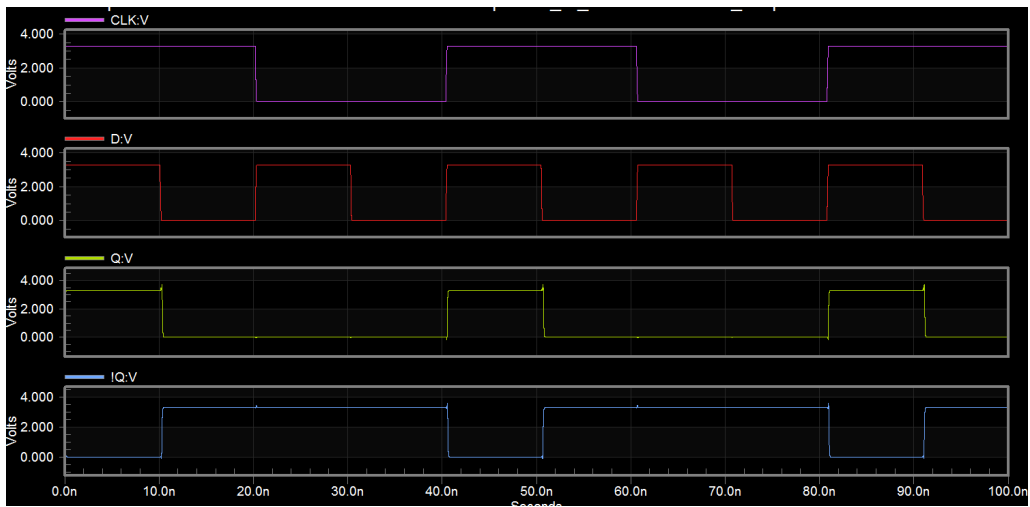


Figura 5. Forma de onda simulada para *oflip-flop* D.

3. Somador Completo de 1 bit

As expressões para a saída e *carry-out* do somador completo são definidas nas Equações 3 e 4, respectivamente. A Tabela 3 apresenta a tabela-verdade para este bloco.

$$s = (\bar{a} * \bar{b} * c_{in}) + (\bar{a} * b * \bar{c}_{in}) + (a * \bar{b} * \bar{c}_{in}) + (a * b * c_{in}) \quad (3)$$

$$c = (a * b) + (a * c_{in}) + (b * c_{in}) \quad (4)$$

Tabela 3. Tabela-verdade do somador completo.

A	B	Ci	S	Cout
1	1	1	1	1
1	1	0	0	1
1	0	1	0	1
1	0	0	1	0
0	1	1	0	1
0	1	0	1	0
0	0	1	0	0
0	0	0	1	0

Para o projeto do somador de 1 bit, optou-se por utilizar a topologia BDD (*Binary Decision Diagram*) para a rede de transistores do *carry-out*. Em contrapartida, a geração da saída foi formulada através da conexão de duas portas *xor* de 2 entradas. O dimensionamento dessas seguiu a equação 1, conforme descrito abaixo:

- **PMOS (*xor2*)** = $1,0\mu * 2 = 2,0\mu\text{m} * 2 = 4,0\mu\text{m}$ (dobro do tamanho da rede NMOS)
- **NMOS (*xor2*)** = $1,0\mu * 2 = 2,0\mu\text{m}$
- **PMOS (*carry*)** = $1,0\mu * 3 * 2 = 6,0\mu\text{m}$
- **NMOS (*carry*)** = $1,0\mu * 3 = 3,0\mu\text{m}$

A Figura 6 demonstra o diagrama, com os planos P e N, utilizado como base para etapa de síntese física do componente.. A rede gerada para a saída está na Figura 6(a), enquanto a figura 6(b) apresenta a rede para a equação do *carry-out*. A célula **fadd-1** representa esse módulo no arquivo de *layout*. A partir da extração dessa célula, obteve-se a forma de onda simulada na Figura 7. Os dados de área e densidade do *layout* foram:

- **Área** = $490,62\mu^2\text{m}$
- **Densidade** = 80,54%

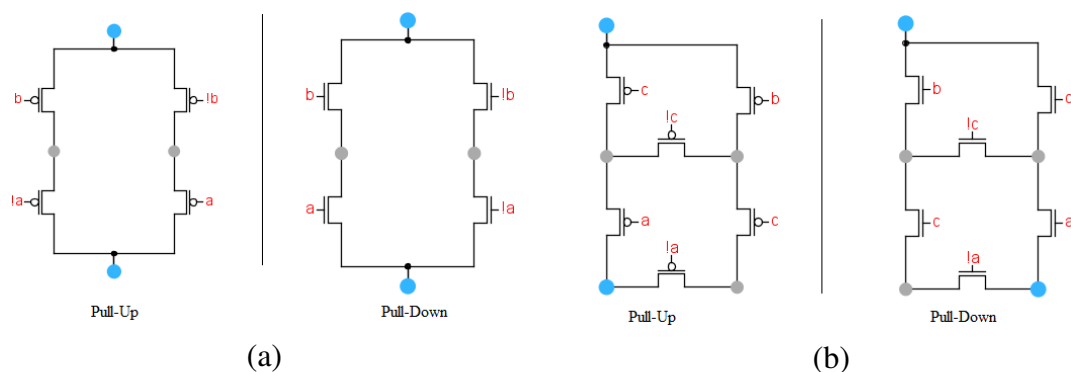


Figura 6. Rede de transistores gerada para o somador completo.

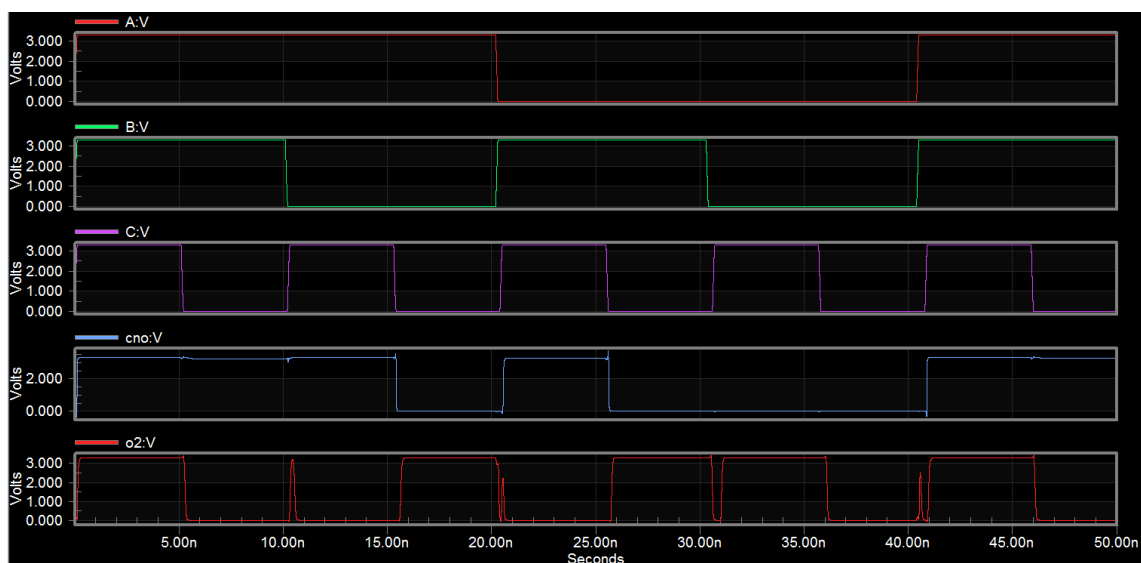


Figura 7. Forma de onda simulada para o somador completo de 1 bit.

4. Somador Paralelo de 2 bits com estrutura de teste *boundary-scan*

Com os módulos definidos e validados através de simulação *SPICE*, o próximo passo consistiu em agrupá-los e fazer o roteamento em uma única célula, conforme o esquemático da Figura 1.

Nessa etapa, os módulos foram sendo criados de forma recursiva, validando-os através de extração e simulação *SPICE*. Assim, os seguintes blocos foram gerados sequencialmente: um multiplexador e um *flip-flop* D; três multiplexadores com seus respectivos *flip-flops* D; e um somador de 2 bits paralelo. Para o arquivo final (somador de 2 bits com estrutura de teste), definiu-se a seguinte operação para a simulação elétrica:

$$\begin{array}{r} \mathbf{C} \quad 0 \quad 1 \quad 0 \\ \mathbf{A} \quad \quad 0 \quad 1 \\ \mathbf{B} \quad + \quad 0 \quad 1 \\ \hline \mathbf{S} \quad \quad 1 \quad 0 \end{array}$$

A Figura 8 apresenta o formato de onda para a soma supracitada.

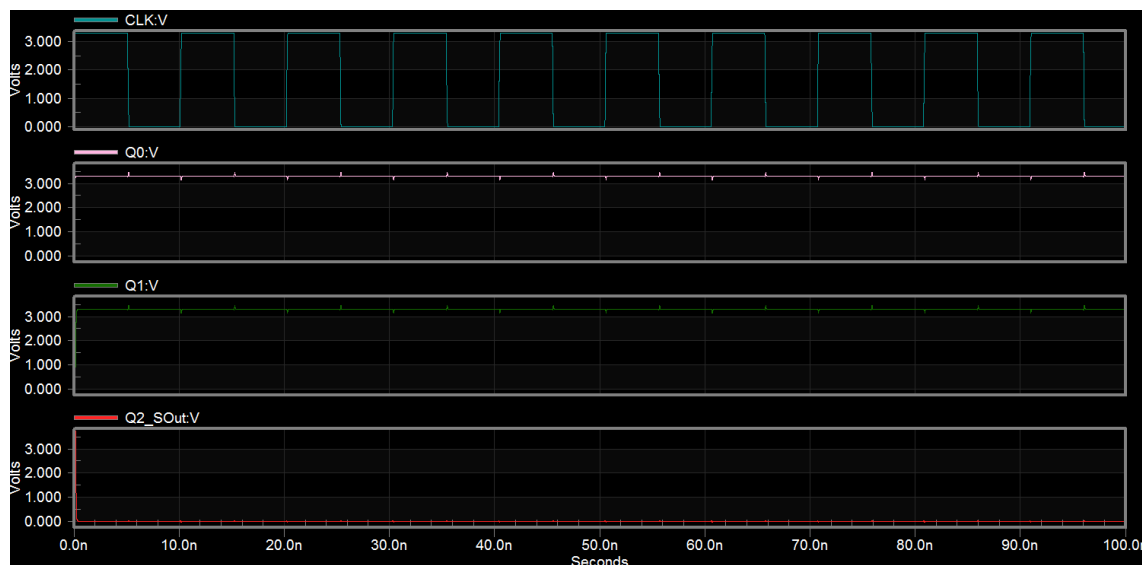


Figura 8. Forma de onda para a saída dos registradores, dado o vetor de entrada estipulado.

4.1. Projeto de teste *scan*

Na estrutura de teste *scan*, os registradores projetados operam em dois modos: i) *normal*, onde o circuito opera como esperado; e ii) *scan*, no qual os registradores são conectados formando uma cadeia e, conseqüentemente, um registrador de deslocamento. Aplicando três ciclos de *clock* no modo *scan*, os três bits de estado do registrador podem ser deslocados. Dessa forma, o modo *scan* fornece observabilidade para cada registrador do sistema [Weste and Harris 2010]. Para simular a estrutura de teste, a *flag TC* do multiplexador foi ativa, de forma que os multiplexadores selecionem o dado de *scan-in*.

4.2. Análise dos tempos de propagação

O atraso de propagação (*time propagation* - t_p) de uma porta determina o quão rapidamente ela responde a uma mudança em alguma de suas entradas. O t_p é medido entre os 50% dos pontos de transição da entrada e saída da forma de onda. Os tempos de propagação de atraso *high-to-low* (H-L) e *low-to-high* (L-H) são definidos conforme a Figura 9 [Rabaey 2003].

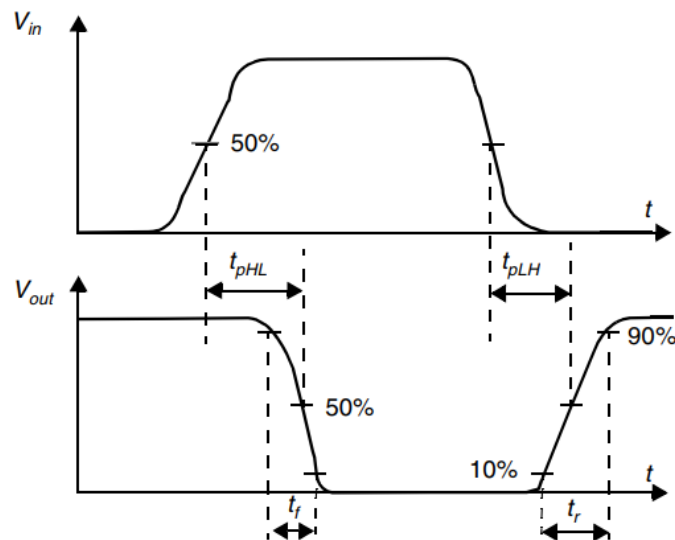


Figura 9. Definição dos tempos de propagação [Rabaey 2003].

A Tabela 4 apresenta os tempos de atraso de propagação para os módulos separados e o circuito final.

Tabela 4. Tempos de atraso de propagação medidos para os circuitos.

Célula	Arco	tp L-H (ps)	tp H-L (ps)	Diferença (ps)	tp médio (ps)
multiplexador	B \rightarrow Y	81,30	72,02	9,28	76,66
flip-flop D	D \rightarrow Q	217,50	107,20	110,3	163,9
somador de 1 bit	C \rightarrow S	361,96	395,44	33,48	378,70
circuito final	C ₀ \rightarrow Q ₂	1,01ns*	910,77	-	-

5. Conclusão

Este trabalho apresentou o projeto em nível de síntese lógica e física de um somador paralelo de 2 bits com estrutura de teste *boundary-scan*. Para validação dos resultados, simulações *SPICE* dos blocos foram apresentadas, tanto no modo de operação normal, quanto no modo *scan*.

Referências

- Rabaey, J. M. (2003). *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 2nd edition.
- Weste, N. and Harris, D. (2010). *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison-Wesley Publishing Company, USA, 4th edition.

Apêndice

A) Multiplexador 2:1

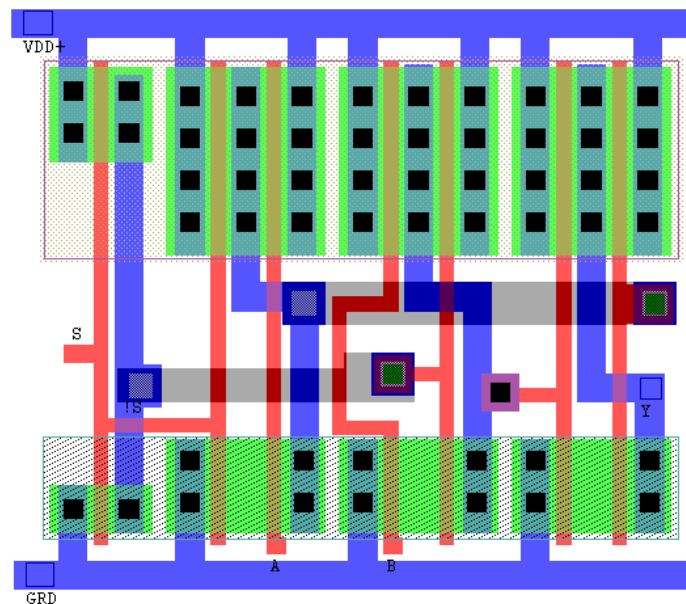


Figura 10. *Layout* do multiplexador 2:1.

B) Flip-Flop D

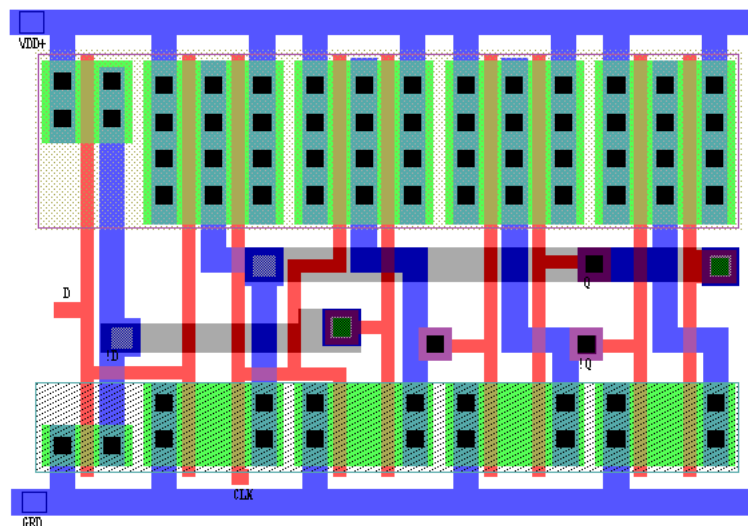


Figura 11. *Layout* do flip-flop D.

C) Somador Completo de 1 bit

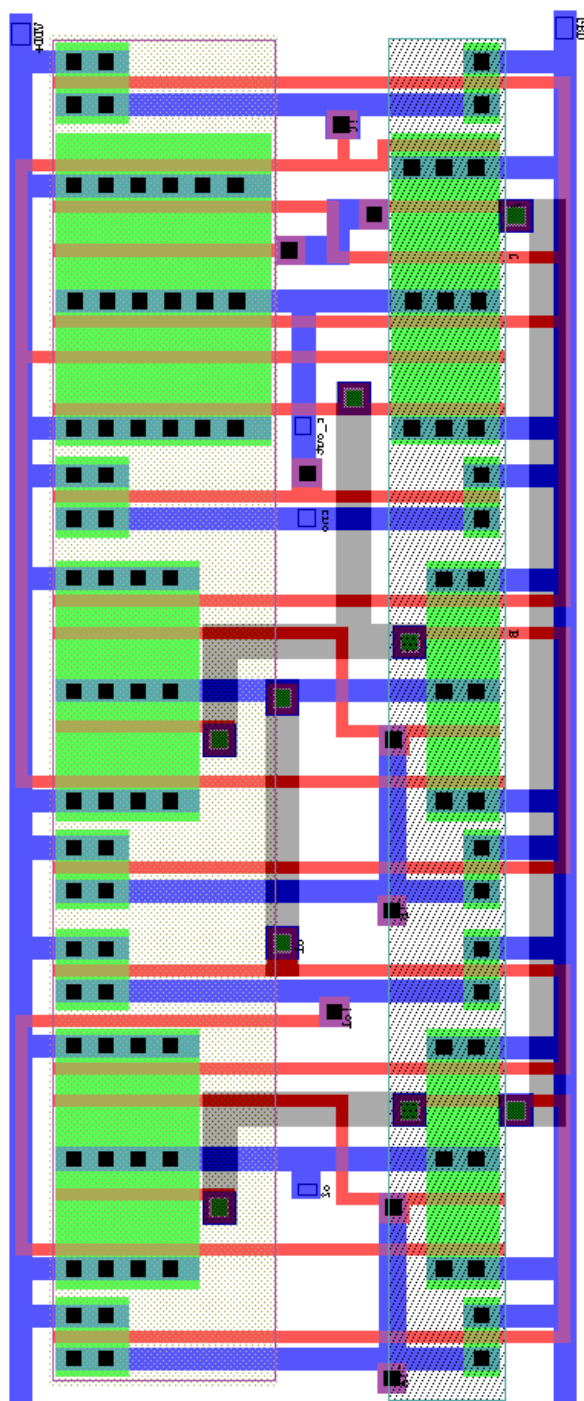


Figura 12. *Layout* do somador completo de 1 bit.

D) Circuito Final

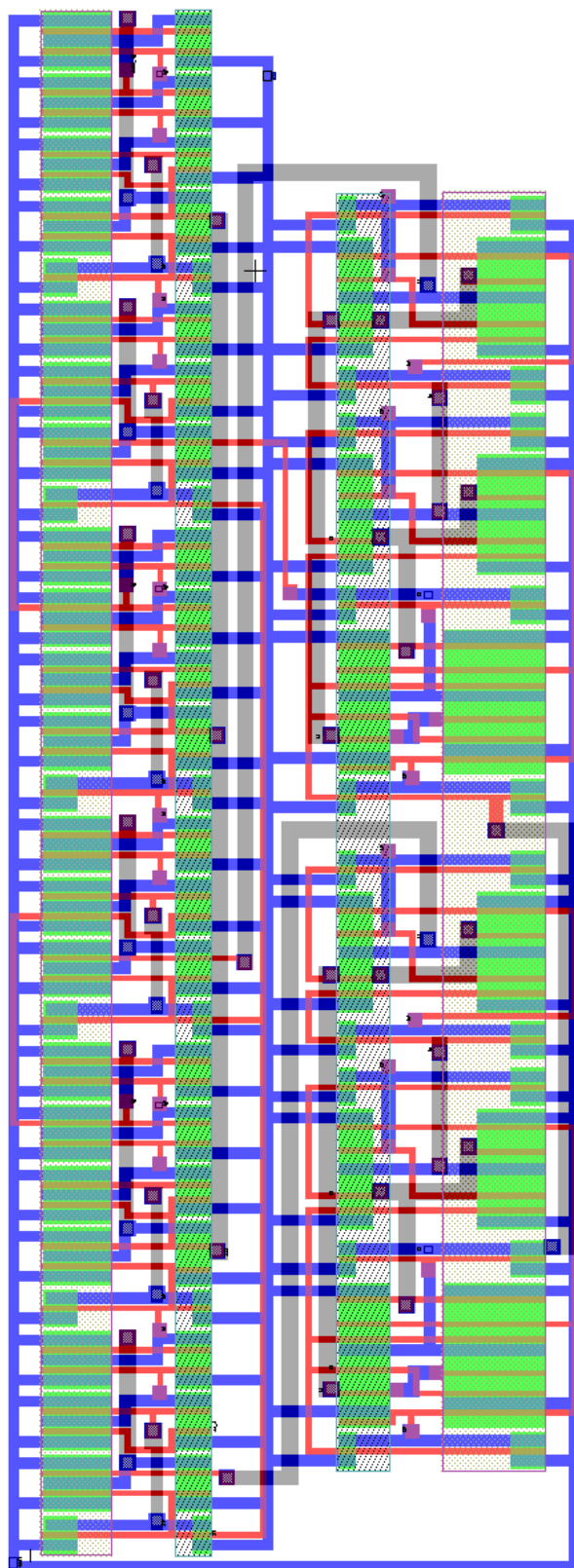


Figura 13. *Layout* do circuito final.