

Trabalho I: Implementação e Simulação em *Spice* de um Somador Paralelo de 4 bits

Plínio Finkenauer Junior¹

¹Programa de Pós-Graduação em Computação
Centro de Desenvolvimento Tecnológico
Universidade Federal de Pelotas – UFPel

pfinkenauer@inf.ufpel.edu.br

Resumo. Este relatório apresenta a implementação SPICE de um somador paralelo de 4 bits a partir da instanciação de somadores completos de 1 bit e um meio somador. A topologia utilizada para representação das funções booleanas se baseia em Binary Decision Diagram (BDD). Para avaliação dos resultados, simulações SPICE são exibidas com seus respectivos formatos de onda. Os dados de atraso de propagação crítico e potência dinâmica para a soma e carry-out também são apresentados.

1. Introdução

Este trabalho envolve a implementação e validação em SPICE de um somador paralelo de 4 bits, conforme o esquemático apresentado na Figura 1. O bloco vermelho representa o módulo de um meio somador, enquanto os blocos azuis simbolizam os somadores completos. A tecnologia (nodo) de implementação adotada consiste na *Predictive Technology Model* (PTM) 45nm.

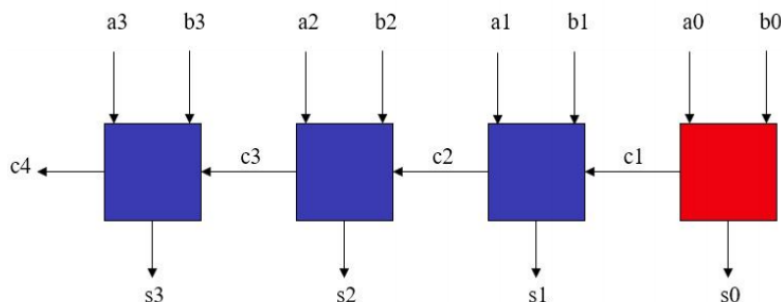


Figura 1. Esquemático de Blocos

2. Metodologia

As redes de transistores para as portas lógicas que produzem a saída e o *carry-out* dos somadores foram geradas a partir da ferramenta SwitchCraft. Para isso, utilizou-se as expressões lógicas definidas como entrada na ferramenta.

2.1. Topologia Utilizada

A topologia utilizada para a geração das portas lógicas foi o Diagrama de Decisão Binária (*Binary Decision Diagram* - BDD). BDDs são estruturas de dados para representação de funções booleanas e uma extensão das Árvore de Decisão Binária [Pfenning 2010]. BDDs possibilitam a eliminação de resultados repetidos e redundantes.

2.2. Meio-Somador

As expressões para a saída e *carry-out* do meio somador são definidas nas Equações 1 e 2, respectivamente. A Tabela 1 apresenta a tabela-verdade para este módulo.

$$s = (\bar{a} * b) + (a * \bar{b}) \quad (1)$$

$$c = a * b \quad (2)$$

Tabela 1. Tabela-verdade do meio somador.

A	B	S	Cout
1	1	0	1
1	0	1	0
0	1	1	0
0	0	0	0

Com base nas equações supracitadas, a rede de transistores para as saídas foi gerada, utilizando a topologia BDD. A Figura 2 apresenta o diagrama produzido para o meio somador, com os planos P e N. A rede gerada para a saída está na Figura 2(a), enquanto a figura 2(b) expõe a rede para a equação do *carry-out*.

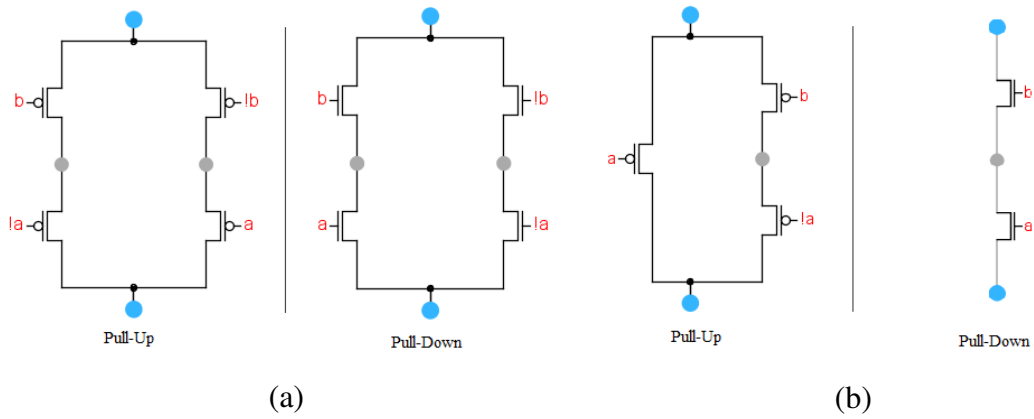


Figura 2. Rede de transistores gerada para o meio somador.

2.2.1. Dimensionamento

Para todos os transistores, o *length* (L) utilizado foi 50nm. O tamanho (W) dos transistores foi estimado da seguinte forma:

$$w = \begin{cases} w_{min} * n_{serie} * \lambda, & \text{se } PMOS, \\ w_{min} * n_{serie}, & \text{se } NMOS. \end{cases} \quad (3)$$

Onde n_{serie} equivale ao número de elementos em série em dado plano, $\lambda = 1,8$ (conforme definido em aula) e $W_{min} = 0,1$ (largura mínima do canal de transistor para PTM 45nm). Assim,

- **PMOS (saída)** = $0,1\mu * 2 * 1,8 = 0,36\mu m$
- **NMOS (saída)** = $0,1\mu * 2 = 0,2\mu m$
- **PMOS (carry)** = $0,1\mu * 2 * 1,8 = 0,36\mu m$
- **NMOS (carry)** = $0,1\mu * 2 = 0,2\mu m$

A Figura 5 apresenta a forma de onda simulada para o meio somador. Os resultados obtidos são equivalentes à tabela-verdade definida acima.

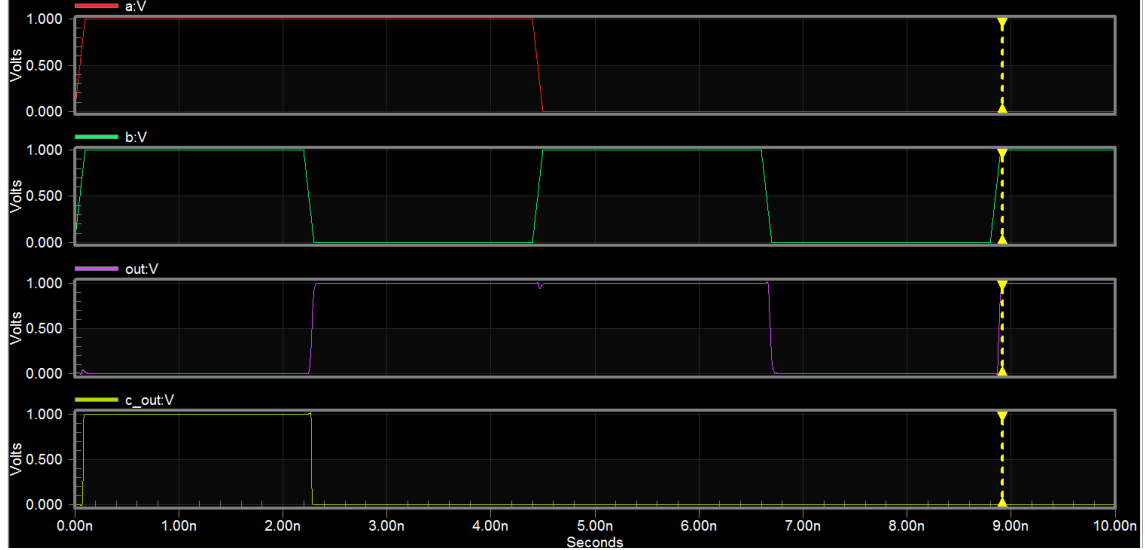


Figura 3. Forma de onda simulada para o meio somador.

2.3. Somador Completo de 1 bit

De forma análoga ao meio somador, as expressões para a saída e *carry-out* do somador completo são definidas nas Equações 4 e 5, respectivamente. A Tabela 2 apresenta a tabela-verdade para este bloco.

$$s = (\bar{a} * \bar{b} * c_{in}) + (\bar{a} * b * \bar{c}_{in}) + (a * \bar{b} * \bar{c}_{in}) + (a * b * c_{in}) \quad (4)$$

$$c = (a * b) + (a * c_{in}) + (b * c_{in}) \quad (5)$$

Tabela 2. Tabela-verdade do somador completo.

A	B	Ci	S	Cout
1	1	1	1	1
1	1	0	0	1
1	0	1	0	1
1	0	0	1	0
0	1	1	0	1
0	1	0	1	0
0	0	1	0	0
0	0	0	1	0

A partir das equações 4 e 5, a rede de transistores para as saídas foi gerada, utilizando a topologia BDD. A Figura 4 demonstra o diagrama produzido para o somador completo, com os planos P e N. A rede gerada para a saída está na Figura 4(a), enquanto a figura 4(b) apresenta a rede para a equação do *carry-out*.

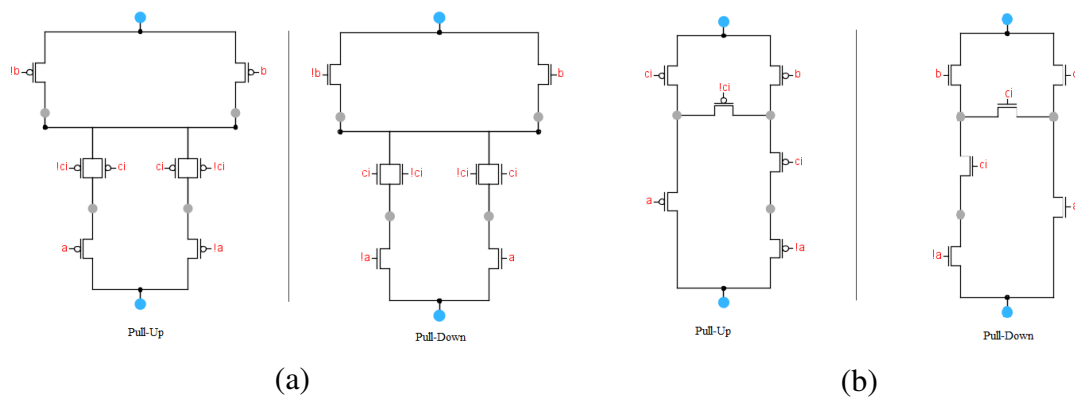


Figura 4. Rede de transistores gerada para o somador completo.

2.3.1. Dimensionamento

Semelhante à metodologia adotada para o meio somador, no somador completo, o L utilizado para os transistores foi de 50nm . O tamanho (W) dos transistores também foi estimado através da Equação 3:

- **PMOS (saída)** = $0,1\mu * 3 * 1,8 = 0,54\mu\text{m}$
- **NMOS (saída)** = $0,1\mu * 3 = 0,3\mu\text{m}$
- **PMOS (carry)** = $0,1\mu * 4 * 1,8 = 0,72\mu\text{m}$ (4 transistores em série representam o caminho crítico, dado pela ponte Wheastone)
- **NMOS (carry)** = $0,1\mu * 4 = 0,4\mu\text{m}$ (4 transistores em série representam o caminho crítico, dado pela ponte Wheastone)

A Figura 5 apresenta as formas de onda geradas para o somador completo. Os resultados obtidos são equivalentes ao expostos na Tabela 2.

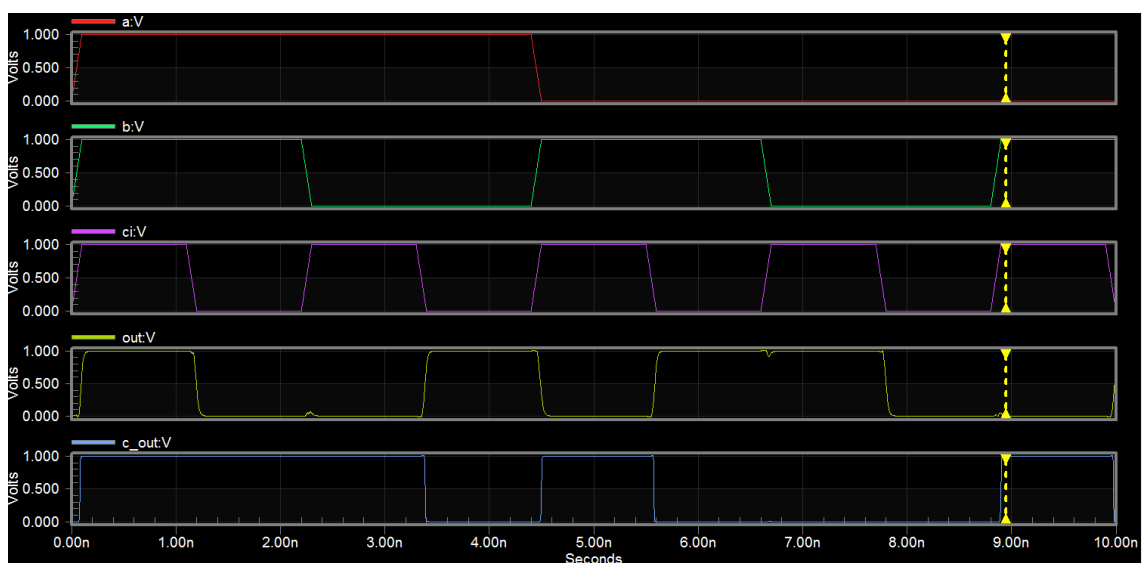


Figura 5. Forma de onda simulada para o somador completo.

3. Somador Paralelo de 4 bits

Com os módulos definidos e validados através de simulação, o próximo passo consistiu em instanciá-los em um único arquivo. Neste, o *carry-out* de uma porta serve como *carry-in* para a porta subsequente. Para verificação dos resultados, definiu-se as seguintes entradas para a simulação elétrica:

A 0111
B 0100

A Tabela 3 apresenta a tabela-verdade para o somador de 4 bits, dado o vetor de entradas estipulado acima.

Tabela 3. Tabela-verdade para o somador de 4 bits com as entradas estipuladas.

	A	B	S	Cout
x ₃	0	0	1	0
x ₂	1	1	0	1
x ₁	1	0	1	0
x ₀	1	0	1	0

3.1. Estímulos de entrada

Com o intuito de verificar os tempos de propagação, os estímulos de entrada foram estabelecidos de forma que houvesse chaveamento (variação) em todos os bits de *carry-out* e de saída do somador durante a simulação. Assim, identificou-se os valores de **A** e **B** que gerem a saída e *carry-out* opostos ao vetor de entrada original. Esses valores estão representados nas somas abaixo.

$$\begin{array}{rcl}
 \mathbf{C} & 0 & 1 & 0 & 0 \\
 \mathbf{A} & & 0 & 1 & 1 & 1 \\
 \mathbf{B} & + & 0 & 1 & 0 & 0 \\
 \hline
 \mathbf{S} & & 1 & 0 & 1 & 1
 \end{array}
 \parallel
 \begin{array}{rcl}
 & 1 & 0 & 1 & 1 \\
 & & 1 & 0 & 1 & 1 \\
 + & 1 & 0 & 0 & 1 \\
 \hline
 & 0 & 1 & 0 & 0
 \end{array}$$

Dessa forma, as entradas foram estipuladas utilizando uma fonte de tensão no modelo *Piecewise Linear* (PWL). Essa fonte permite definir uma forma de onda transiente a partir de um conjunto de valores de tensão em pontos diferentes no tempo [Altium 2017].

3.2. Capacitância e Slope

O *slope* para as transições $0 \rightarrow 1$ e $1 \rightarrow 0$ nas fontes de entrada foi estimado a partir da análise dos tempos de subida (*rising* - *tr*) e descida (*falling* - *tf*) de dois inversores em série, com o dimensionamento mínimo. Assim,

$$\begin{array}{ll}
 tr: & 1,00062078 - 1,0105878 = 0,00438ns \\
 tf: & 2,01100727 - 2,0064927 = 0,00458ns
 \end{array}$$

Portanto, o *slope* foi definido como a média dos dois tempos (0,00448ns). A Figura 6 apresenta a forma de onda com os tempos supracitados.

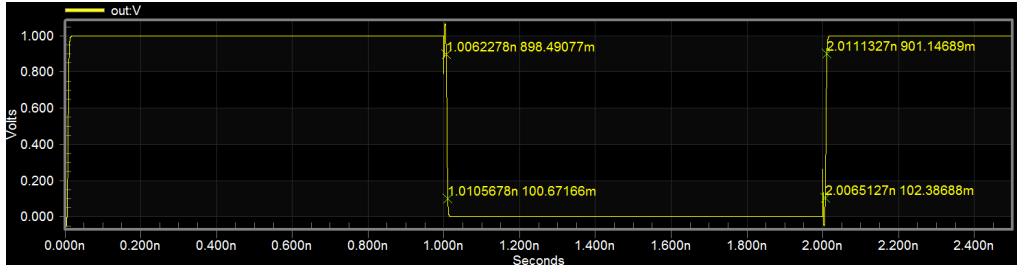


Figura 6. Tempos de *falling* e *rising* para um *buffer* de dois inversores.

O valor para a capacitância nas saídas dos somador foi estipulado através do *fan-out* 4. O *fan-out* determina o número de portas de carga que estão conectadas à saída do gate [Rabaey 2003]. A partir da observação do *fan-out* 4, alterou-se o valor para o capacitor posicionado no inversor até a convergência ser atingida (t_r e t_f do capacitor o mais próximo possível do t_r e t_f da saída do inversor). Com isso, o valor para a capacitância foi estipulado em $1,85\text{fF}$.

3.3. Simulação das formas de onda

As Figura 7 e 8 apresentam as forma de onda para as saídas e *carry-outs* do somador.

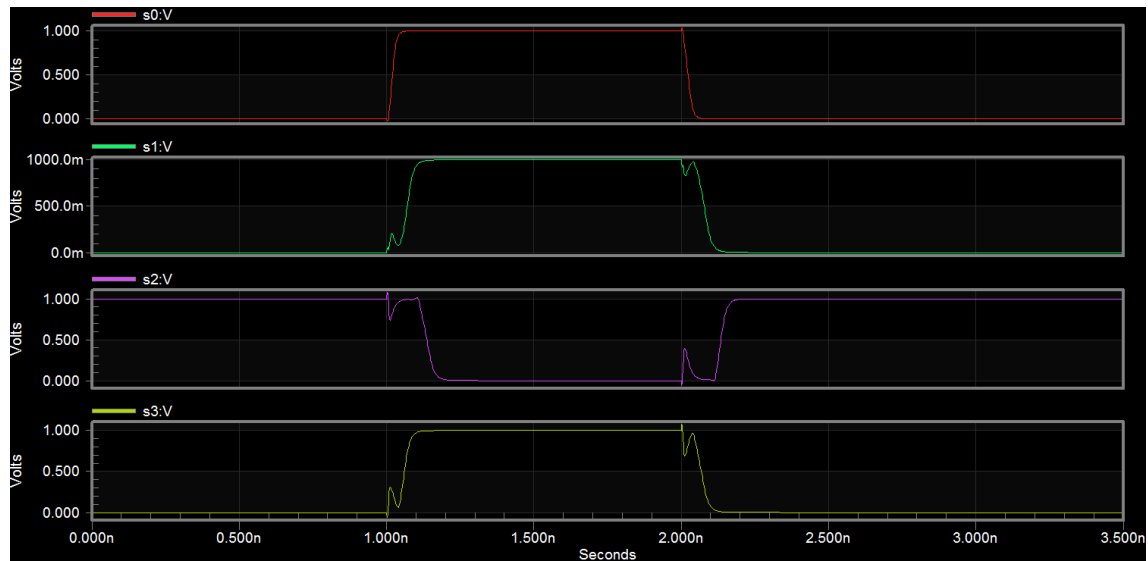


Figura 7. Forma de onda para a saída do somador de 4 bits.

3.4. Potência dissipada

A potência dissipada por um circuito determina a quantidade de energia consumida por operação [Rabaey 2003]. Os valores de potência obtidos para a saída do somador e *carry-out* são demonstrados a partir das equações abaixo:

$$P_{som} = \int_0^T V_{cc} * I(t) dt = -58,18\mu W \quad (6)$$

$$P_{carry} = \int_0^T V_{cc} * I(t) dt = -73,77\mu W \quad (7)$$

$$P_{media} = 39,80\mu W \quad (8)$$

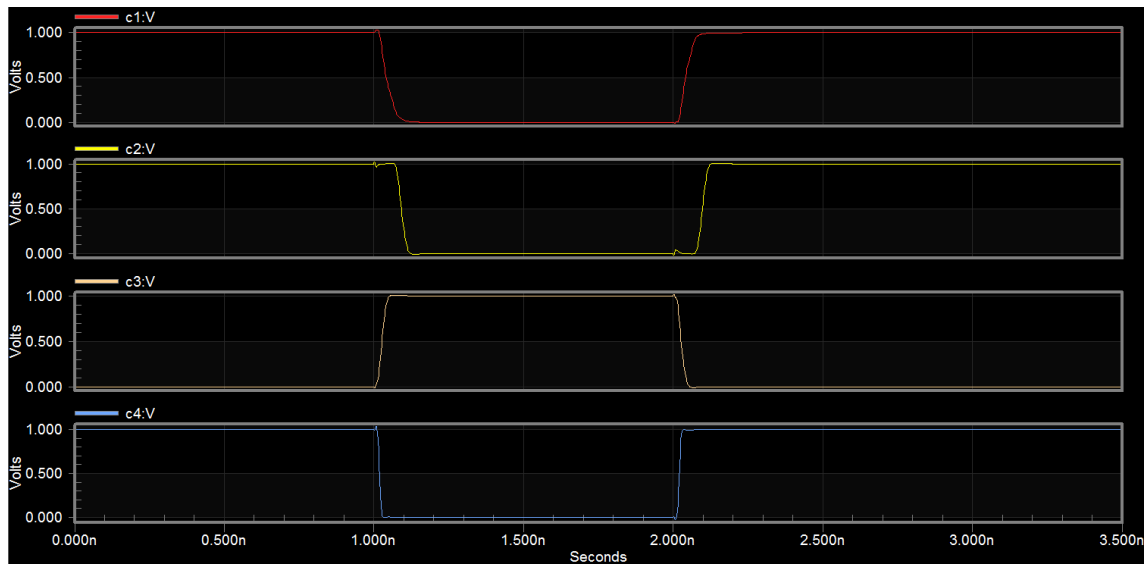


Figura 8. Forma de onda para os *carries* do somador de 4 bits.

3.5. Análise dos tempos de propagação

O atraso de propagação (*time propagation* - t_p) de uma porta determina o quão rapidamente ela responde a uma mudança em alguma de suas entradas. O t_p é medido entre os 50% dos pontos de transição da entrada e saída da forma de onda. Os tempos de propagação de atraso *high-to-low* (H-L) e *low-to-high* (L-H) são definidos conforme a Figura 9 [Rabaey 2003].

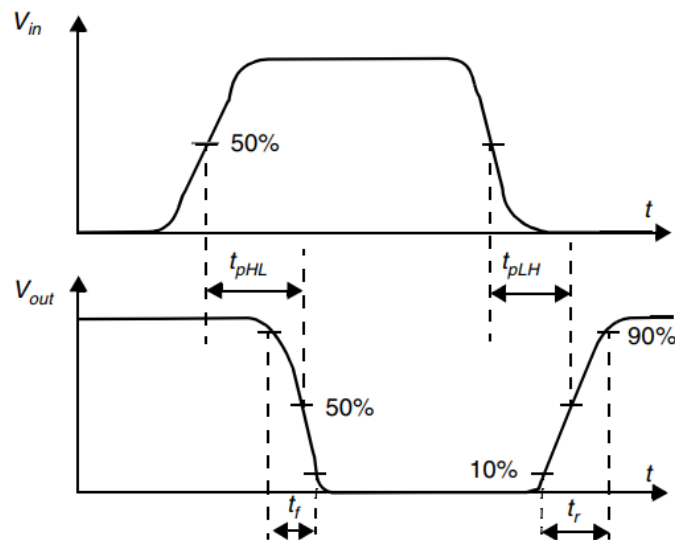


Figura 9. Definição dos tempos de propagação [Rabaey 2003].

Para verificar os atrasos, definiu-se a entrada a_3 como “gatilho” padrão para todos os pontos de saídas a serem mensurados. Isso é viável visto que todas as fontes de entrada foram definidas com o mesmo tempo. A Tabela 4 apresenta os tempos de atraso de propagação para as saídas do somador e *carry-out*.

Tabela 4. Tempos de atraso de propagação medidos para o somador de 4 bits.

Arco (a3 →)	tp L-H (ps)	tp H-L (ps)	Diferença (ps)	tp _{médio} (ps)
s0	17,80	21,12	3,32	19,45
s1	68,40	76,10	7,70	72,25
s2	132,79	135,02	2,23	133,90
s3	58,69	66,47	7,77	62,58
c4	18,68	16,99	1,69	17,84

4. Conclusão

Este trabalho apresentou o projeto de implementação e simulação de um somador paralelo de 4 bits em SPICE. A topologia empregada para representação das funções booleanas foi *Binary Decision Diagram*. Os dados de atraso de propagação indicam que o caminho crítico se dá no segundo somador completo, o que pode ser justificado pelo comportamento do *carry* para a entrada estipulada.

Referências

- Altium (2017). VPWL - Piecewise Linear Voltage Source Model. <https://techdocs.altium.com/display/AMSE/VPWL+-+Piecewise+Linear+Voltage+Source+Model>. [Acessado em 02 de Julho de 2018].
- Pfenning, F. (2010). *Lecture Notes on Binary Decision Diagrams*. Principles of Imperative Computation.
- Rabaey, J. M. (2003). *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 2nd edition.