

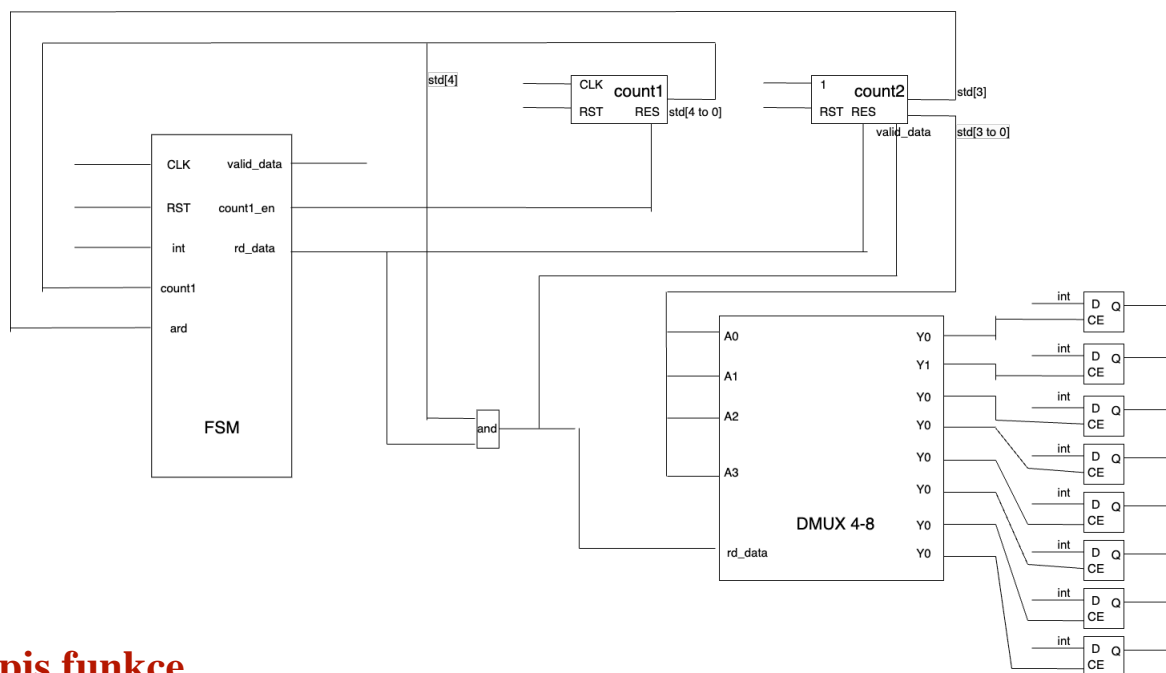
Příloha: Výstupní zpráva

Jméno: Gleb Litvinchuk

Login: xlitvi02

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Podle řízení konečným stavovým automatem (FSM) jsou vypočítány hodinové cykly a počet čtení. V některých stavech automatu jsou čítače resetovány. Po přečtení osmi bitů je vyslán ověřovací signál, aby se potvrdilo, že data byla správně přijata a zpracována.

Má následující porty:

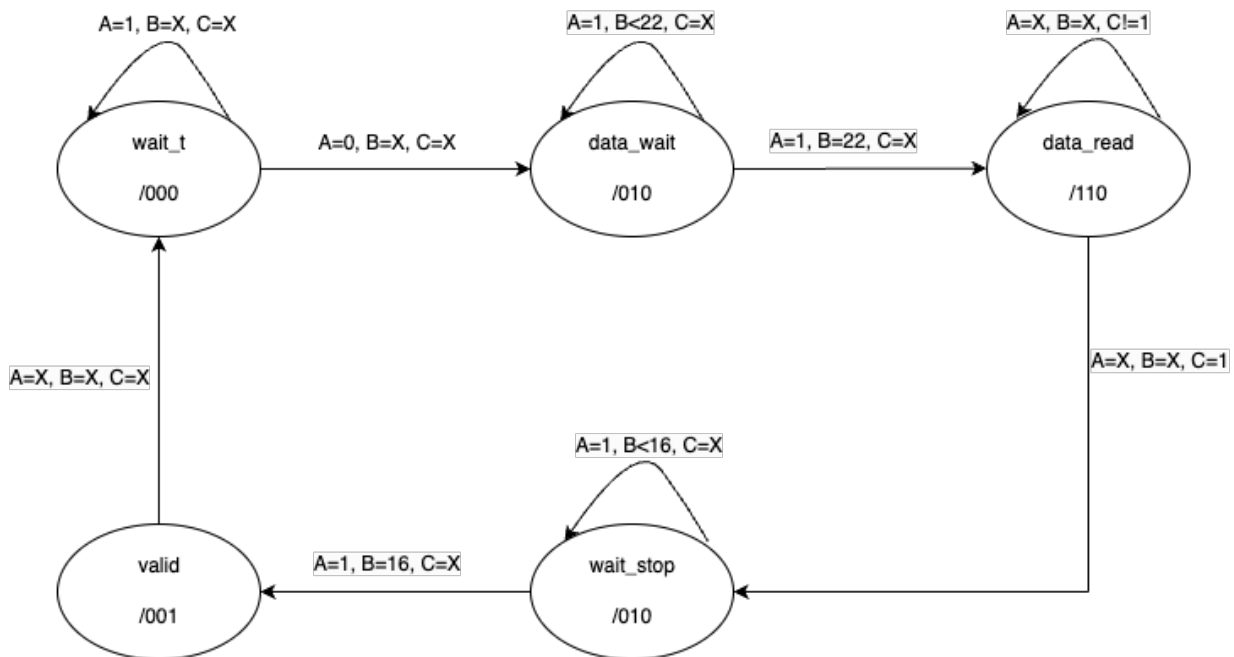
- CLK: vstupní hodinový signál
- RST: reset signál pro vynulování stavů
- DIN: sériově přijatá data
- DOUT: výstupní paralelní data
- DOUT_VLD: výstupní signál, který označuje, zda jsou na výstupu platná data

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: wait_t, data_wait, data_read, wait_stop, valid
- Vstupní signály: A=int, B=count1, C=ard
- Moorovy výstupy: rd_data, count1_en, valid



Popis funkce

V počátečním stavu wait_t čeká automat na startovací bit (nula) ze vstupu int (A); po přijetí startovacího bitu automat změní stav na data_wait. Po změně stavu data_wait automat přečte hodiny (clk) a po přijetí prvního bitu přejde do stavu data_read, zde zapíše jeden bit do registru a inkrementuje druhý čítač (count2). Pokud registr nepřijal 8 bitů, zůstane v režimu data_read. Po přečtení posledního, osmého bitu přejde dávkovač do stavu wait_stop, ve kterém bude čekat na první stop bit. Po přijetí stop bitu do registru přejde dávkovač do režimu valid, kdy vyšle signál na DOUT a valid a vymaže oba parametry.

