



دانشکده مهندسی برق

مدارهای منطقی و سیستم‌های دیجیتال

آزمایش 8 - طراحی، پیاده‌سازی و
تست مدارهای ترتیبی بر روی
FPGA (قسمت دوم)

آزمایش ۸ - طراحی، پیاده سازی و تست مدار های ترتیبی بر روی FPGA (قسمت دوم)

هدف از انجام آزمایش

هدف از این آزمایش پیاده سازی مدارهای ترتیبی پیچیده تر (شامل 7-seg) در FPGA می باشد

قطعات و تجهیزات مورد نیاز در این آزمایش

- برد Zynq (axpz 7010)
- یک عدد کابل USB و سیم پاور برد
- برد کمکی (extention board)
- نرم افزار Vivado 2019.1

۱- پیش مطالعه

با توجه به این که تعداد پین های کنترلی 7-seg محدود است ، نمی توان همه ارقام 7-seg را به طور همزمان روشن کرد. برای حل این مشکل از روش Multiplexing استفاده می کنیم.

نحوه عملکرد Multiplexing

خطوط کنترلی مشترک

در یک نمایشگر چندرقمی 7-seg، خطوط (a تا g) بین تمام ارقام مشترک هستند. به عنوان مثال، پین a تمام ارقام به یک خط متصل می شوند. هر رقم دارای یک خط فعال کننده (selector) جداگانه است که به شما اجازه می دهد آن رقم را روشن یا خاموش کنید.

فعال بودن یک رقم در هر لحظه

در Multiplexing، در هر لحظه فقط یک رقم فعال می شود و بقیه ارقام خاموش هستند. به عنوان مثال، برای نمایش عدد ۵ در رقم اول، پین های مربوطه (a، c، d، f، g) روشن می شوند و خط فعال کننده رقم اول فعال می شود.

تغییر متوالی بین ارقام

پس از یک مدت زمان کوتاه (مثلاً ۲ میلی ثانیه)، رقم اول خاموش شده و رقم دوم روشن می شود، این فرآیند به صورت متوالی برای تمام ارقام ادامه می یابد.

اثر پایداری دید

تغییر سریع بین ارقام (مثلاً چرخه کل ارقام در کمتر از ۲۰ میلی ثانیه) از پدیده پایداری دید استفاده می کند. این پدیده باعث می شود که چشم انسان تصور کند تمام ارقام همزمان روشن هستند، در حالی که در واقعیت این گونه نیست.

پیاده‌سازی سخت‌افزاری

برای پیاده‌سازی سخت‌افزاری باید از یک ماشین حالت استفاده کنید تا:

- به ترتیب خط فعال‌کننده هر رقم را روشن کنید.
- خطوط بخش‌ها را برای نمایش عدد موردنظر تنظیم کنید.
- پس از اتمام تنظیم یک رقم، به رقم بعدی بروید.

۲-پیش‌گزارش

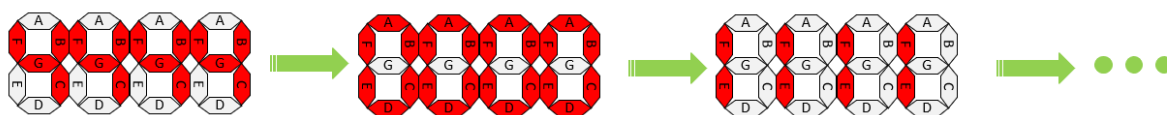
پیش از ورود به آزمایشگاه حتما هر ۵ بخش پیش‌گزارش را به طور کامل مطالعه و انجام دهید.

۱.۲

با توجه به آموخته‌هایتان در آزمایش‌های قبلی، کد وریلاگ ماژولی را بنویسید که یک عدد چهاررقمی با ارقام یکسان را در چهار 7-seg نمایش دهد.

۲.۲

کد وریلاگ ماژولی را بنویسید که شماره دانشجویی شما را از چپ به راست روی ارقام 7-seg به ترتیب نمایش دهد. توجه کنید که هر رقم از شماره دانشجویی باید به قدری روی 7-seg نمایش داده شود که به راحتی قابل خواندن باشد. این نمایش باید به صورت نامتناهی انجام شود به این صورت که پس از یک بار پایان نمایش شماره دانشجویی، شماره دانشجویی دوباره از اول نمایش داده شود. در شکل زیر می‌توانید فرآیندی که باید انجام شود را به صورت خلاصه مشاهده کنید.



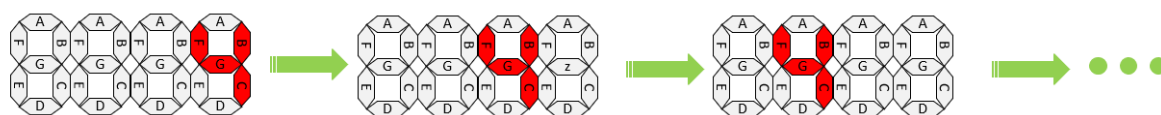
شکل ۱: نمایش شماره دانشجویی در ارقام 7-seg

۳.۲

کد وریلاگ ماژولی را بنویسید که یک عدد چهاررقمی دلخواه (ارقام این عدد نباید یکسان باشند) را در چهار 7-seg به صورت ثابت نمایش دهد.

۴.۲

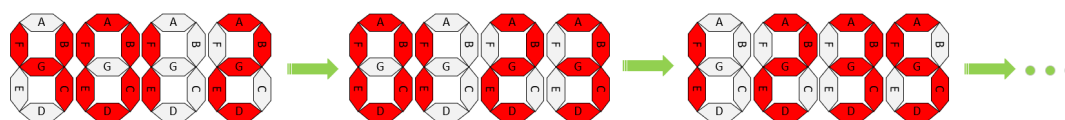
کد وریلاگ ماژولی را بنویسید یکان شماره دانشجوییتان را بر روی رقم سمت راست 7-seg نمایش دهد و سپس این رقم بر روی 7-seg ها به سمت راست حرکت کند. در شکل زیر می توانید فرآیندی که باید انجام شود را به صورت خلاصه مشاهده کنید.



شکل ۲: چرخش یک عدد در ارقام 7-seg

۵.۲

کد وریلاگ ماژولی را بنویسید که شماره دانشجوییتان را از چپ به راست بر روی هر چهار 7-seg نمایش دهد به شکلی که در هر لحظه چهار رقم آن نمایش داده شود و سپس به سمت چپ حرکت کند. این نمایش باید بصورت نامتناهی انجام شود. در شکل زیر می توانید فرآیندی که باید انجام شود را به صورت خلاصه مشاهده کنید. به عنوان مثال اگر شماره دانشجویی شما ۴۰۱۲۳۵۶۷۸ باشد:



شکل ۳: نمایش شماره دانشجویی به صورت چرخشی

۳- دستورکار

۱.۳

کد مازول طراحی شده در بخش ۱.۱ پیش گزارش را سنتز و روی بورد پیاده سازی کرده و نتایج را نمایش دهید.

۲.۳

کد مازول طراحی شده در بخش ۲.۱ پیش گزارش را سنتز و روی بورد پیاده سازی کرده و نتایج را نمایش دهید.

۳.۳

کد مازول طراحی شده در بخش ۳.۱ پیش گزارش را سنتز و روی بورد پیاده سازی کرده و نتایج را نمایش دهید.

۴.۳

کد مازول طراحی شده در بخش ۴.۱ پیش گزارش را سنتز و روی بورد پیاده سازی کرده و نتایج را نمایش دهید.

۵.۳

کد مازول طراحی شده در بخش ۵.۱ پیش گزارش را سنتز و روی بورد پیاده سازی کرده و نتایج را نمایش دهید.

۶.۳

در این بخش قصد داریم که یک تایمر بر روی 7-seg ها درست کنیم، به طوری که از راست به چپ رقم اول نشان دهنده دهم ثانیه، رقم دوم نشان دهنده یکان ثانیه، رقم سوم نشان دهنده دهگان ثانیه و رقم چهارم نشان دهنده دقیقه باشد. در این مدار نیاز است که ابتدا با تقسیم فرکانس کلاک اصلی مدار، کلاک 10Hz تولید کنیم، و با استفاده از آن چهار شمارنده به ازای هر رقم داشته باشیم، که هر وقت شمارنده رقم سمت راست به رقم نهایی خود رسید، یکی به شمارنده اضافه شود. مدار باید به صورت مازول وار و به شکل زیر پیاده سازی شود:

ماژول clocking_wizard: این مازول باید کلاک اصلی مدار را گرفته و در خروجی کلاکی با فرکانس ۱۰ هرتز تولید کند. از این به بعد این کلاک را به ورودی کلاک رجیسترهای مدار timer متصل نمایید.

ماژول counter: یک مازول counter درست کنید که N را در ورودی بگیرد و از صفر تا N (برای timer از ۰ تا ۹) را بشمارد و آن را در خروجی بدهد. این مازول باید یک ورودی enable داشته باشد و یک خروجی done. اولاً این مدار در حالتی به شمارش ادامه می دهد که enable یک باشد در غیر این صورت خروجی شمارنده با کلاک افزایش نیابد، ثانیاً اگر خروجی شمارنده برابر N باشد و هم زمان enable هم یک باشد، خروجی done را یک کند، در غیر این صورت صفر باشد.

در این قسمت با چهار بار instantiate کردن مازول counter به ازای هر رقم، و متصل کردن آنها به همدیگر به صورت یک زنجیره (شبهه مثال BCD Counter که در کلاس درس به آن پرداخته شده است) تایمر را بسازید. خروجی شمارنده ها را در 7-seg ها نمایش دهید.

۴- گزارش کار

۱.۴

در خصوص آنچه از این آزمایش آموختید گزارش ۱ الی ۲ صفحه ای بنویسید.

۲.۴

دیدگاه خود نسبت به بخشهای مختلف آزمایش را به انضمام پیشنهادهایتان بنویسید.