

به نام خدا

آزمایش چهارم مکرر

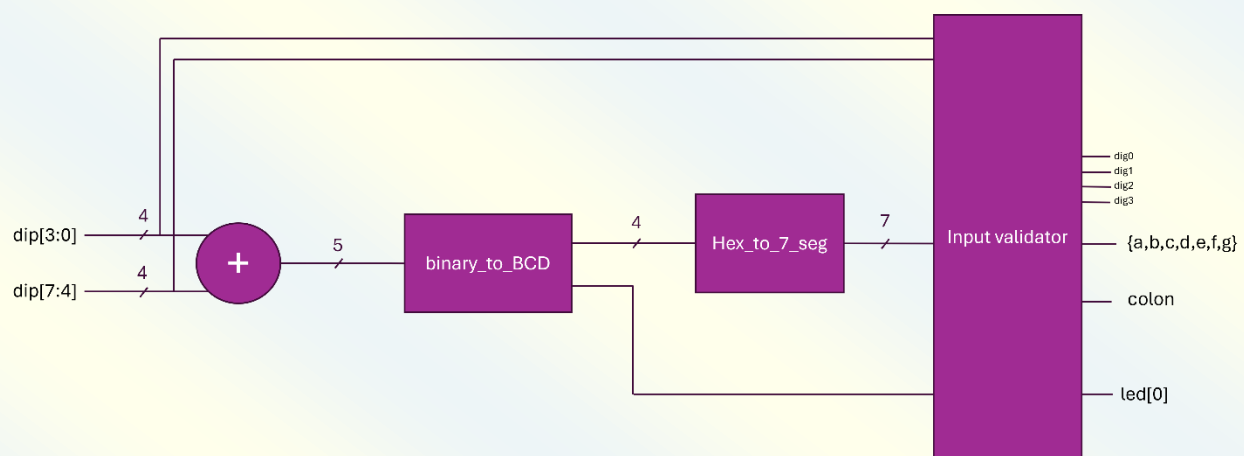
۱. در این بخش می خواهیم عدد مشخص شده در ۸ دیپ سوئیچ موجود در برد extension که به صورت one hot وارد شده است را در یکی از 7-Seg های آن نشان دهیم. برای این کار از یک انکودر ۸ به ۳ کمک بگیرید و مدار را با در نظر گرفتن حالت های زیر طراحی کنید و با استفاده از برد FPGA آن را تست کنید.

- i. اگر هیچ کدام از دیپ سوئیچ ها یک نبودند، تمام led های 7-Seg ها خاموش باشند.
- ii. اگر یکی از آن ها فعال بودند، ورودی مجاز داده ایم و عدد انکود شده در یکی از 7-Seg ها نمایش داده شود. مثلاً در صورتی که دیپ سوئیچ ها به شکل ۰۰۱۰۰۰۰۰ باشند (رقم سمت راست lsب است)، عدد ۵ در 7-Seg نشان داده شود.
- iii. اگر دو سوئیچ یا بیشتر یک بودند، دو نقطه ی وسط 7-Seg ها به عنوان خطا روشن، یا تمام 7-Seg ها حرف E را نمایش دهند.

۲. یک priority encoder ۸ به ۳ را توسط وریلاگ توصیف کرده و با استفاده از دیپ سوئیچ ها و یکی از 7-Seg ها آن را صحت سنجی کنید.

- ۳. یک ماجول دیکودر ۳ به ۸ طراحی کنید و توسط LED ها و دیپ سوئیچ های موجود آن را تست کنید.
- ۴. برای این بخش یک جمع کننده BCD طراحی می کنیم. این جمع کننده، دو ورودی ۴ بیتی خود را که هر کدام نشان دهنده ی یک عدد تک رقمی دسیمال است، از ۸ دیپ سوئیچ برد extension می گیرد و پس از انجام عملیات جمع، یکان خروجی را در یکی از 7-Seg ها و دهگان را در یکی از led ها نمایش می دهد. دقت کنید که بازه ی مجاز هر کدام از ورودی ها [0,9] است، و در نتیجه خروجی می تواند در

بازه ی [0,18] قرار گیرد و دهگان آن فقط می تواند یک باشد. اگر هر کدام از ورودی ها معتبر نبود، یعنی ده یا بیشتر از ده بود، یکی از 7-Seg های طرفین نماد E را به عنوان خطا نشان دهد. اگر هر دو ورودی نامعتبر بودند دو E در طرفین نمایش داده شود. توجه کنید که برای تبدیل عدد باینری به BCD، مجاز به استفاده از نماد تقسیم (/) یا باقیمانده (%) در وریلاگ نیستید و کد وریلاگی که برای این مبدل زدید و RTL schematic آن توسط دستیار آموزشی بررسی می شود.



۵. مداری طراحی کنید که دو عدد ۴ بیتی A و B را از طریق دیپ سوئیچ ها بگیرد و سه خروجی زیر را در $led[2:0]$ تولید کند:

i. با فرض $unsigned$ بودن A و B: $led[0] = A > B$

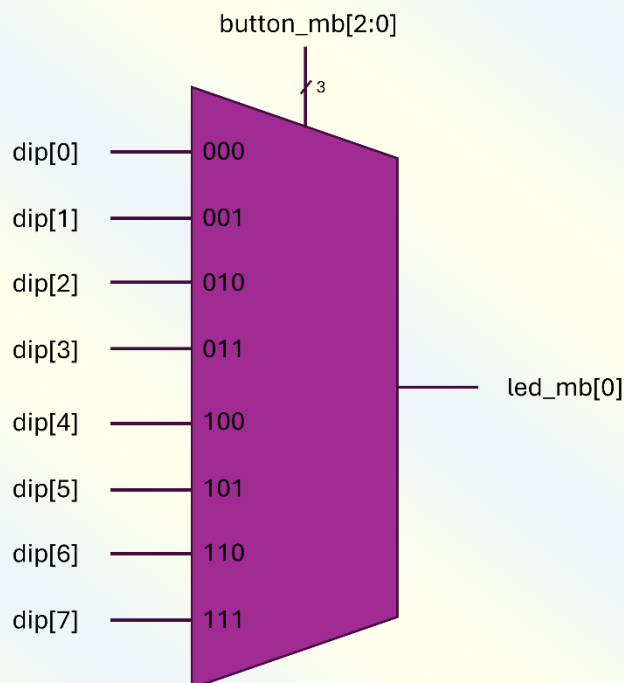
ii. با فرض $signed$ (2's complement) بودن A و B: $led[1] = A > B$

iii. $led[2] = A == B$

۶. یک مالتی پلکسر ۸ به ۱ را در وریلاگ توصیف کنید به طوری که dip ها را به led_mb[0] در برد اصلی

ماکس کند. سلکتور سه بیتی این مالتی پلکسر را از سه تا از کلیدهای روی برد اصلی بگیرید، مثلا

button_mb[2:0].



مدار را بر روی برد پیاده سازی کنید و به ازای dip[7:0] های ثابت، ورودی سلکتور ماکس را تغییر دهید و مدارتان را صحت سنجی کنید.

مداری که پیاده سازی کرده اید، یک گیت سه ورودی configurable یا programmable است که ورودی های آن سه دکمه ی روی برد اصلی است و خروجی آن led_mb[0] است. با تغییر دادن دیپ سوئچ ها گیت ساخته شده را طوری configure می کنید که یک and سه ورودی، xor سه ورودی، or سه ورودی یا به طور کلی هر ۲۵۶ حالت دلخواهی که یک گیت سه ورودی میتواند داشته باشد را پیاده سازی کند. به این گیت configurable، LUT سه ورودی می گویند (LUT3). اساس کار FPGA و گیت های پایه ی آن همین LUT ها هستند و تقریبا تمام مدار های ترکیبی که توسط وریلاگ در Vivado توصیف می کنید، به این گیت ها تبدیل می شوند.

با تنظیم LUT ای که ساخته اید توسط دیشپ سوئیچ ها، مدار یک xor سه ورودی، یک nand سه ورودی و یک full adder را پیاده سازی کنید و با دکمه ها و led ای موجود در برد اصلی آن را صحت سنجی کنید. برای full adder فقط خروجی carry out را در خروجی نشان دهید.