



计算机组成原理

第四章 存储子系统



信息与软件工程学院
School of Information and Software Engineering

主要 内 容

- 1 概述
- 2 半导体存储器
- 3 主存储器组织
- 4 磁表面存储器





- 01. 主存储器的逻辑设计
- 02. 基本逻辑门及译码器的片选
- 03. 动态存储器的刷新
- 04. 主存储器的校验方法

主存储器的组织涉及到这样一些方面：

(1) 存储器基本逻辑设计：半导体存储器的逻辑主要是寻

址逻辑，即如何按地址选择芯片与片内单元；

(2) 如果采用DRAM，还需考虑动态刷新问题；

(3) 所构成的主存如何与CPU连接、匹配；

(4) 主存校验，如何保证存取信息的正确性。



一、主存储器的逻辑设计

1、设计主存时，需要注意两点：

- 1) 需先明确所要求的总容量这一技术指标，即字数×位数。字数指可编址单元数，常简称单元数；位数指每个编址单元的容量（即位数）。模型机中，主存采用按字编址，那么每个编址单元有16位（两个字节、一个字）。
- 2) 需要确定可供选用的存储芯片，即什么类型、型号的存储芯片，每片的容量是多少。每片容量通常低于总容量，就需要用若干块芯片组成。相应地，可能存在位数与字数的扩展问题。

一、主存储器的逻辑设计

①字数(编址空间)扩展

如果每片的字数不够，需用若干芯片组成总容量较大的存储器，称为字数扩展。

②位扩展

为了实现位扩展，各芯片的数据输入 / 输出线相拼接，如每片分别与 1 位数据线相连，拼接为 8 位。而编址空间相同的芯片，地址线与片选信号分别相同，可将它们的地址线按位并联然后与地址总线相连，共用一个片选信号。

高位地址译码产生若干不同片选信号选择芯片；低位地址线直接送往各芯片，以选择片内的某个单元。

一、主存储器的逻辑设计

2、举例

例1. 用2114 ($1K \times 4b$) SRAM芯片组成容量为 $4K \times 8b$ 的存储器。地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低), 读/写信号线 R/W 。问: 给出芯片地址分配与片选逻辑, 并画出M框图。

解: ①计算芯片数

a. 先扩展位数, 再扩展单元数。

$$\begin{array}{l} 2\text{片 } 1K \times 4b \longrightarrow 1K \times 8b \\ 4\text{组 } 1K \times 8b \longrightarrow 4K \times 8b \end{array} > 8\text{片}$$

或b. 先扩展单元数, 再扩展位数。

$$\begin{array}{l} 4\text{片 } 1K \times 4b \longrightarrow 4K \times 8b \\ 2\text{组 } 4K \times 4b \longrightarrow 4K \times 4b \end{array} > 8\text{片}$$



一、主存储器的逻辑设计

②地址分配与片选逻辑

存储器寻址逻辑 芯片内的寻址系统（二级译码）
芯片外的地址分配与片选逻辑

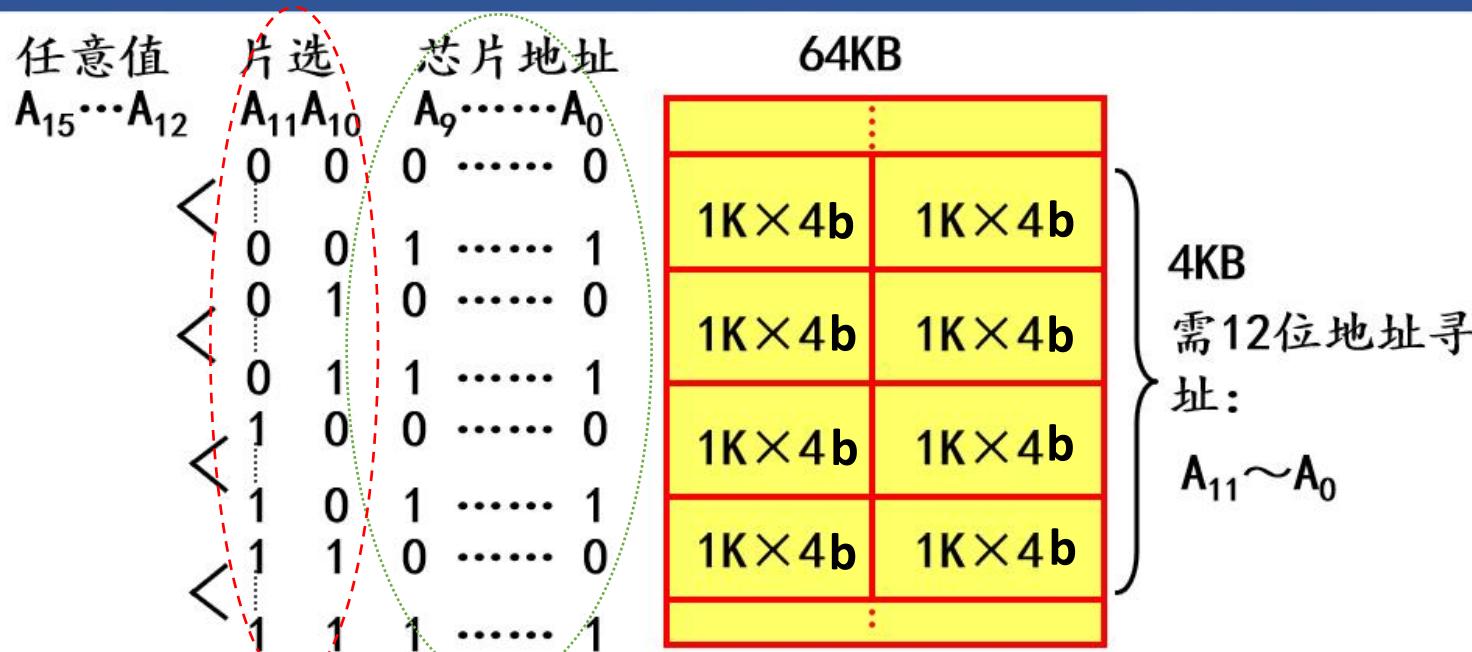
为芯片分配哪几位地址，以便
寻找片内的存储单元

由哪几位地址形成芯片选择
逻辑，以便寻找芯片

存储空间分配：

4KB存储器在16位地址空间（64KB）中占据任意连续区间。

一、主存储器的逻辑设计



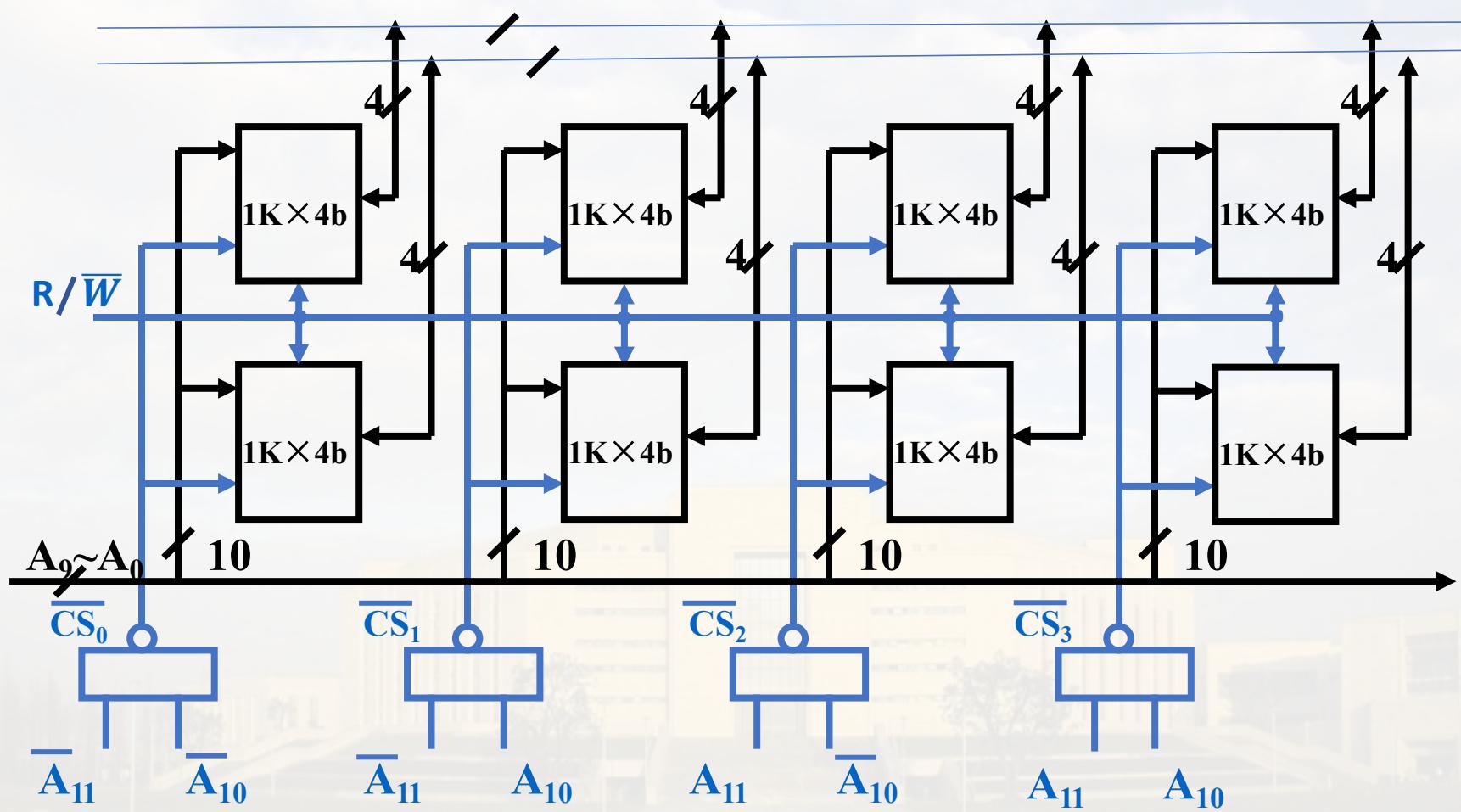
低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
1K	$A_9 \sim A_0$	CS_0	$\overline{A}_{11}\overline{A}_{10}$
1K	$A_9 \sim A_0$	CS_1	$\overline{A}_{11}A_{10}$
1K	$A_9 \sim A_0$	CS_2	$A_{11}\overline{A}_{10}$
1K	$A_9 \sim A_0$	CS_3	$A_{11}A_{10}$

一、主存储器的逻辑设计

③连接方式

- a. 扩展位数
- b. 扩展单元数
- c. 连接控制线
- d. 形成片选逻辑电路





一、主存储器的逻辑设计

例2. 某半导体存储器，按字节编址。其中， $0400H \sim 07FFH$ 为ROM区，选用EPROM芯片（1KB/片）； $0800H \sim 13FFH$ 为RAM区，选用RAM芯片（2KB/片和1KB/片）。地址总线 $A_{15} \sim A_0$ （低）。问：给出地址分配和片选逻辑，并画出M框图。

解：①计算容量和芯片数：3KB, 共3片

ROM区：需要1KB

RAM区：需要3KB

选用EPROM芯片：1KB/片 选用RAM芯片：2KB/片+1KB/片

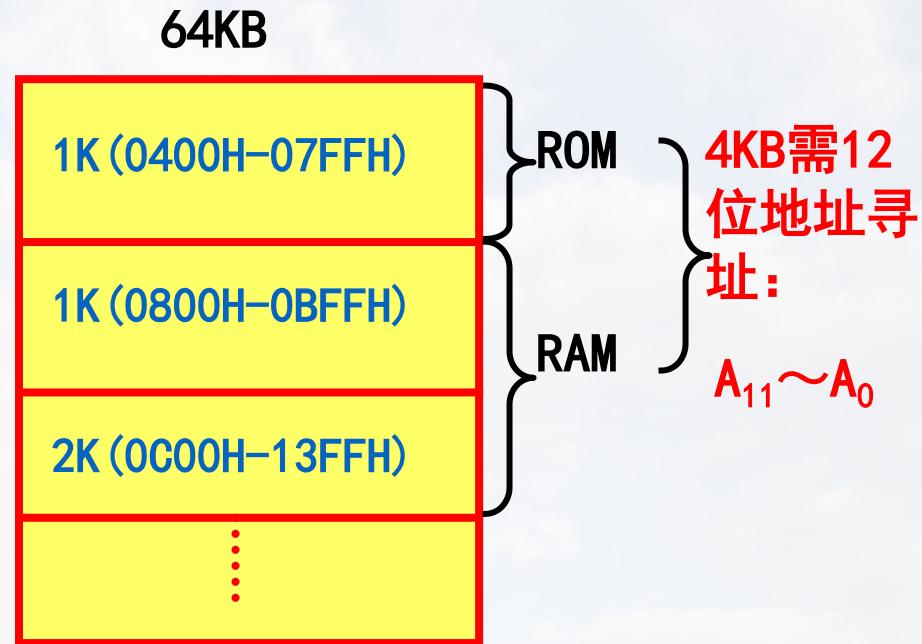
②地址分配与片选逻辑

存储空间分配：先安排小容量芯片（放地址低端），再安排大容量芯片，便于拟定片选逻辑。

一、主存储器的逻辑设计

$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 \dots A_0$

0	0	0	0	0	1	0	0
0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	0
0	0	0	0	1	0	1	1
0	0	0	0	1	1	0	0
0	0	0	1	0	0	1	1



芯片	芯片地址	片选信号	片选逻辑
1K	$A_9 \sim A_0$	CS_0	$A_{11} \overline{A}_{10}$
1K	$A_9 \sim A_0$	CS_1	$A_{11} \overline{A}_{10}$
2K	$A_{10} \sim A_0$	CS_2	$\overline{A}_{12} A_{11} A_{10} \sim \overline{A}_{12} \overline{A}_{11} \overline{A}_{10}$

如何处理?
引入译码器



一、主存储器的逻辑设计

③连接方式

- a. 扩展单元数 b. 连接控制线 c. 形成片选逻辑电路

?

?

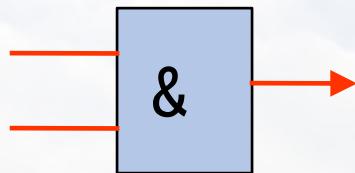
?

自己动手练习

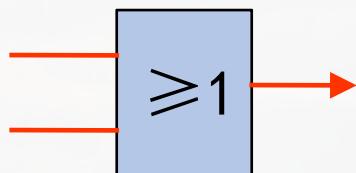
二、基本逻辑门及译码器的片选(复习)

1、逻辑运算的图形符号表示

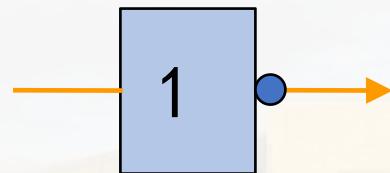
“与”运算：



“或”运算：

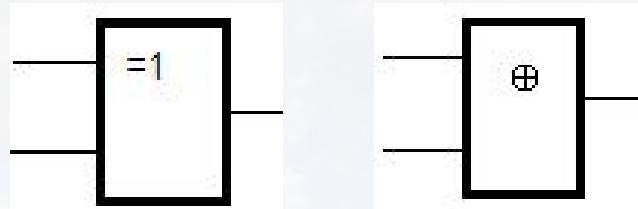


“非”运算：



“与非”和“或非”运算：

“异或”运算：



二、基本逻辑门及译码器的片选

2、译码器

1) 74LS138译码器 (3-8译码器)

各引脚功能；输入端与输出端关系（真值表）

G_1	\bar{Y}_0	使能端	输入端	输出端
\bar{G}_{2A}	.	$G_1 \ \bar{G}_{2A} \ \bar{G}_{2B}$	C B A	$\bar{Y}_0 \ \bar{Y}_1 \ \bar{Y}_2 \ \bar{Y}_3 \ \bar{Y}_4 \ \bar{Y}_5 \ \bar{Y}_6 \ \bar{Y}_7$
\bar{G}_{2B}	.	x 1 1	x x x	1 1 1 1 1 1 1 1
C(高)	.	x 0 x	x x x	1 1 1 1 1 1 1 1
B	.	0 1 0	0 0 0	1 1 1 1 1 1 1 1
A(低)	\bar{Y}_7	1 0 0	1 1 1	1 1 1 1 1 1 1 1
	.	0 0 0	1 0 1	1 1 1 1 1 1 1 1
	.	1 1 1	0 1 1	1 1 1 1 1 1 1 1
	.	0 0 0	1 1 1	1 1 1 1 1 1 1 1



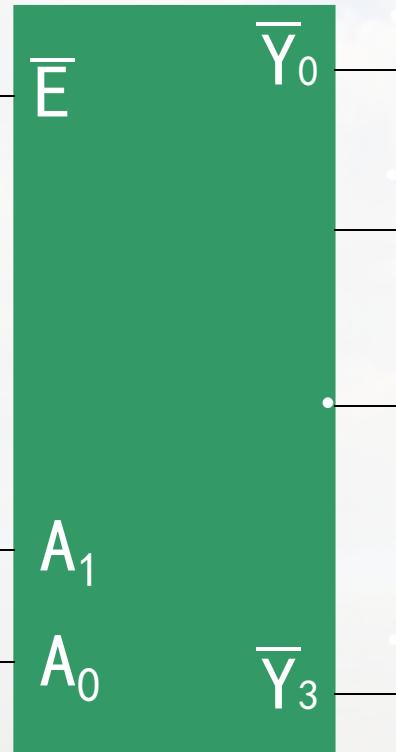
二、基本逻辑门及译码器的片选

2) 74LS139译码器(2-4译码器)

2-4译码器有1个使能端、2个输入端、4个输出端。在使能端为有效电平时，对应每一组输入代码，只有一个输出端为有效电平。

具体来说，2个输入变量， A_0, A_1 共有4种不同状态组合，因而译码器共有4个输出信号 $Y_0 \sim Y_3$ ，并且输出为低电平有效，其真值表如下：

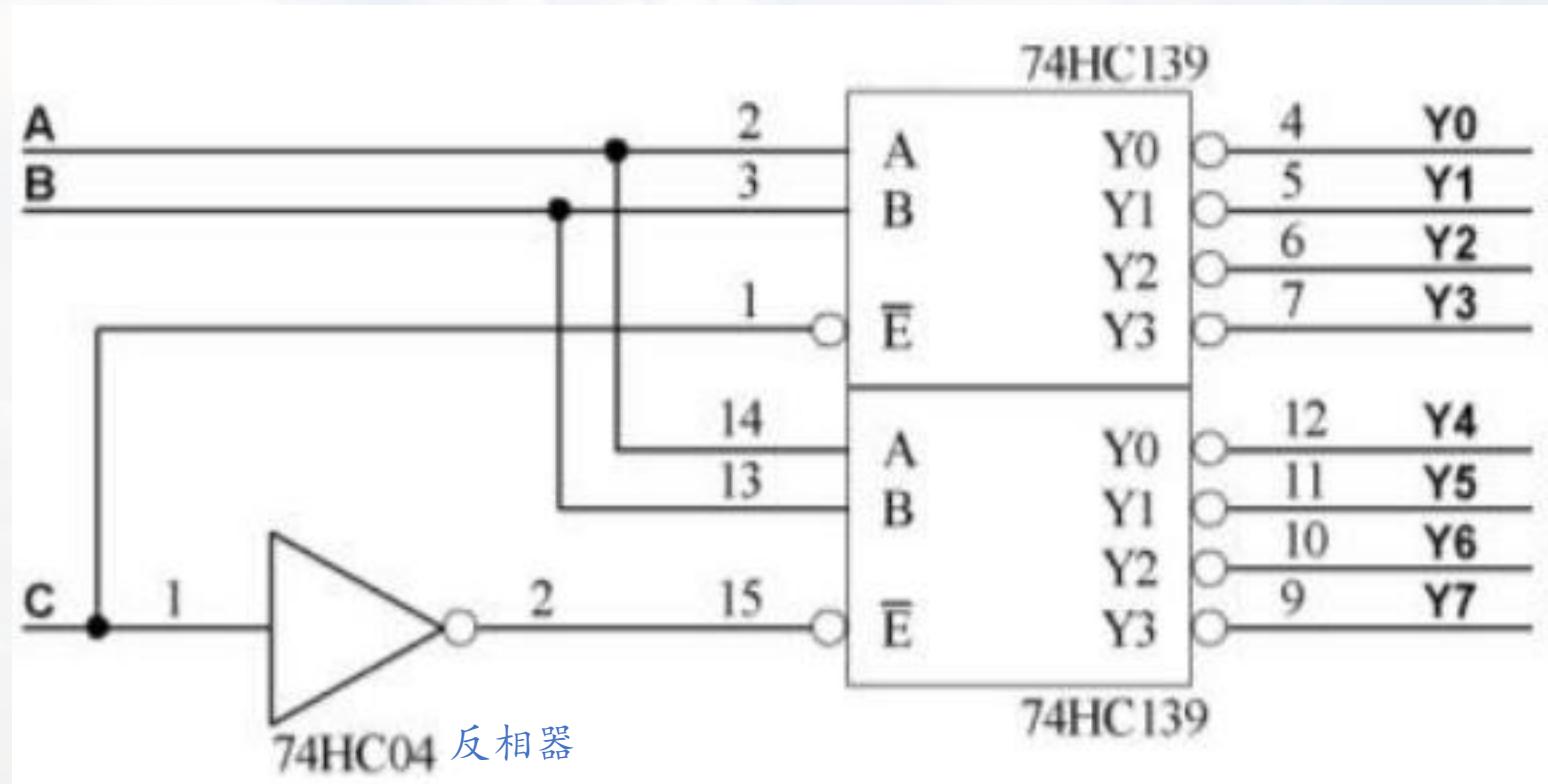
二、基本逻辑门及译码器的片选



使能端 \bar{E}	输入端		输出端			
	A_0	A_1	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

二、基本逻辑门及译码器的片选

3) 双2-4译码器如何转换为3-8译码器



二、基本逻辑门及译码器的片选

3、地址译码方法

1) 全地址译码方式

就是构成存储器地址时要使用全部地址总线信号，即所有的高位地址信号都用来作为译码器的输入、使能信号，低位地址信号接存储芯片的地址输入线，从而使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。

2) 部分地址译码方式

就是仅把地址总线的一部分地址信号线与存储器连接，通常是用高位地址信号的一部分（而不是全部）作为译码器的输入、使能信号；低位地址信号接存储芯片的地址输入线。



二、基本逻辑门及译码器的片选

3) 全地址译码、部分地址译码特点

- ①全地址译码使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。
- ②部分地址译码使地址出现重叠区，而重叠区的部分必须空着不准使用，这就破坏了地址空间的连续性，也在实际上减少了总的可用存储地址空间。其优点是其译码器的构成比较简单，成本较低。
- ③在实际应用中，采用全地址译码还是部分地址译码应根据具体情况来定。如果地址资源很富余，为使电路简单可考虑用部分地址译码；如果要充分利用地址空间，则应采用全地址译码。



二、基本逻辑门及译码器的片选

4、举例

例1：用 $2K \times 4b$ 的芯片（若干片）构成一个8KB的存储器，其地址范围在 $78000H \sim 79FFFH$ 之间。地址总线为 $A_0 \sim A_{19}$ ，数据总线为 $D_0 \sim D_7$ ，对芯片读写采用 \overline{MEMR} , \overline{MEMW} 控制，且片选信号要求采用74LS138译码器输出。

- (1) 需要 $2K \times 4b$ 的芯片多少片构成8KB的存储？
- (2) 芯片地址如何分配？74LS138译码器如何设置？
- (3) 画出存储器逻辑电路图。

解：(1) 需要 $2K \times 4b$ 的芯片8片，2片 $2K \times 4b$ 的芯片组成一组2KB的芯片，共4组；

(2) 芯片地址的分配：2KB： $A_0 \sim A_{10}$ ；



二、基本逻辑门及译码器的片选

74LS138译码器设置：由于地址范围在78000H~79FFFH之间，即为8K，也就是4组存储芯片都具有唯一的地址范围，因此，须采用全译码方式：即剩余的地址线： $A_{19} \sim A_{11}$ 中的全部线选做为译码器的输入端、使能端，因此， $A_{19} \sim A_{11}$ 是这样分配的：

输入端: ABC分别接入 $A_{11}A_{12}A_{13}$, 且 $A_{13}=0$ (恒定, 四组芯片仅需两条地址线选择)

使能端: $G_1:1$ (恒定), 连接: $\overline{MEMR}, \overline{MEMW}$ (不能同时为0)

$\overline{G}_{2A}: A_{19}A_{14} = 00$ (根据下页 A_{19}, A_{14} 列可知)

$\overline{G}_{2B}: A_{18}A_{17}A_{16}A_{15} = 1111$ (根据下页 $A_{18}, A_{17}, A_{16}, A_{15}$ 列可知)



二、基本逻辑门及译码器的片选

$\bar{G}_{2A}: A_{19}A_{14}=00, \bar{G}_{2B}: A_{18}A_{17}A_{16}A_{15}=1111, A_{11}A_{12}A_{13}=000\sim011$, 片内
单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

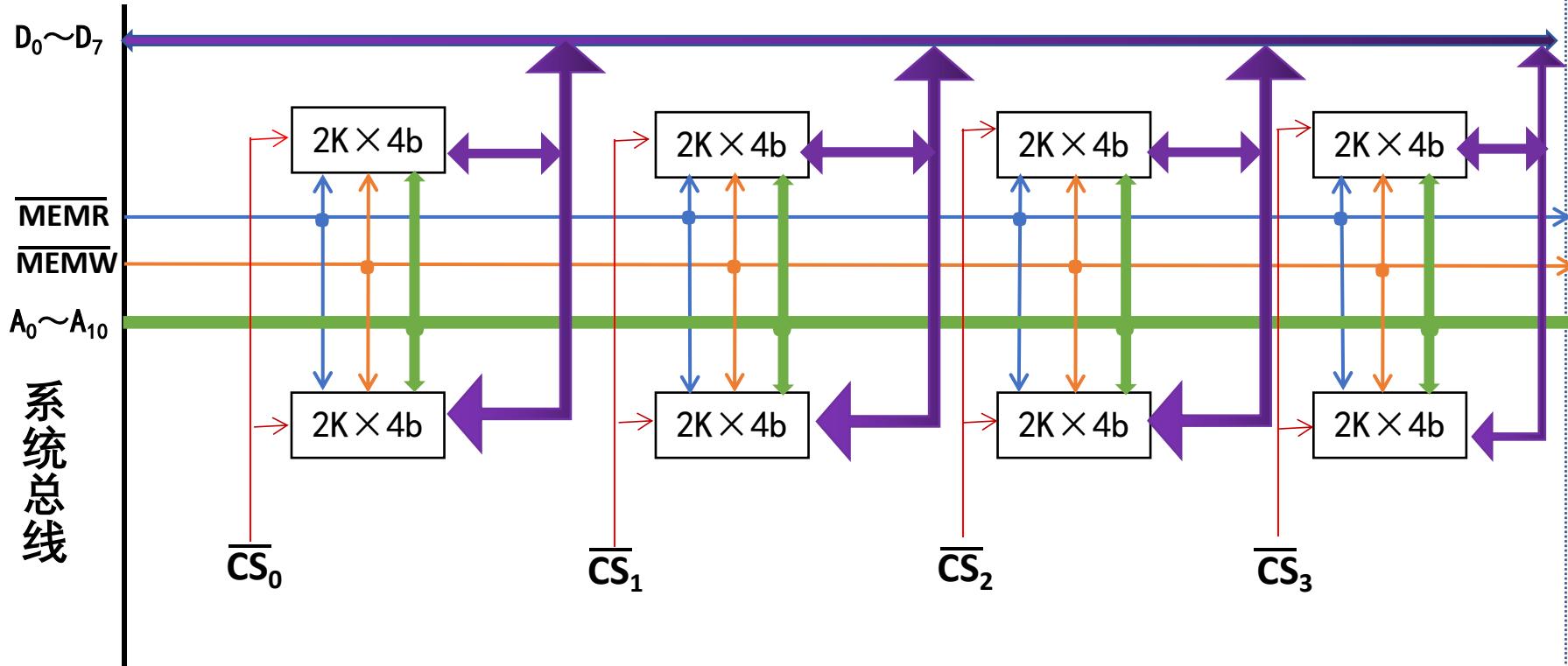
使能端选择						输入端选择			片内单元选择												A_1	A_0
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	1	1	1	0	0	0	0	0	0	0
0	1	1	1	1	0	0	0	0	0	0	1
.
0	1	1	1	1	0	0	1	1	1	1	0
0	1	1	1	1	0	0	1	1	1	1	1

范围为 78000H~79FFFH: 8K

二、基本逻辑门及译码器的片选

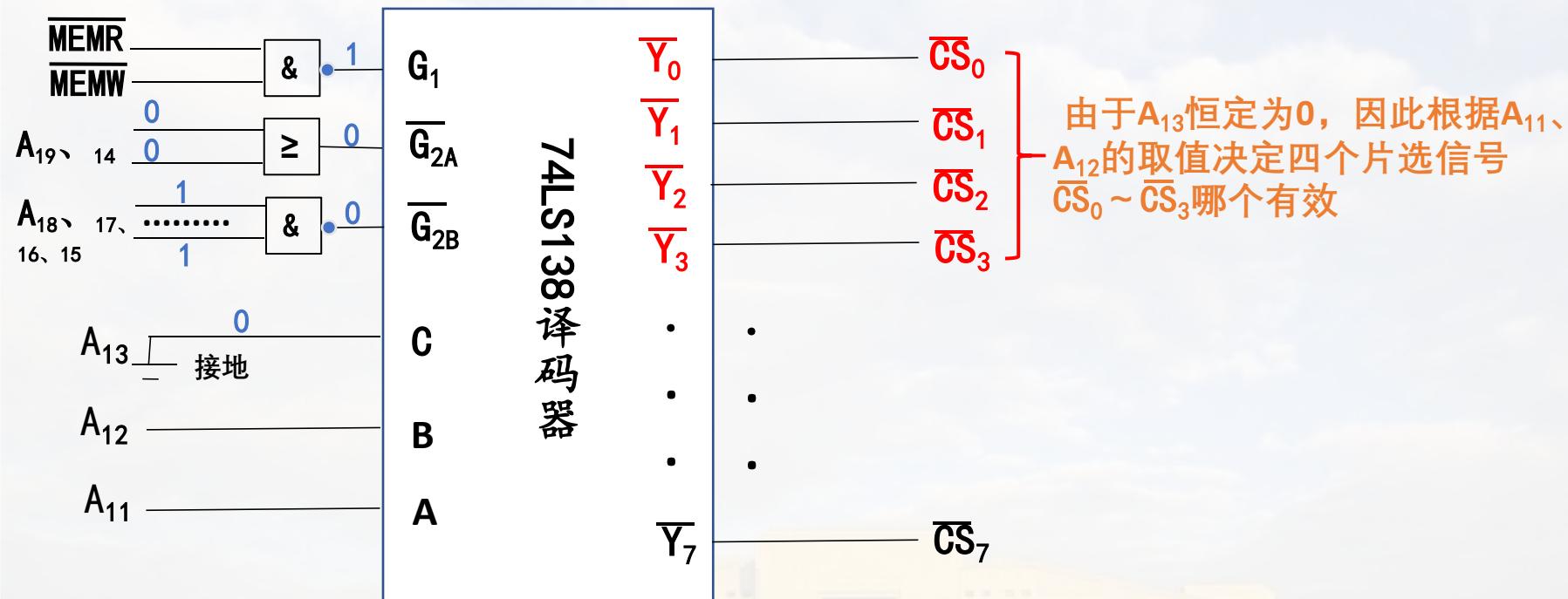
(3) 画出存储器逻辑电路图

1) 片内逻辑电路结构图



二、基本逻辑门及译码器的片选

2) 片选信号逻辑电路图





二、基本逻辑门及译码器的片选

例2：用 $2K \times 4b$ 的芯片（若干片）构成一个8KB的存储器。地址总线为 $A_0 \sim A_{19}$ ，数据总线为 $D_0 \sim D_7$ ，对芯片读写采用 \overline{MEMR} , \overline{MEMW} 控制，且片选信号要求采用74LS138译码器输出。

- (1) 需要 $2K \times 4b$ 的芯片多少片构成8KB的存储？
- (2) 芯片地址如何分配？74LS138译码器如何设置？
- (3) 画出存储器逻辑电路图。

解：(1) 需要 $2K \times 4b$ 的芯片8片，2片 $2K \times 4b$ 的芯片组成一组2KB的芯片，共4组；

(2) 芯片内地址的分配：2KB: $A_0 \sim A_{10}$ ；



二、基本逻辑门及译码器的片选

74LS138译码器设置：由于8K的地址范围在0000H~1FFFH之间（仅需要13条地址线寻址，而本题地址线是20位，可寻址范围为1M），而该题未明确8K芯片的地址范围，也就是4组2KB存储芯片不具有唯一的地址范围，因此，须采用部分译码方式：即剩余的地址线： $A_{19} \sim A_{11}$ 中的部分线可选做为74LS138译码器的输入端、使能端，可采用的方法很多，假如我们任选其中一种，如下：输入端、使能端的 $A_{19} \sim A_{11}$ (A_{18} 、 A_{15} 除外，即在输入端、使能端未使用)是这样分配的：

输入端：ABC分别接入 $A_{11}A_{12}A_{13}$ ，且 $A_{13}=0/1$ （恒定，四组芯片仅需两条地址线选择）；



二、基本逻辑门及译码器的片选

使能端: $G_1: 1$ (恒定), 连接: $\overline{\text{MEMR}}, \overline{\text{MEMW}}$ (不能同时为0)

$$\overline{G_{2A}}: A_{19}A_{17}=00$$

$$\overline{G_{2B}}: A_{16}A_{14}=11$$

剩下的高位地址线 $A_{18}A_{15}$ 取值可为: 00、01、10、11 四种情况

1. 当 $A_{13}=0$ 时:

二、基本逻辑门及译码器的片选

(a) 若 $A_{18}A_{15}=00$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdotsF$

使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	0	1	0	0	0	0	0	0	
0	0	0	1	0	1	0	0	0	0	0	1	
.	
0	0	0	1	0	1	0	1	1	1	1	0	
0	0	0	1	0	1	0	1	1	1	1	1	

范围为 $14000H\sim15FFFH: 8K$



二、基本逻辑门及译码器的片选

(b) 若 $A_{18}A_{15}=01$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

使能端选择						输入端选择			片内单元选择												A_1	A_0
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	1	1	0	0	0	0	0	0	
0	0	0	1	1	1	0	0	0	0	0	1	
.	
0	0	0	1	1	1	0	1	1	1	1	0	
0	0	0	1	1	1	0	1	1	1	1	1	

范围为 $1C000H\sim1DFFFH: 8K$

二、基本逻辑门及译码器的片选

(c) 若 $A_{18}A_{15}=10$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	0	1	0	0	0	0	0	0	
0	1	0	1	0	1	0	0	0	0	0	1	
.	
0	1	0	1	0	1	0	1	1	1	1	0	
0	1	0	1	0	1	0	1	1	1	1	1	

范围为 $54000H\sim55FFFH: 8K$

二、基本逻辑门及译码器的片选

(d) 若 $A_{18}A_{15}=11$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

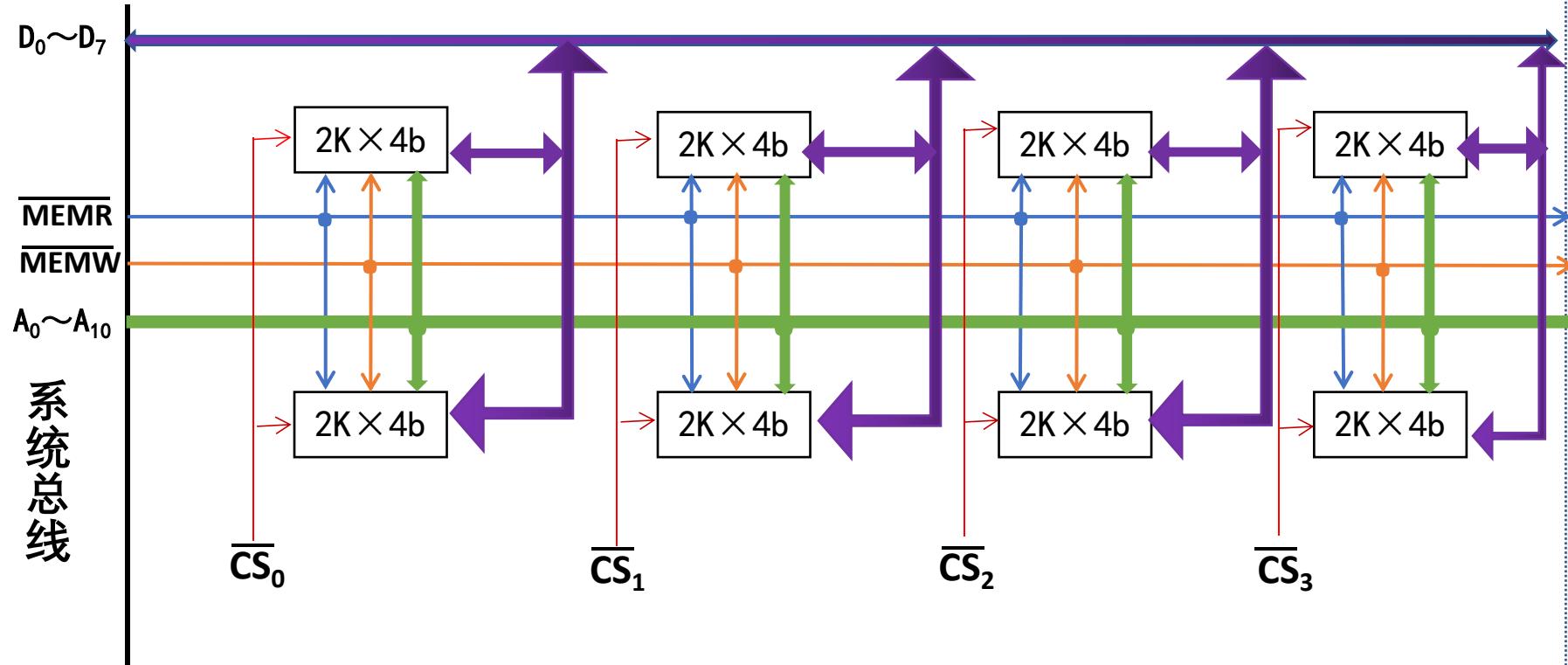
使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	1	1	0	0	0	0	0	0	
0	1	0	1	1	1	0	0	0	0	0	1	
.	
0	1	0	1	1	1	0	1	1	1	1	0	
0	1	0	1	1	1	0	1	1	1	1	1	

范围为 $5C000H\sim5DFFFH: 8K$

二、基本逻辑门及译码器的片选

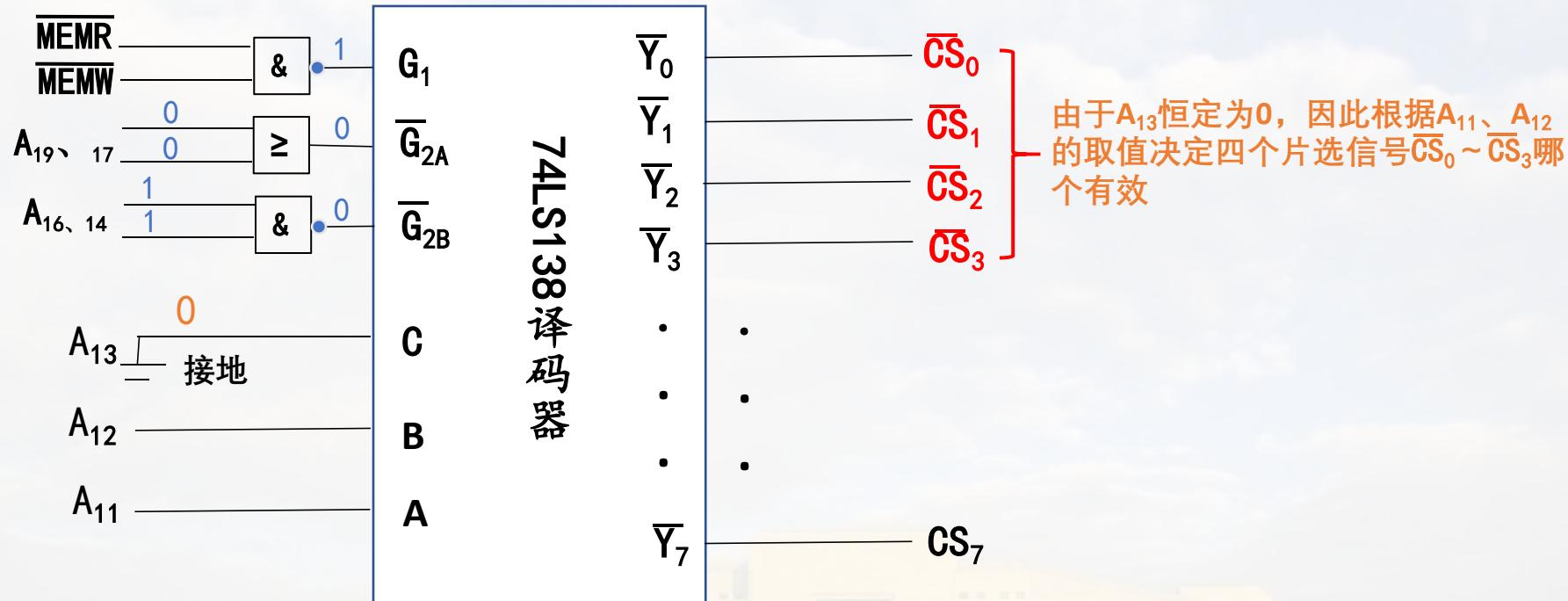
(3) 画出存储器逻辑电路图

1) 片内逻辑电路结构图



二、基本逻辑门及译码器的片选

2) 片选信号逻辑电路图



逻辑电路图的使能端缺: A₁₈、A₁₅, 部分译码 (且A₁₃=0)



二、基本逻辑门及译码器的片选

使能端: $G_1: 1$ (恒定), 连接: $\overline{MEMR}, \overline{MEMW}$ (不能同时为0)

$$\overline{G_{2A}}: A_{19}A_{17}=00$$

$$\overline{G_{2B}}: A_{16}A_{14}=11$$

剩下的高位地址线 $A_{18}A_{15}$ 取值可为: 00、01、10、11 四种情况

2. 当 $A_{13}=1$ 时:

二、基本逻辑门及译码器的片选

(a) 若 $A_{18}A_{15}=00$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdotsF$

使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	0	1	1	0	0	0	0	0	
0	0	0	1	0	1	1	0	0	0	0	1	
.	
0	0	0	1	0	1	1	1	1	1	1	0	
0	0	0	1	0	1	1	1	1	1	1	1	

范围为 $16000H\sim17FFFH: 8K$

二、基本逻辑门及译码器的片选

(b) 若 $A_{18}A_{15}=01$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	0	0	1	1	1	1	0	0	0	0	0	
0	0	0	1	1	1	1	0	0	0	0	1	
.	
0	0	0	1	1	1	1	1	1	1	1	0	
0	0	0	1	1	1	1	1	1	1	1	1	

范围为 $1E000H\sim1FFFFH: 8K$



二、基本逻辑门及译码器的片选

(c) 若 $A_{18}A_{15}=10$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdotsF$

使能端选择						输入端选择			片内单元选择												A_1	A_0
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	0	1	1	0	0	0	0	0	
0	1	0	1	0	1	1	0	0	0	0	1	
.	
0	1	0	1	0	1	1	1	1	1	1	0	
0	1	0	1	0	1	1	1	1	1	1	1	

范围为 $56000H\sim57FFFH: 8K$

二、基本逻辑门及译码器的片选

(d) 若 $A_{18}A_{15}=11$, 而 $\bar{G}_{2A}=A_{19}A_{17}=00$, $\bar{G}_{2B}=A_{16}A_{14}=11$, $A_{11}A_{12}A_{13}=000\sim011$,

片内单元选择 $A_0\sim A_{10}: 00\cdots0\sim FF\cdots F$

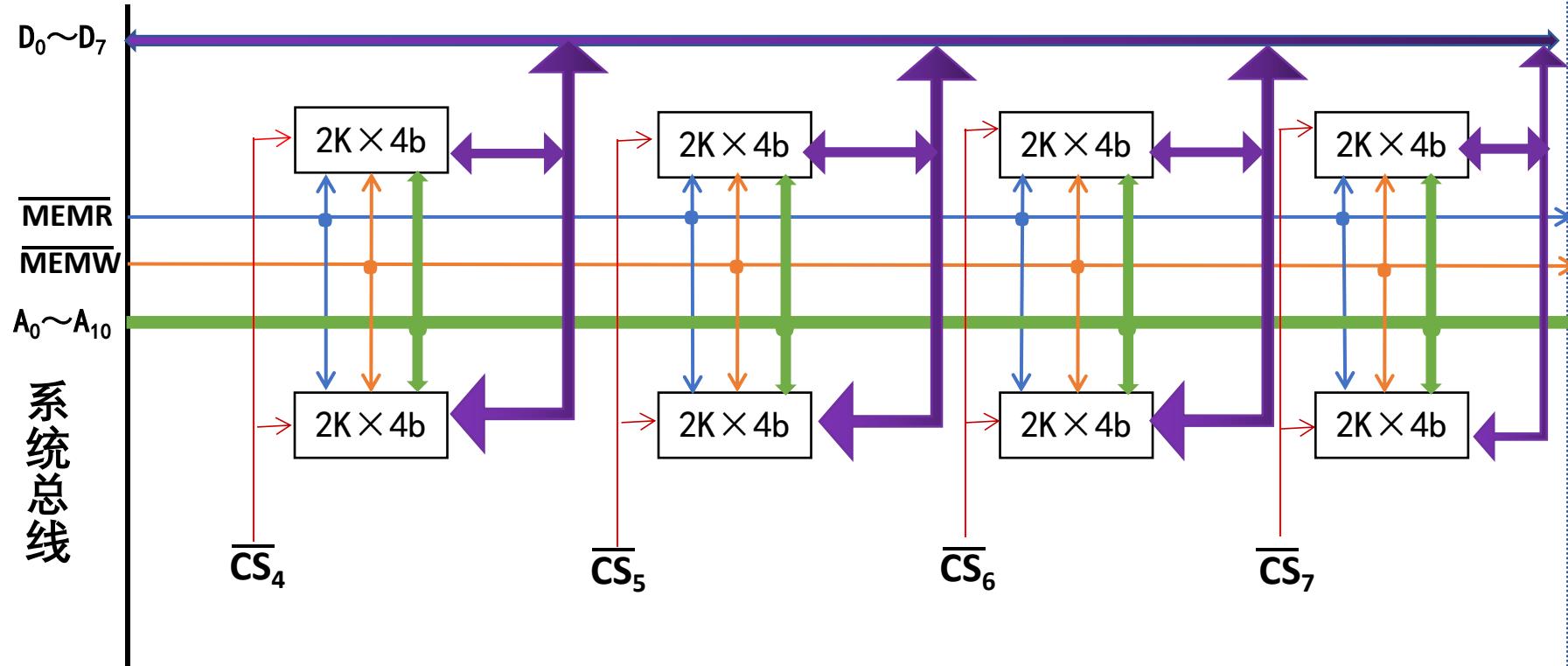
使能端选择						输入端选择			片内单元选择													
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0
0	1	0	1	1	1	1	0	0	0	0	0	
0	1	0	1	1	1	1	0	0	0	0	1	
.	
0	1	0	1	1	1	1	1	1	1	1	0	
0	1	0	1	1	1	1	1	1	1	1	1	

范围为 $5E000H\sim5FFFFH: 8K$

二、基本逻辑门及译码器的片选

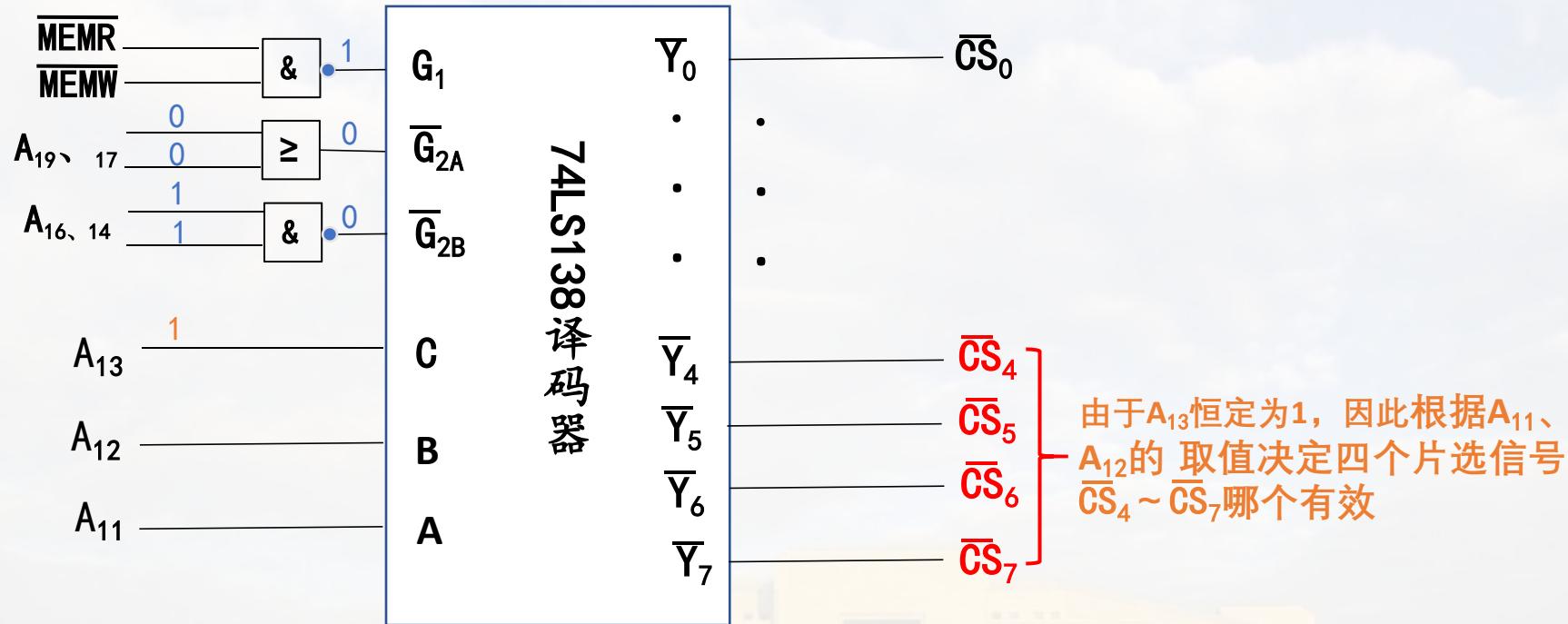
(3) 画出存储器逻辑电路图

1) 片内逻辑电路结构图



二、基本逻辑门及译码器的片选

2) 片选信号逻辑电路图



逻辑电路图的使能端缺: A_{18} 、 A_{15} , 部分译码 (且 $A_{13}=1$)

二、基本逻辑门及译码器的片选

5、SRAM芯片6264 (intel)

6264是8K×8b静态随机存储器芯片，采用CMOS工艺制造，单一+5V供电，额定功耗200mW，典型存取时间200ns，28线双列直插式封装。各引脚含义如下：

1. $A_0 \sim A_{12}$ 为地址线；
2. $D_0 \sim D_7$ 为数据线；
3. \overline{CE} 、 CS 是片选线；
4. \overline{OE} 是读允许线； \overline{WE} 是写允许线。
5. 其它引线： Vcc 为+5V电源， GND 是接地端， NC 表示空端。



二、基本逻辑门及译码器的片选

6264功能表

使能端（片选信号）		输入端（读/写控制）		输出端
\overline{CE} （或 \overline{CS}_1 ）	CS（或 CS_2 ）	\overline{OE}	\overline{WE}	$D_0 \sim D_7$
0	1	X	0	写入
0	1	0	1	读出
0	0	X	X	三态 (高阻)
1	1	X	X	
1	0	X	X	

二、基本逻辑门及译码器的片选

6、SRAM芯片6116 (intel)

6116是 $2K \times 8b$ 静态随机存储器芯片，采用CMOS工艺制造，单一+5V供电，额定功耗200mW，典型存取时间200ns，24线双列直插式封装。

各引脚含义如下：

1. $A_0 \sim A_{10}$ 为地址线；
2. $D_0 \sim D_7$ 为数据线；
3. \overline{CS} 是片选线；
4. \overline{OE} 是读允许线； R/\overline{W} 是读写允许线；
5. 其它引线： V_{CC} 为+5V电源， GND 是接地端。

SRAM 6116	
A_7	1
A_6	2
A_5	3
A_4	4
A_3	5
A_2	6
A_1	7
A_0	8
D_0	9
D_1	10
D_2	11
GND	12
	24
	23
	22
	21
	20
	19
	18
	17
	16
	15
	14
	13
	V_{CC}
	A_8
	A_9
	R/\overline{W}
	\overline{OE}
	A_{10}
	\overline{CS}
	D_7
	D_6
	D_5
	D_4
	D_3



二、基本逻辑门及译码器的片选

6116功能表

使能端（片选信号）	输入端（读/写控制）	输出端	
\overline{CS}	\overline{OE}	R/W	$D_0 \sim D_7$
0	0	1	读出
0	1	0	写入
1	X	X	高阻



二、基本逻辑门及译码器的片选

7、例题：

全地址译码方式：利用基本逻辑门电路构成或利用译码器实现。

例1：一片SRAM6264芯片（即 $8K \times 8b$ 的SRAM芯片）与8086/8088系统（地址总线为 $A_0 \sim A_{19}$ ）的逻辑电路连接图：

- 1) 要求6264芯片的地址范围为 $3E000H \sim 3FFFFH$ （低13位可以是从全为0到全为1之间的任何一个值）；
- 2) 要求6264芯片的地址范围为 $C0000H \sim C1FFFH$ 。



二、基本逻辑门及译码器的片选

例1：1) 小题解答：

由6264芯片的地址范围为3E000H~3FFFFH可知，

8K片内单元的编址地址线： $A_0 \sim A_{12}$

可通过3-8译码器或基本门电路的输出产生片选信号，

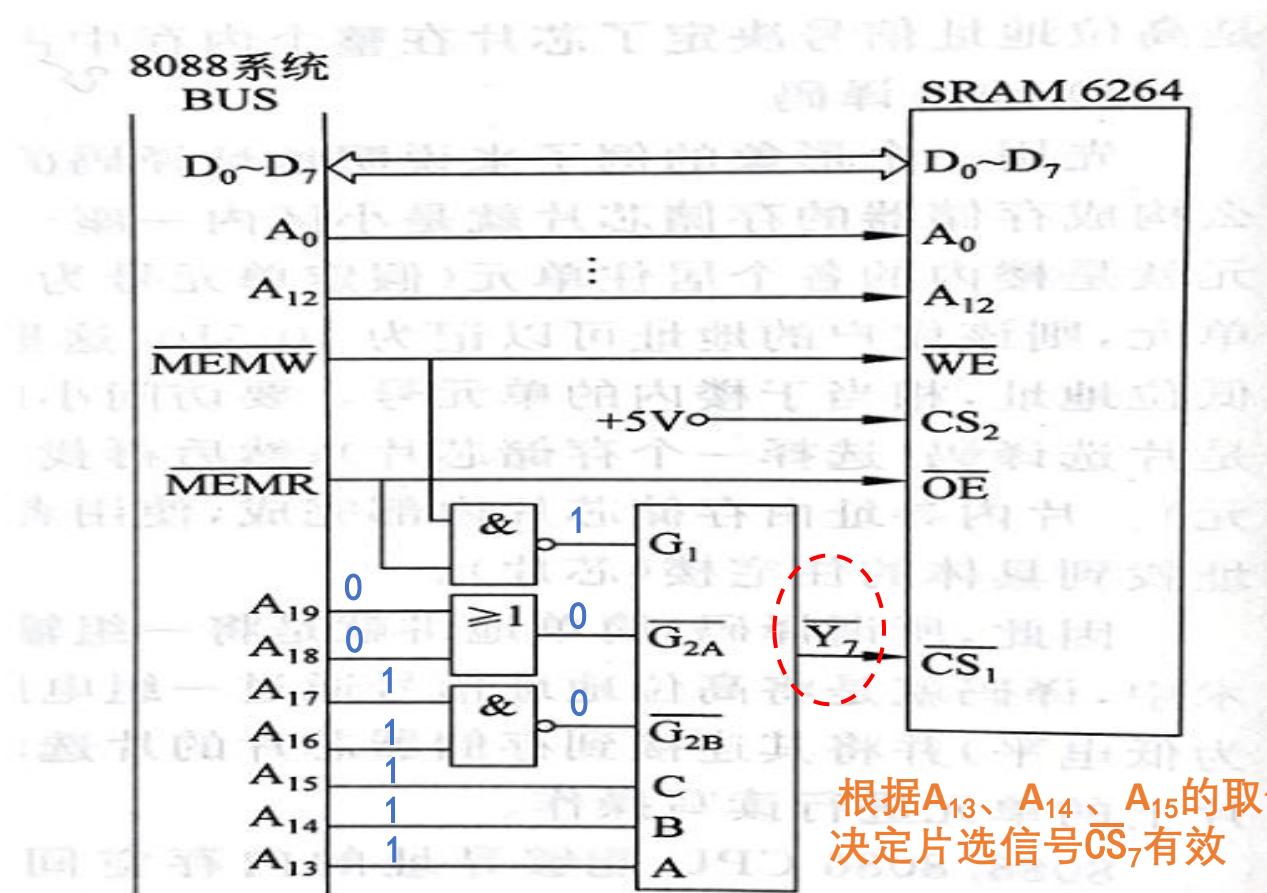
若使用3-8译码器，则输入端 $A_{15}A_{14}A_{13}=111$

使能端 $A_{19}A_{18}=00$

$A_{17}A_{16}=11$

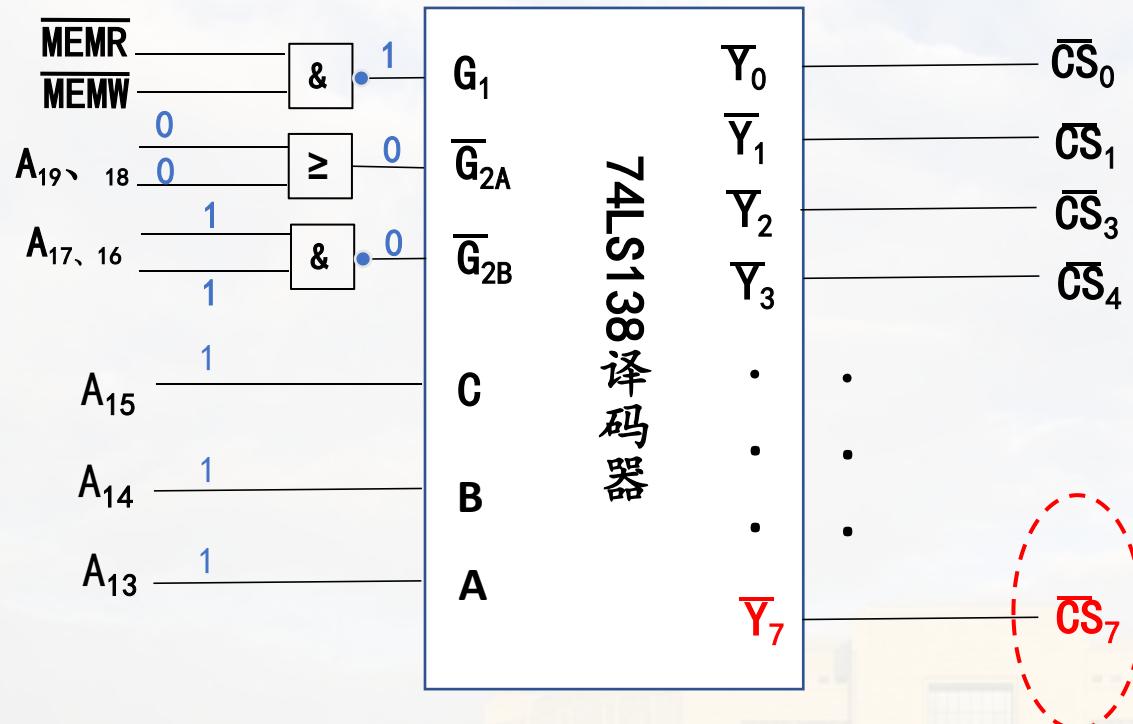
二、基本逻辑门及译码器的片选

例1：1) 小题解答 方法一：3-8译码器产生片选信号



二、基本逻辑门及译码器的片选

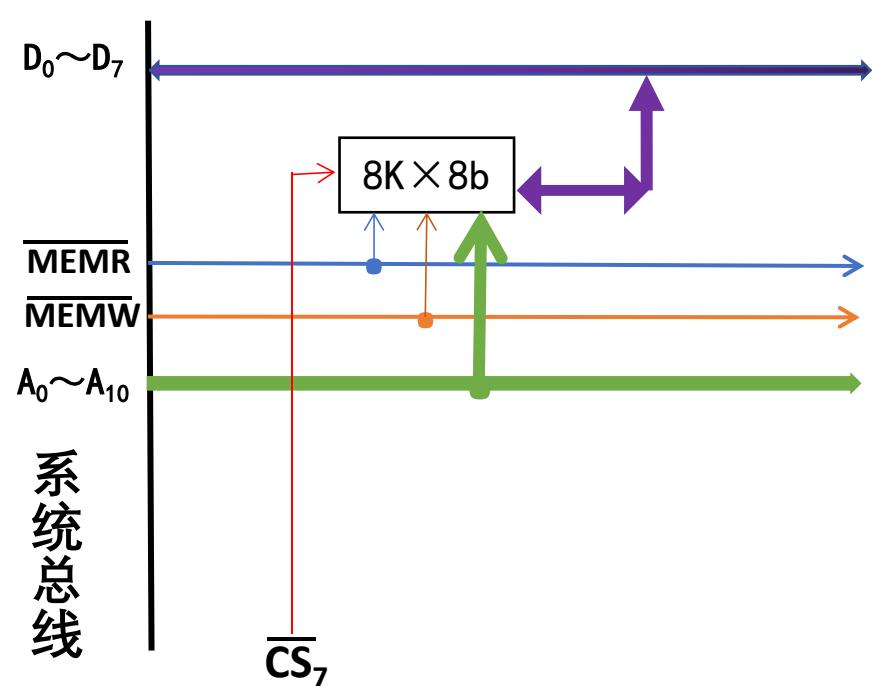
上页图也可改为：1) 片选信号逻辑电路图



根据A₁₃、A₁₄、A₁₅的取值:111
决定片选信号CS₇有效

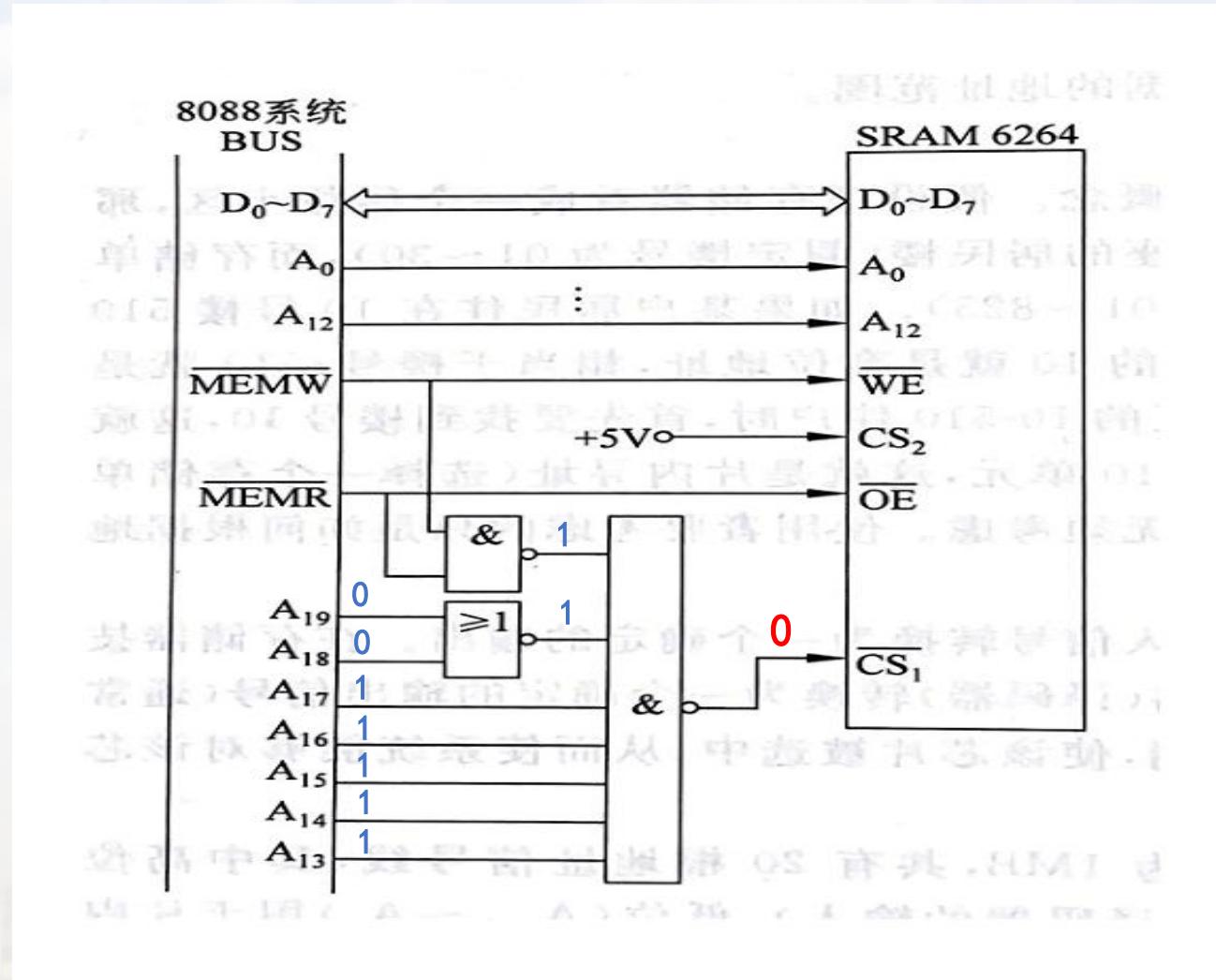
二、基本逻辑门及译码器的片选

2) 片内逻辑电路结构图



二、基本逻辑门及译码器的片选

例1：1) 小题解答方法二：基本逻辑门电路产生片选信号





二、基本逻辑门及译码器的片选

例1：2）小题解答：

由6264芯片的地址范围为C0000H~C1FFFH可知，

8K片内单元的编址地址线： $A_0 \sim A_{12}$

可通过基本门电路或3-8译码器的输出产生片选信号，

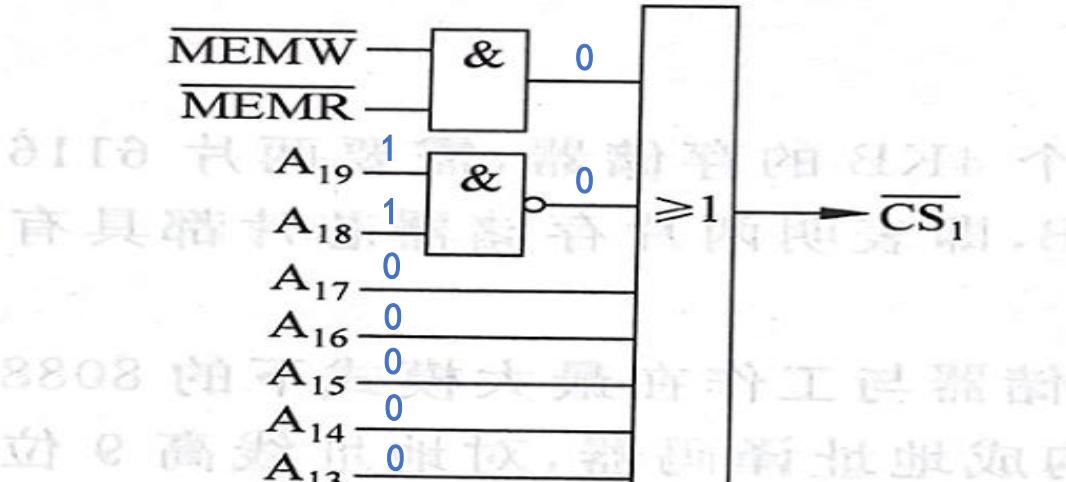
若使用3-8译码器，则输入端 $A_{15}A_{14}A_{13}=000$

使能端 $A_{19}A_{18}=11$

$A_{17}A_{16}=00$

二、基本逻辑门及译码器的片选

例1：2) 小题解答方法一：基本逻辑门电路产生片选信号





二、基本逻辑门及译码器的片选

例1：2) 小题解答 方法二：3-8译码器产生片选信号

？ ? ? ?

自己动手练习



二、基本逻辑门及译码器的片选

全/部分地址译码方式：

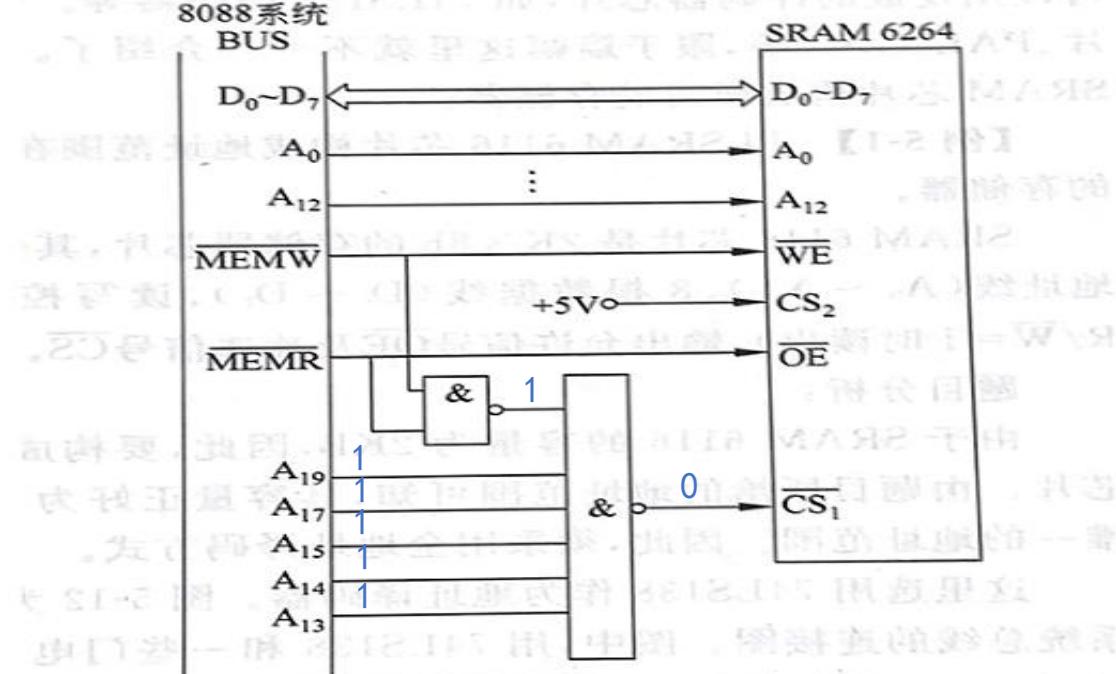
例2：一片SRAM6264芯片（即 $8K \times 8b$ 的SRAM芯片）与8086/8088系统（地址总线为 $A_0 \sim A_{19}$ ）的连接图？其地址范围为哪些？

满足条件：若要求地址译码信号线使用 A_{19} 、 A_{17} 、 A_{15} 、 A_{14} 、 A_{13} 的输出为1，其余 A_{18} 、 A_{16} 的输出是任意的

解答：其地址范围为：**AE000H~AFFFFH, BE000H~BFFFFH,**
EE000H~EFFFFH, FE000H~FFFFFH。

二、基本逻辑门及译码器的片选

例2：1) 小题解答方法一：基本逻辑门电路产生片选信号





二、基本逻辑门及译码器的片选

例1：2) 小题解答 方法二：3-8译码器产生片选信号

？ ? ? ?

自己动手练习



二、基本逻辑门及译码器的片选

地址译码方式：

例3：用SRAM6116芯片（即 $2K \times 8b$ 的SRAM芯片）构成范围在 $78000H \sim 78FFFH$ 之间的一个4KB的存储器（可选用74LS138译码器）。

SRAM6116芯片其外部引线如（P44）上图所示。具有11根地址线（ $A_0 \sim A_{10}$ ），8根数据线（ $D_0 \sim D_7$ ），读写控制信号线 R/\bar{W} （当 $R/\bar{W} = 0$ 时写入， $R/\bar{W}=1$ 时读出），输出允许信号 \bar{OE} 及片选信号 \bar{CS} 。

二、基本逻辑门及译码器的片选

例3：解答 3-8译码器产生片选信号

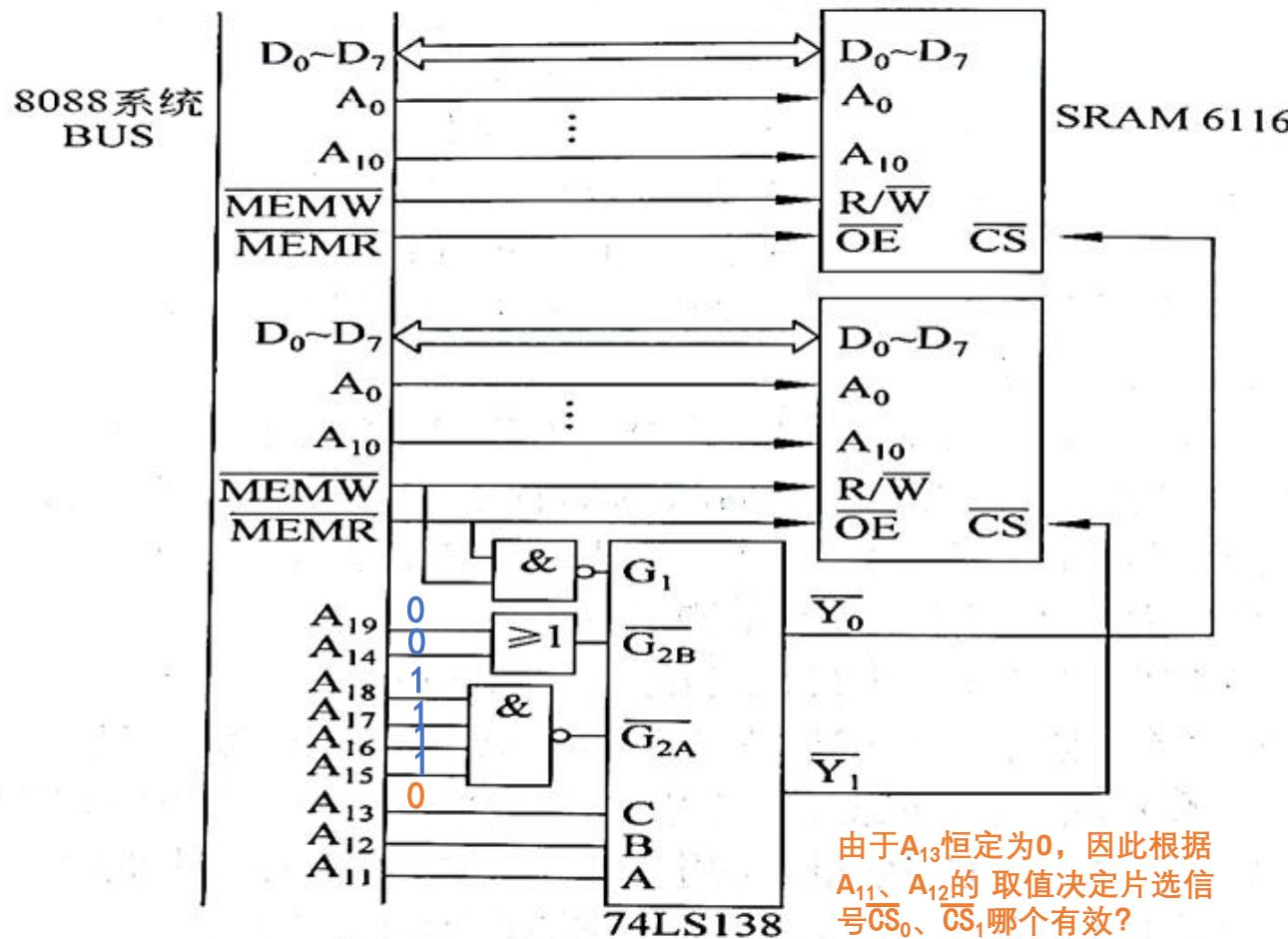


图 5-12 SRAM 6116 的应用连接图



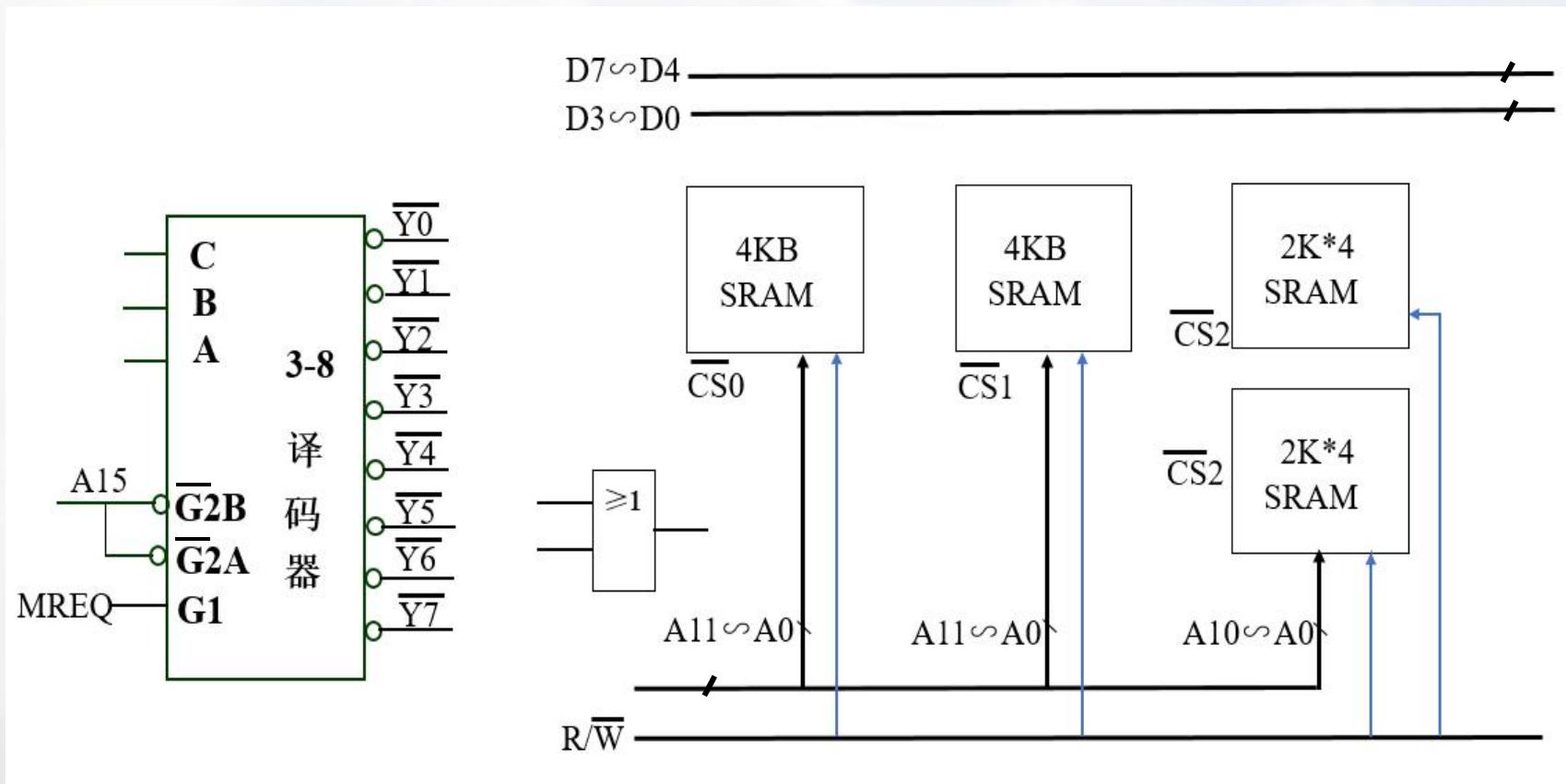
二、基本逻辑门及译码器的片选

例题4：设CPU共有16根地址线 $A_{15} \sim A_0$ （低位），8根数据线 $D_7 \sim D_0$ （低位），并用MREQ作为访存控制信号（高电平有效），用 R/W 作为读写控制信号（高电平读、低电平写），片选信号 \overline{CS} （低电平有效），其中MREQ和 A_{15} 已如下图所示连接译码器的使能端。现有 $2K \times 4b$ 的SRAM、4KB的SRAM存储芯片各2片，以及1片74LS138译码器和1个或门电路，要求在不增加其它芯片的前提下，按照先安排大容量芯片（低地址）后小容量芯片（高地址）的原则，采用全译码的方法设计地址连续的10KB区间半导体存储器。

问：1) 按照低地址到高地址的顺序，写出每组芯片的地址范围 (仅写地址最低的一组)。

二、基本逻辑门及译码器的片选

- 2) 按照低地址到高地址的顺序，写出每组芯片CS的片选逻辑表达式。
- 3) 请完善以下存储器逻辑设计图中的地址线、片选信号以及数据线的连接。



二、基本逻辑门及译码器的片选

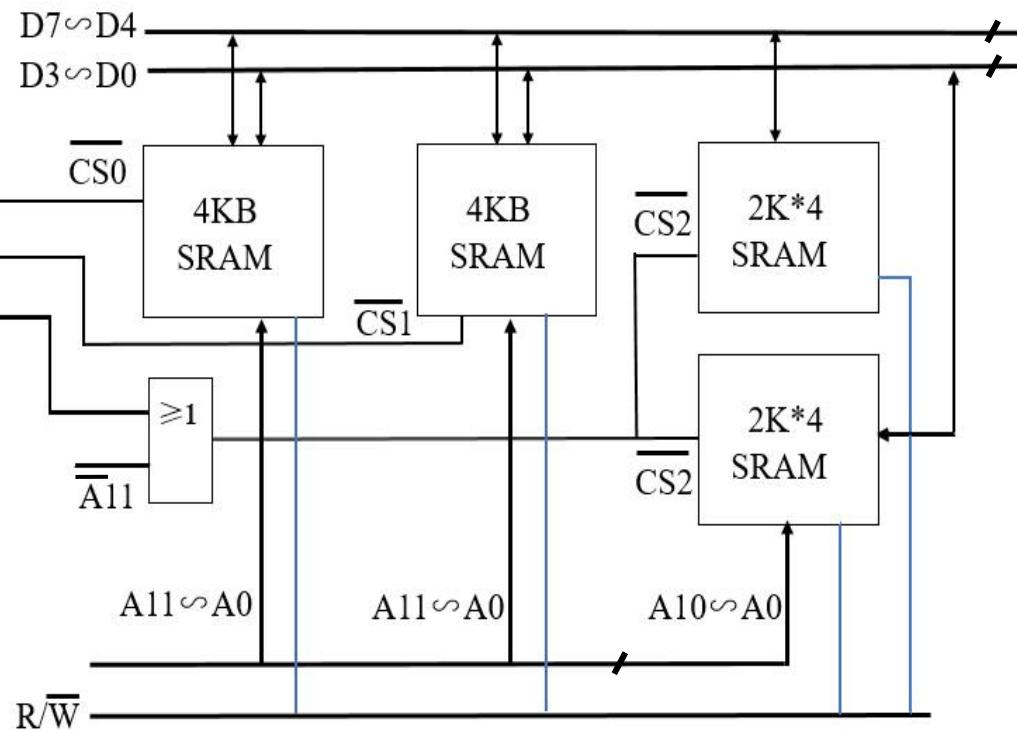
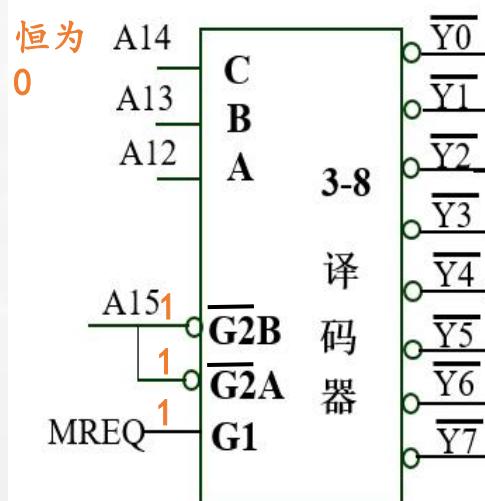
解：1. $8000H \sim 8FFFH$; $9000H \sim 9FFFH$; $A000H \sim A7FFFH$

$$2. \bar{CS}_0 = A_{15} \bar{A}_{14} \bar{A}_{13} \bar{A}_{12}$$

$$\bar{CS}_1 = A_{15} \bar{A}_{14} \bar{A}_{13} A_{12}$$

$$\bar{CS}_2 = A_{15} \bar{A}_{14} A_{13} \bar{A}_{12} \bar{A}_{11}$$

3. 三组芯片，仅需两条地址线区分，所以 A_{14} 恒定为0，因此根据 A_{13} 、 A_{12} 的取值决定片选信号 \bar{CS}_0 、 \bar{CS}_1 、 \bar{CS}_2 哪个有效





三、动态存储器的刷新

1、刷新定义与原因

定义：定期向电容补充电荷——刷新。

原因：动态存储器依靠电容电荷存储信息。平时无电源供电，时间一长电容电荷会泄放，需定期向电容补充电荷，以保持信息不变。

刷新与重写的区别：

刷新：非破坏性读出的动态M (DRAM)，需补充电荷以保持原来的信息。

重写：破坏性读出后重写，以恢复原来的信息。



三、动态存储器的刷新

2、最大刷新间隔：2ms

在此期间，必须对所有动态单元刷新一遍。

3、刷新方法：按行读。

刷新一行所用的时间——刷新周期（存取周期）

刷新一块芯片所需的刷新周期数由芯片矩阵的行数决定。

对主存的访问 {

CPU访存：由CPU提供行、列地址，随机访问。

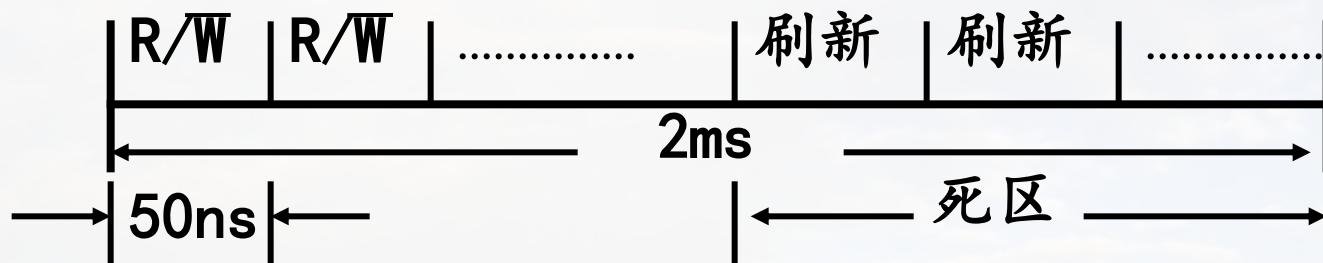
动态芯片刷新：由刷新地址计数器提供行地址，定时刷新。

三、动态存储器的刷新

4、刷新周期的安排方式

1) 集中刷新

2ms内集中安排所有刷新周期。



用在实时要求不高的场合。

2) 分散刷新

各刷新周期分散安排在存取周期中。

三、动态存储器的刷新

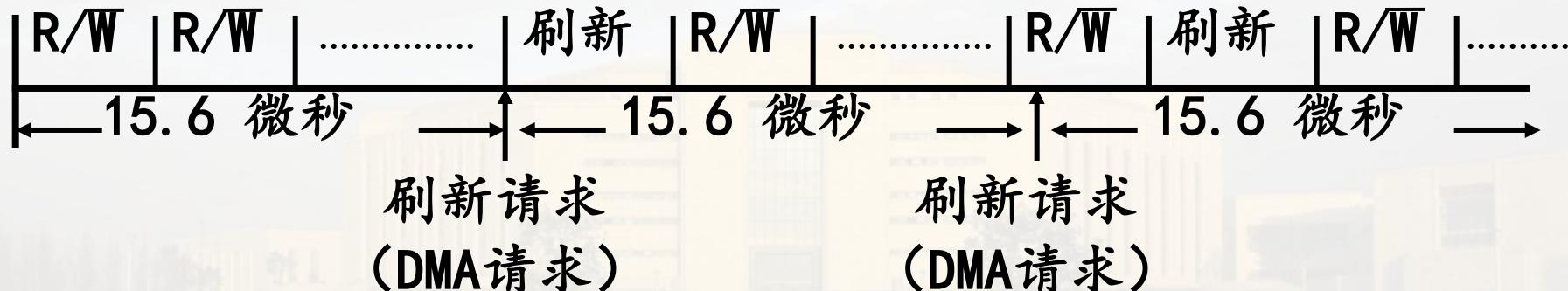


用在低速系统中。

3) 异步刷新

各刷新周期分散安排在2ms内。每隔一段时间刷新一行。

例： $\frac{2\text{ms}}{128\text{行}} \approx 15.6\text{微秒}$ 每隔15.6微秒提一次刷新请求，刷新一行；2毫秒内刷新完所有行。



用在大多数计算机中。



四、主存储器的校验方法

1、基本概念

校验方式:采用冗余校验思想。

校验码: 将待写的有效代码和增加的校验位一起，按约定的校验规律进行编码。

码字: 有若干位代码组成一个字。

码距: 一种码制中，任何两个码字间的举例可能不同，将各合法码字间的最小距离称为这种码字的码距。



四、主存储器的校验方法

2、主存中采用的奇偶校验

- 1) 奇校验：使整个校验码(包括有效信息位和校验位)中“1”的个数为奇数；
- 2) 偶校验：使整个校验码中(包括有效信息位和校验位)“1”的个数为偶数。

奇偶校验码的码距 $d=2$.

3、举例：参看例题。



谢谢观看

计算机组成原理



信息与软件工程学院
School of Information and Software Engineering