



计算机组成原理

第三章 中央处理器



信息与软件工程学院
School of Information and Software Engineering

主要 内 容



- 1 模型机的总体设计
- 2 算术逻辑运算部件
- 3 运算方法
- 4 模型机的组合逻辑控制器
- 5 模型机的微程序控制器
- 6 MIPS32架构CPU设计实例



- 01. 加法单元
- 02. 串行加法器
- 03. 并行加法器
- 04. ALU单元与多位ALU部件



一、加法单元

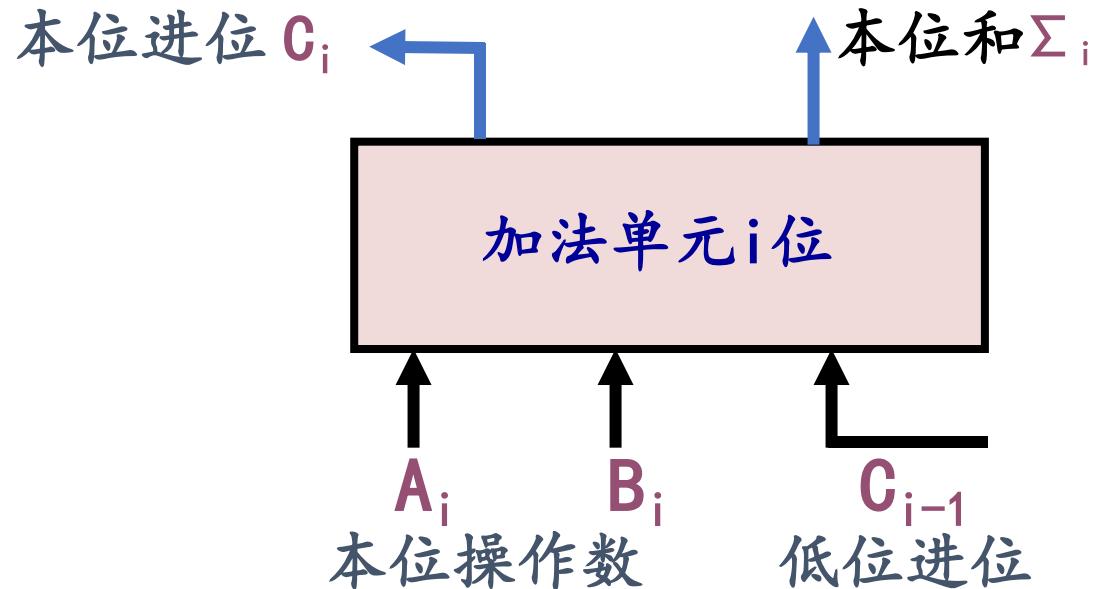
若：+1101、+1111两数相加，且分别放入到A、B两个寄存器。（补码、双符号位表示）

$$\begin{array}{r}
 00\cancel{1}101 \\
 + 00\cancel{1}111 \\
 \hline
 011100
 \end{array}$$

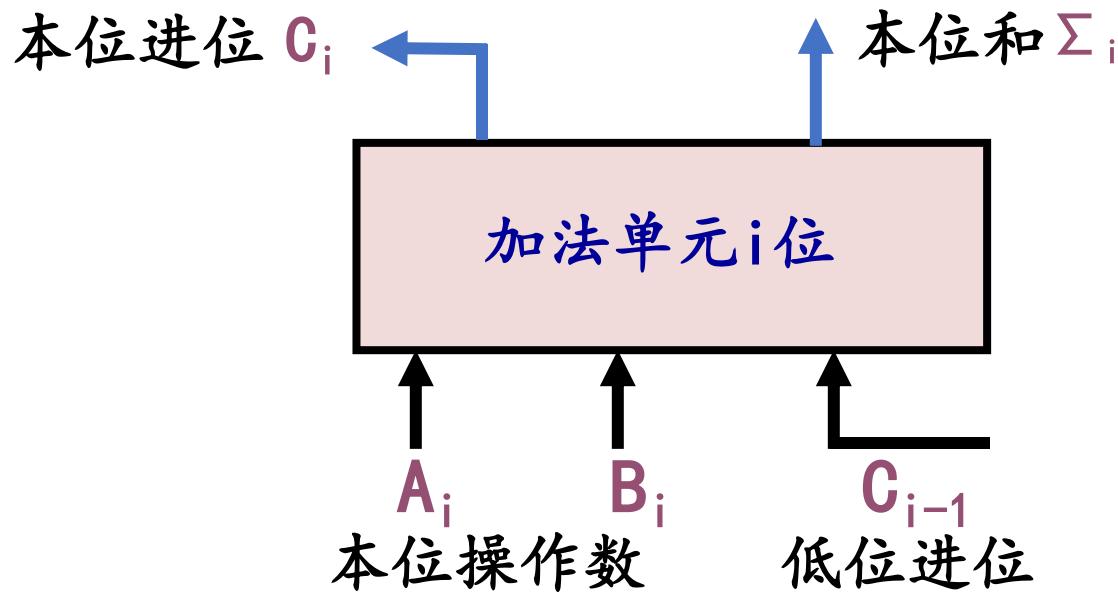
第3位：

输入量： $A_i=1, B_i=1, C_{i-1}=1$

输出量： $\Sigma_i=1, C_i=1$



一、加法单元



输入、输出量之间的关系式：根据真值表、卡诺图等化简

$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \quad (1)$$

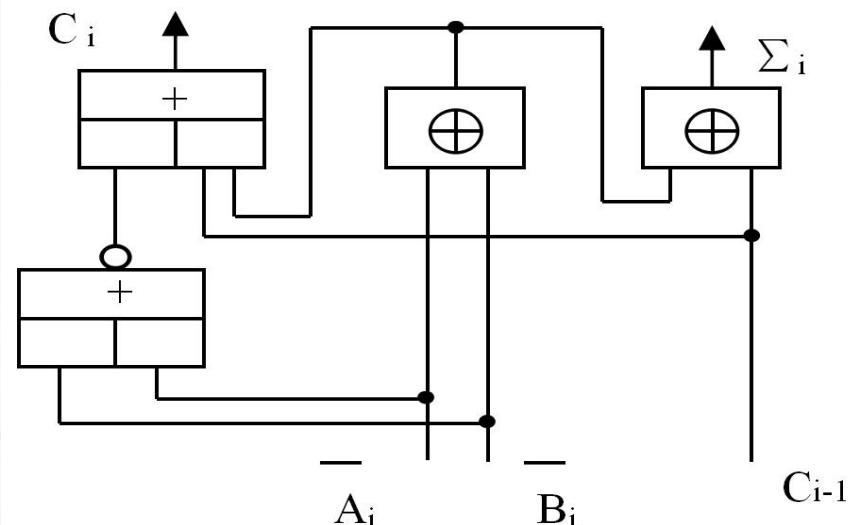
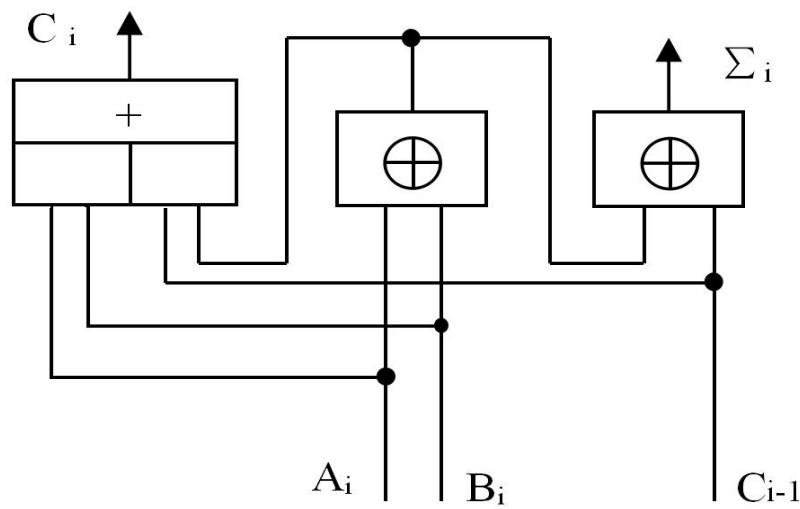
$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

一、加法单元

$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

根据上式，得出一位全加器的逻辑电路图：





一、加法单元

$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

根据(1)式得：

如果三个输入中1的个数为奇数，则本位和为1，否则为0。

根据(2)式得：

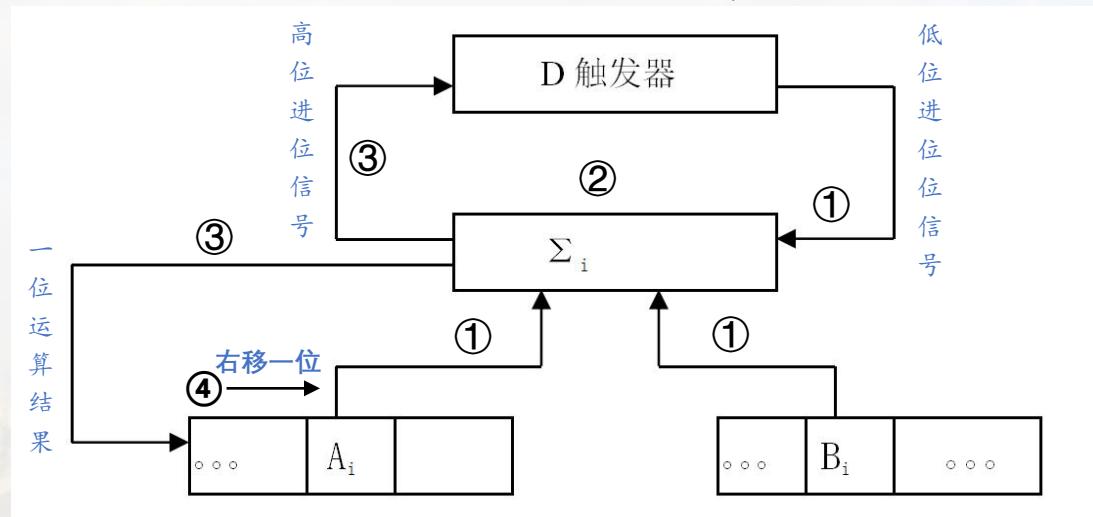
当本位的两个输入 A_i 、 B_i 均为1时，不管低位有无进位 C_{i-1} 传来，都必然产生进位 C_i ；若 C_{i-1} 为1，只要 A_i 、 B_i 中至少有一个为1，也必然产生进位。

二、串行加法器

定义：如果每步只求一位和，将n位加分成n步实现，则这样的加法器称为**串行加法器**。

- 组成
- 1个一位全加器： Σ_i
 - 1个移位寄存器： A_i ，从低到高串行提供操作位相加
 - 1个寄存器： B_i
 - 1个D触发器：记录进位信号

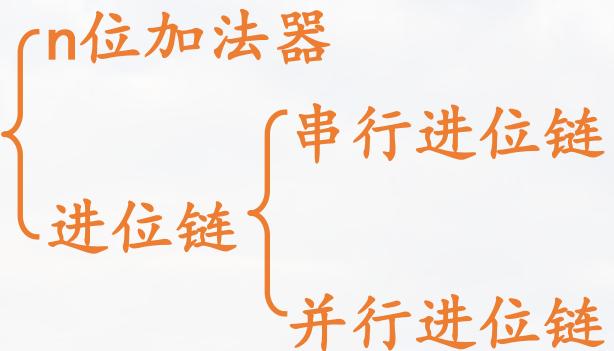
组成图：



特点：
结构简单，
速度极慢。

三、并行加法器

1、定义：如果用n位全加器一步实现n位相加，即n位同步相加，这样的加法器称为**并行加法器**。

2、组成：并行加法器 

n位加法器
进位链
串行进位链
并行进位链

根据输入量（指 C_{i-1} ）提供时间的不同，将进位链分为带串行进位链的并行加法器，带并行进位链的并行加法器。加法器的运算速度不仅与全加器的运算速度有关，更主要的因素是取决于进位传递速度。

三、并行加法器

3、进位信号的基本逻辑

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

令 $G_i = A_i B_i$ 进位产生函数

$P_i = A_i \oplus B_i$ 进位传递函数

则 $C_i = G_i + P_i C_{i-1}$

4、串行进位链

定义：各级进位信号直接依赖于低一级的进位信号

关系式：

$$C_1 = G_1 + P_1 C_0$$

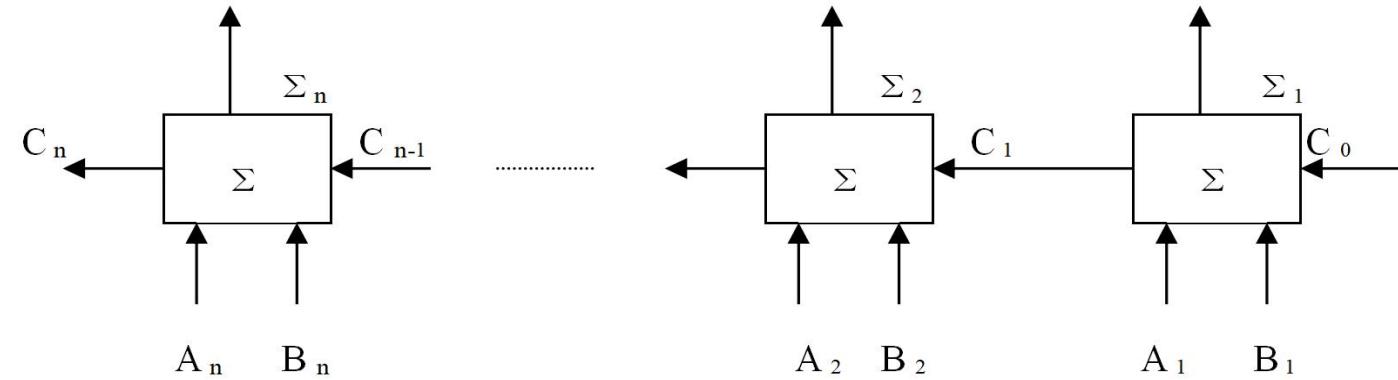
$$C_2 = G_2 + P_2 C_1$$

.....

$$C_n = G_n + P_n C_{n-1}$$

三、并行加法器

结构图：



特点：结构比较简单，运算速度比较慢。

5、并行进位链

定义：各级进位信号是并行（同时）形成的。

关系式：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

.....

$$C_n = G_n + P_n G_{n-1} + \dots + P_n \dots P_1 C_0$$

$$(A_i, B_i, C_0)$$

↓ 稳定

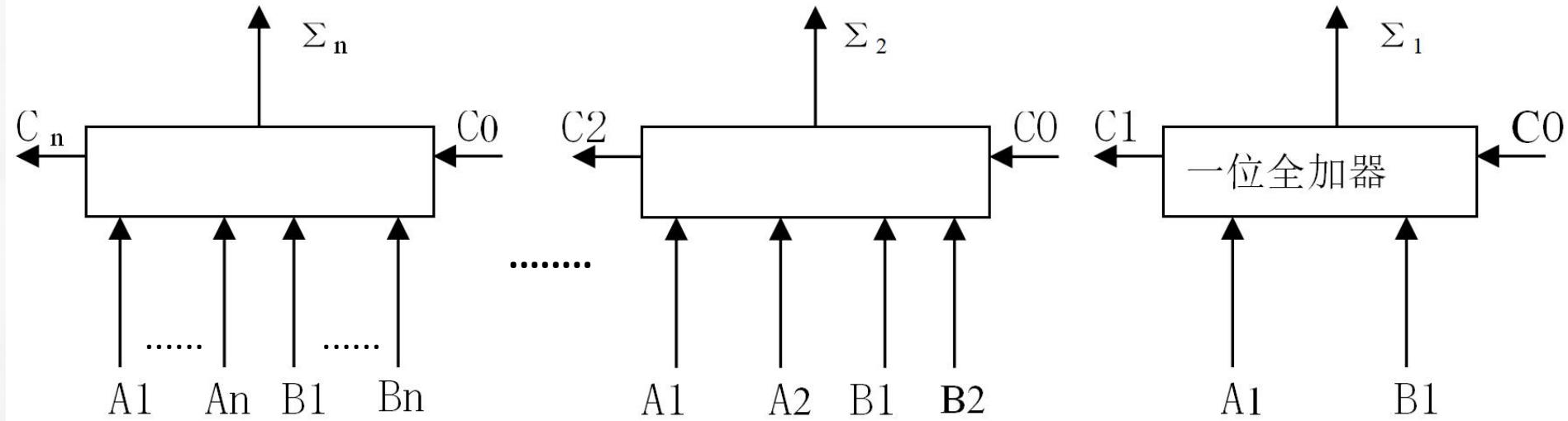
$$(G_i, P_i, C_0)$$

↓ 稳定

$$C_i$$

三、并行加法器

结构图：

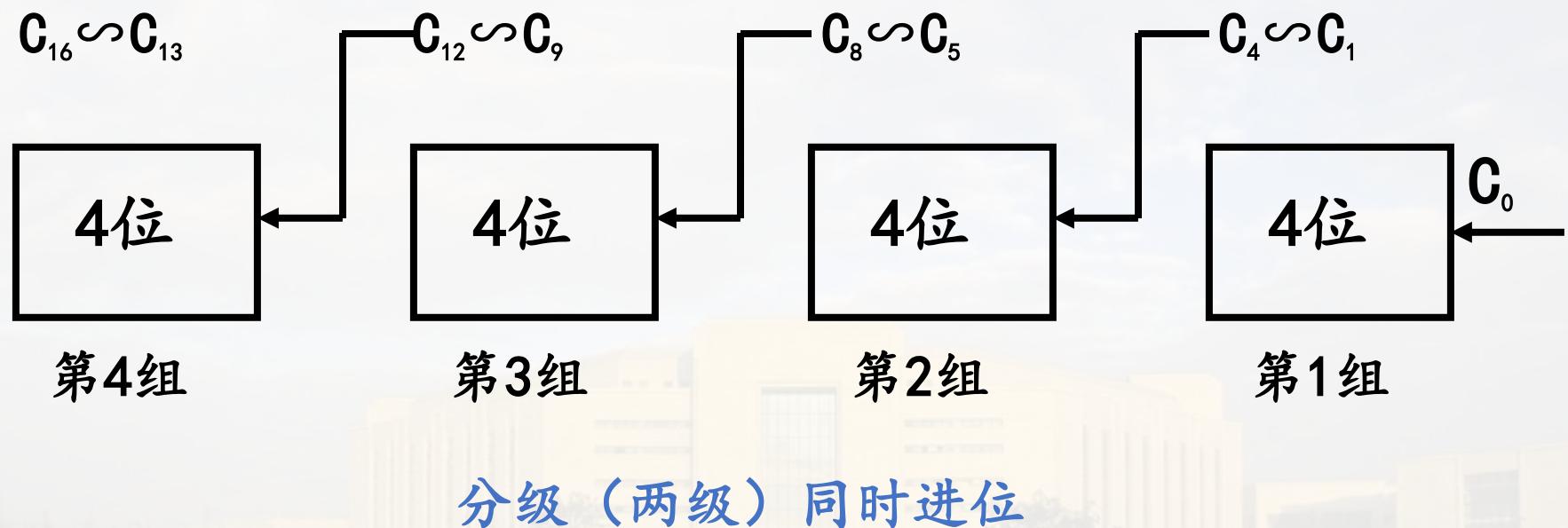


特点：结构复杂，运算速度快。

三、并行加法器

6、组内并行，组间并行（实际为串行）的进位链

例如：加法器字长16位，设4位为一组，则将进位链分为两级。



(1) 第一级：小组内并行进位链

第一小组： $C_1 = G_1 + P_1 C_0$

$$C_2 = G_2 + P_2G_1 + P_2P_1C_0$$

$$C_3 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1C_0$$

$$C_4 = G_4 + P_4G_3 + P_4P_3G_2 + P_4P_3P_2G_1 + P_4P_3P_2P_1 C_0$$

G | P |

第二小组： $C_5 = G_5 + P_5 C_{||}$

$$C_6 = G_6 + P_6G_5 + P_6P_5C_I$$

$$C_7 = G_7 + P_7G_6 + P_7P_6G_5 + P_7P_6P_5C_1$$

$$C_8 = G_8 + P_8G_7 + P_8P_7G_6 + P_8P_7P_6G_5 + P_8P_7P_6P_5 C_1$$

G_{II} **P_{II}**

三、并行加法器

第三小组：

$$C_9 = G_9 + P_9 C_{II}$$

$$C_{10} = G_{10} + P_{10}G_9 + P_{10}P_9 C_{II}$$

$$C_{11} = G_{11} + P_{11}G_{10} + P_{11}P_{10}G_9 + P_{11}P_{10}P_9 C_{II}$$

$$C_{12} = \underline{G_{12} + P_{12}G_{11}} + \underline{P_{12}P_{11}G_{10}} + \underline{P_{12}P_{11}P_{10}G_9} + \underline{P_{12}P_{11}P_{10}P_9 C_{II}}$$

G_{III} P_{III}

第四小组：

$$C_{13} = G_{13} + P_{13} C_{III}$$

$$C_{14} = G_{14} + P_{14}G_{13} + P_{14}P_{13} C_{III}$$

$$C_{15} = G_{15} + P_{15}G_{14} + P_{15}P_{14}G_{13} + P_{15}P_{14}P_{13} C_{III}$$

$$C_{16} = \underline{G_{16} + P_{16}G_{15}} + \underline{P_{16}P_{15}G_{14}} + \underline{P_{16}P_{15}P_{14}G_{13}} + \underline{P_{16}P_{15}P_{14}P_{13} C_{III}}$$

G_{IV} P_{IV}

三、并行加法器

(2) 第二级：小组内并行进位链

$$C_I = G_I + P_I C_0$$

$$\begin{aligned} C_{II} &= G_{II} + P_{II} C_I \\ &= G_{II} + P_{II} G_I + P_{II} P_I C_0 \end{aligned}$$

利用低位进位信号形成的输出变量，作为高位进位信号所需的输入变量

$$\begin{aligned} C_{III} &= G_{III} + P_{III} C_{II} \\ &= G_{III} + P_{III} G_{II} + P_{III} P_{II} G_I + P_{III} P_{II} P_I C_0 \end{aligned}$$

$$\begin{aligned} C_{IV} &= G_{IV} + P_{IV} C_{III} \\ &= G_{IV} + P_{IV} G_{III} + P_{IV} P_{III} G_{II} + P_{IV} P_{III} P_{II} G_I \\ &\quad + P_{IV} P_{III} P_{II} P_I C_0 \end{aligned}$$



四、ALU单元与多位ALU部件

定义：若干位全加器，并行进位链，输入选择门集成在一块芯片上，构成ALU逻辑。

1、一位ALU逻辑

组成 $\left\{ \begin{array}{l} \text{1位加法器 (求和、进位)} \\ \text{1位输入选择器 (1对与或非门)} \\ \text{1个公共控制门 (算术或逻辑运算)} \end{array} \right.$

逻辑关系式：

$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1}$$

$$C_i = A_i B_i + (A_i \oplus B_i) \oplus C_{i-1}$$

2、四位ALU芯片举例：参照相关章节



谢谢观看

计算机组成原理



信息与软件工程学院
School of Information and Software Engineering