

Design Report

R06943087 葉玲瑜 R06943086 張奕凡

1. 架構設計

我們的設計主要使用到一個256x16與512x16的ram組成一個768*16的ram，address從0~767我們可以把這個ram分成3塊，從DCK讀跟GCK寫分別都會用到3塊其中的兩塊，根據tb的輸入方法，不管是30fps或是60fps(會多visit的這種)，我們都可以確保重疊的部分使用讀出的資料必定早於寫入該處的位置。

我們在輸出PWM的時候，為了壓縮RTL面積，不想要一次load 16 bit，所以我們會分成四輪去load sram，一次只load 4 bit，分別依序load進15:12, 11:8, 7:4, 3:0的資料，如果是3:0就讓counter數一個0~15，7:4就讓counter數0~255-15，如果11:8就讓counter數0~4095-255，如果是30fps就讓counter數0~65535-4095。當Counter<資料[n+3:n]時，該對應的PWM就輸出1，即可做出pwm的效果。

如果假設是60fps的情形，我們會改為依序load 0,14:12，在Vsync拉高的那個cycle表現個為的情形，之後讓counter從0~32767-4095，後三輪則跟30fps相同。

我們會在要計算這輪或這條scanline的PWM時，要先從SRAM load出下個scanline的下16個pixel的資料，並在最後一個cycle時準備更新至負責比較的register上。

透過計算address目前的狀態，我們可以得到目前已經做了幾條scanline，如果目前是60fps, round0且address已經正在做第31條scanline的最後一輪時，則會把address倒回第一條scanline時，如果假設是60fps round1或是30fps結束時就不會倒回。透過此種方式則可以不斷循環處理照片。

下圖為本架構合成後的相關資訊：

```
*****
Report : area
Design : LEDDC
Version: N-2017.09-SP2
Date   : Wed Jan  9 07:23:37 2019
*****

Library(s) Used:

slow (File: /home/raid7_2/course/cvscd/CBDK_IC_Contest/CIC/SynopsysDC/db/slow.db)
sram_256x16 (File: /home/raid7_2/user06/r06087/Evan/sram_256x16/sram_256x16_slow_syn.db)
sram_512x16 (File: /home/raid7_2/user06/r06087/Evan/sram_512x16/sram_512x16_slow_syn.db)

Number of ports:                23
Number of nets:                 674
Number of cells:                585
Number of combinational cells:  389
Number of sequential cells:     194
Number of macros/black boxes:   2
Number of buf/inv:              52
Number of references:           97

Combinational area:              3739.372185
Buf/Inv area:                   293.650199
Noncombinational area:          6872.772717
Macro/Black Box area:          122983.527344
Net Interconnect area:          80500.414124

Total cell area:                 133595.672246
Total area:                     214096.086369
1
report_timing > LEDDC_syn.timing_rpt
report_timing
```

2. DRC

```
Begin Summary ...
Cells       : 0
SameNet     : 0
Wiring      : 0
Antenna     : 0
Short       : 0
Overlap     : 0
End Summary

Verification Complete : 0 Viols.  0 Wrngs.

*****End: VERIFY GEOMETRY*****
*** verify geometry (CPU: 0:00:00.7  MEM: 16.7M)
```

3. LVS

```
Begin Summary
Found no problems or warnings.
End Summary

End Time: Thu Jan 10 02:49:12 2019
Time Elapsed: 0:00:00.0

***** End: VERIFY CONNECTIVITY *****
Verification Complete : 0 Viols.  0 Wrngs.
(CPU Time: 0:00:00.0  MEM: 0.000M)
```

4. APR後CHIP Area

```
Start to collect the design information.
Build netlist information for Cell LEDDC.
Finished collecting the design information.
Average module density = 1.000.
Density for the design = 1.000.
= stdcell_area 7386 sites (12537 um^2) / alloc_area 7386 sites (12537 um^2).
Pin Density = 0.03119.
= total # of pins 2573 / total area 82490.
***** Analyze Floorplan *****
Die Area(um^2)       : 153474.00
Core Area(um^2)      : 140018.53
Chip Density (Counting Std Cells and MACROs and IOs): 81.713%
Core Density (Counting Std Cells and MACROs): 89.566%
Average utilization  : 100.000%
Number of instance(s) : 1158
Number of Macro(s)    : 2
Number of IO Pin(s)   : 23
Number of Power Domain(s) : 0
***** Estimation Results *****
*****
```