



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

FREKVENČNÍ SYNTEZÁTOR PRO MIKROVLNNÉ KOMUNIKAČNÍ SYSTÉMY

FREQUENCY SYNTHESIZER FOR MICROWAVE COMMUNICATION SYSTEMS

SEMESTRÁLNÍ PRÁCE

SEMESTRAL THESIS

AUTOR PRÁCE

AUTHOR

Bc. Filip Klapil

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Ing. Miroslav Kasal, CSc.

BRNO 2019

Semestrální práce

magisterský navazující studijní obor **Elektronika a sdělovací technika**

Ústav radioelektroniky

Student: Bc. Filip Klapil

ID: 177545

Ročník: 2

Akademický rok: 2019/20

NÁZEV TÉMATU:

Frekvenční syntezátor pro mikrovlnné komunikační systémy

POKYNY PRO VYPRACOVÁNÍ:

MM2E:

Seznamte se s kmitočtovými syntezátory s fázovým závěsem pro mikrovlnné kmitočty na bázi čipů Analog Devices a Maxim. Seznamte se rovněž s kritickými parametry syntezátorů jako jsou frekvenční stabilita, minimální krok, fázový šum. K vybranému čipu navrhnete řídicí procesor včetně firmware a připojení k PC sběrnici USB. Provedte nutné obvodové simulace a navrhnete DSP.

MMSE:

Syntezátor realizujte a proměřte jeho parametry.

DOPORUČENÁ LITERATURA:

[1] Kroupa, Venceslav F. Frequency Synthesis: Theory, Design & Applications, Griffin, ISBN 0-470-50855-8

[2] Ulrich L. Rohde " Microwave and Wireless Synthesizers: Theory and Design ", John Wiley & Sons, August 1997, ISBN 0-471-52019-5

[3] Analog Devices: <https://www.analog.com/en/index.html#>

Termín zadání: 23.9.2019

Termín odevzdání: 16.12.2019

Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

Konzultant:

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor semestrální práce nesmí při vytváření semestrální práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Cílem semestrální práce je návrh řešení frekvenčního syntezátoru pro mikrovlnné komunikační systémy. Konkrétně se práce zabývá návrhem kmitočtového syntezátoru se smyčkou fázového závěsu. Na začátku práce je vysvětlen princip a uvedeny základní vlastnosti této metody generování signálu. Následuje krátké pojednání o parametrech syntezátorů a co je při návrhu může ovlivňovat. Práce obsahuje rozbor dvou vybraných kmitočtových syntezátorů se smyčkou fázového závěsu MAX2871 a ADF4157. Po výběru syntezátoru následuje část, kde se práce věnuje návrhu realizace zapojení kmitočtového syntezátoru.

KLÍČOVÁ SLOVA

PLL, PLO, kmitočtový syntezátor, frekvenční syntezátor, fázový závěs, celočíselný, neceločíselný, mikrovlny, frekvenční generátor, VCO, PFD, fázový šum, násobič kmitočtu, zdvojovač kmitočtu, dělič kmitočtu, filtr smyčky, MAX2871, ADF4157.

ABSTRACT

This work deals with developing a solution of a frequency synthesizer for a microwave communication systems. Especially the design of frequency synthesizer with phase-locked loop. At beginning of the thesis the principle and basic properties of this method of signal generation are explained. The following is a brief discussion of the parameters of synthesizers and their influence on design. The thesis contains an analysis of two selected frequency synthesizers with phase-locked loop MAX2871 and ADF4157. After the selection of the most suitable synthesizer the specific implementation of the frequency synthesizer is determined in the thesis.

KEYWORDS

PLL, PLO, frequency synthesizer, phase-locked loop, integer, fractional, microwave, frequency generator, VCO, PFD, phase noise, frequency multiplier, frequency doubler, frequency divider, loop filter, MAX2871, ADF4157.

Klapil, F. *Frekvenční syntezátor pro mikrovlnné komunikační systémy*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2019. 32 s., 6 s. příloh. Semestrální práce. Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

PROHLÁŠENÍ

Prohlašuji, že svoji semestrální práci na téma „Frekvenční syntezátor pro mikrovlnné komunikační systémy“ jsem vypracoval samostatně pod vedením vedoucího semestrální práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené semestrální práce dále prohlašuji, že v souvislosti s vytvořením této semestrální práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Tímto bych chtěl poděkovat mému vedoucímu práce prof. Ing. Miroslavu Kasalovi, CSc. za účinnou metodickou, pedagogickou i odbornou pomoc a další cenné rady při zpracování mé semestrální práce.

OBSAH

Úvod	1
1 Frekvenční syntezátory s fázovým závěsem	2
1.1 Fázový závěs	2
1.1.1 Fázově frekvenční detektor.....	2
1.1.2 Filtr smyčky	3
1.1.3 Napětím řízený oscilátor	4
1.2 Čítač jako dělička ve zpětné vazbě PLL	4
1.2.1 Syntezátory s celočíselným dělicím poměrem.....	4
1.2.2 Syntezátory s neceločíselným dělicím poměrem.....	6
2 Parametry syntezátorů	7
2.1 Kmitočtový krok	7
2.2 Spektrální šumové vlastnosti.....	7
2.3 Kmitočtový rozsah	9
2.4 Stabilita kmitočtu	9
3 Výběr syntezátoru	10
3.1 MAX2871	10
3.1.1 Referenční vstup	11
3.1.2 Fázový detektor a nábojová pumpa	11
3.1.2.1 Redukce skluzu (Cycle Slip reduction)	11
3.1.2.2 Režim zrychleného zavěšení (Fast-Lock)	12
3.1.3 Napětím řízený oscilátor	12
3.1.3.1 Automatický režim výběru vhodného VCO.....	12
3.1.3.2 Manuální výběr VCO	13
3.1.4 Celočíselný/neceločíselný režim.....	13
3.1.5 Výstup syntezátoru	14
3.1.6 Režim nízké spotřeby.....	15
3.1.7 Režim potlačující tvorbu diskrétních nežádoucích kmitočtů.....	15
3.1.8 Vnitřní AD převodník.....	15
3.1.9 Nastavení fáze	15
3.1.10 Komunikace se syntezátorem	15

3.2	ADF4157	17
3.2.1	Referenční vstup	17
3.2.2	Fázový detektor a nábojová pumpa	18
3.2.2.1	Redukce skluzu (CSR)	18
3.2.2.2	Režim rychlého zavěšení (Fast-Lock)	18
3.2.3	Neceločíselný režim	19
3.2.4	VF vstup syntezátoru	19
3.2.5	Režim nízké spotřeby	19
3.2.6	Komunikace se syntezátorem	19
3.3	Porovnání syntezátorů	20
4	Návrh realizace syntezátoru	22
4.1	Napájecí část	23
4.2	Přepínání referenčního signálu	26
4.3	Obvod frekvenčního syntezátoru	27
4.4	Výstupní obvody	28
4.5	Řídicí část s MCU	30
4.6	Návrh realizace syntezátoru	31
5	Závěr	32
	Literatura	33
	Seznam symbolů, veličin a zkratk	35
A	Návrh zařízení	37
A.1	Obvodové zapojení frekvenčního syntezátoru	37
A.2	DPS frekvenčního syntezátoru – top (strana součástek)	38
A.3	Frekvenční syntezátor – osazovací předpis – top	38
A.4	DPS frekvenčního syntezátoru – bottom (strana spojů)	39
A.5	Frekvenční syntezátor – osazovací předpis – bottom	39
B	Seznam součástek	40

SEZNAM OBRÁZKŮ

Obrázek 1	Blokové schéma smyčky fázového závěsu	2
Obrázek 2	Odezva výstupního kmitočtu na skokovou změnu frekvence [2]	3
Obrázek 3	PLL syntezátor s celočíselným dělicím poměrem a pevným předděličem	5
Obrázek 4	PLL syntezátor s celočíselným dělicím poměrem a řízeným předděličem	5
Obrázek 5	Blízké spektrum fundamentálního kmitočtu výstupního signálu celočíselného syntezátoru [2]	8
Obrázek 6	Blokové schéma syntezátoru MAX2871 [6]	10
Obrázek 7	Blokové schéma obvodu ADF4157 [7]	17
Obrázek 8	Blokový koncept řešení frekvenčního syntezátoru	22
Obrázek 9	Schéma zapojení napájecí části	23
Obrázek 10	Vložný útlum průchodkových kondenzátorů pro různé hodnoty jejich kapacity [13]	24
Obrázek 11	Závislost impedance feritové perličky na frekvenci [13]	24
Obrázek 12	Závislost potlačení zvlnění napájecího napětí na frekvenci zvlnění [16] ...	25
Obrázek 13	Schéma zapojení přepínání referenčního signálu	26
Obrázek 14	Schéma zapojení frekvenčního syntezátoru MAX2871	27
Obrázek 15	Schéma zapojení výstupních obvodů syntezátoru	28
Obrázek 16	Schéma zapojení části řídicího mikrokontroleru	30
Obrázek 17	3D vizualizace návrhu realizace frekvenčního syntezátoru	31

SEZNAM TABULEK

Tabulka 1 Teoretická stabilita jednotlivých kmitočtových standardů [9]	9
Tabulka 2 Srovnání klíčových vlastností syntezátorů MAX2871 a ADF4157	20
Tabulka 3 Vybrané parametry zesilovače GVA-63+ [19].....	29

ÚVOD

Kmitočtové syntezátory se používají pro generování harmonických průběhů s diskrétními kmitočty odvozených z jednoho (koherentní) či více zdrojů (nekoherentní). Podle způsobu odvození se pak rozlišují syntezátory s přímou a nepřímou syntézou. [1] Tato práce se zabývá návrhem nepřímého kmitočtového syntezátoru s fázovým závěsem pro mikrovlnné kmitočty. Od navrhovaného modulu syntezátoru bude předpokládán dostatečný kmitočtový krok (alespoň 10 Hz), frekvenční stabilita a v neposlední řadě univerzálnost modulu.

Kmitočtové syntezátory s fázovým závěsem (PLL) mohou být sestaveny z obvodových součástek realizujících jednotlivé funkční bloky nebo jsou dostupné v podobě integrovaných obvodů. Integrace funkčních bloků PLL syntezátoru do miniaturních velikostí pozitivně ovlivňuje výsledné parametry. Výrobci nabízejí velký výběr PLL syntezátorů v různých variantách integrace pokrývající široké spektrum kmitočtů výstupního signálu až do řádů nízkých desítek GHz. Takto mohou integrovat frekvenční čítače (programovatelné / pevné), realizující funkci děliček kmitočtů, násobičky kmitočtu na výstupu VCO či fázový detektor včetně nábojové pumpy. Mohou také obsahovat napětím řízený oscilátor, který bývá často složen z mnoha dalších sub-VCO. Ten pak ve výsledku pokrývá spolehlivě avizované široké spektrum výstupních frekvencí bez nutnosti použití děličky nebo násobičky kmitočtu na výstupu. Je velmi časté, že takové VCO má též možnost nastavení výstupní úrovně výkonu.

Práce je rozdělena do 5 na sebe navazujících částí. V první kapitole je vysvětlen princip funkce PLL syntezátoru a jsou obecně rozebrány jednotlivé funkční celky. Druhá kapitola se zabývá objasněním základních parametrů při porovnávání syntezátorů. Taktéž je zde nastíněno, co daný parametr ovlivňuje. Následuje kapitola, ve které jsou podrobně rozebrány vlastnosti a způsob ovládání dvou vybraných syntezátorů (MAX2871 a ADF4157). Na konci této kapitoly je pak přehledné shrnutí nejdůležitějších parametrů a konečné rozhodnutí, který syntezátor bude v práci použit. Čtvrtá kapitola obsahuje návrh realizace včetně návrhu desky plošného spoje. Poslední částí práce je závěr, který hodnotí dosažené výsledky a možný další postup práce.

1 FREKVENČNÍ SYNTEZÁTORY S FÁZOVÝM ZÁVĚSEM

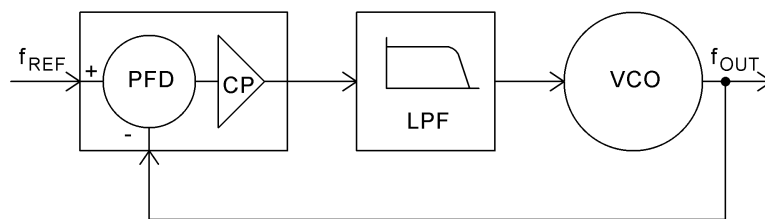
Výstupní signál takového oscilátoru je koherentně odvozen od jednoho zdroje referenčního signálu. Používají se pro generování signálu na vyšších frekvencích až do nízkých desítek GHz. Principem je fázově synchronizovat signál napětím řízeného oscilátoru (VCO) na výstupu systému se signálem z referenčního oscilátoru. Frekvenční syntezátor se skládá z následujících základních bloků – Fázového závěsu (Phase-Locked Loop) a děliček kmitočtu ve zpětné vazbě, případně na vstupu referenčního zdroje signálu, pro dosažení dostatečného kmitočtového kroku. [1], [2], [3]

1.1 Fázový závěs

Systém se skládá se ze tří základních funkčních bloků:

1. Fázově frekvenční detektor (Phase Frequency Detector – PFD) s nábojovou pumpou (Charge Pump – CP)
2. Filtr smyčky – filtr typu dolní propust
3. Napětím řízený oscilátor (Voltage Controlled Oscillator – VCO)

Signál z referenčního zdroje signálu je v bloku PFD fázově porovnáván s výstupním signálem, generovaným blokem VCO. Vzájemné fázové posunutí těchto dvou signálů vytvoří na výstupu PFD patřičný řídicí signál, který je po filtraci přiveden na řídicí vstup VCO. Stav, který nastane, když je fáze výstupního a referenčního signálu stejná, se nazývá synchronní a smyčka PLL je tzv. zavěšena. Výstup PFD má v tomto stavu konstantní průběh. [2]



Obrázek 1 Blokové schéma smyčky fázového závěsu

1.1.1 Fázově frekvenční detektor

Nejjednodušším stavebním prvkem může být analogová násobička. Ovšem v moderních obvodech fázových závěsů se používají spíše klopné obvody (KO) typu D. Podle použitého prvku se tedy PFD dělí na analogové a digitální. Toto rozdělení určuje i označení celého fázového závěsu. Pokud je systém analogový, mluvíme o PLL a v případě číslicového fázového závěsu o DPLL. Jestliže je pak například celý PFD realizován číslicovými obvody, jedná se o ADPLL. PFD pak může být realizováno také softwarově, tedy technikou DSP. V takovém případě mluvíme o SPLL.

Na výstupu těchto KO je připojena nábojová pumpa, která generuje třístavový signál (-1, 0, +1). Pokud je výstupní signál VCO nižší, než signál referenční je výstup ve stavu +1. To způsobuje zvyšování napětí na vstupu VCO a tedy zvyšování výstupní frekvence. [2], [3]

1.1.2 Filtr smyčky

Bývá realizován jako pasivní nebo aktivní. Výrazně ovlivňuje vlastnosti a chování celého systému, jako je například odezva systému na skokové změny požadované frekvence, stabilitu nebo fázový šum. Jeho úkol spočívá v integrování pulsů výstupního signálu PFD a odfiltrování nežádoucích vyšších kmitočtů. Aktivní filtr smyčky bývá použit například v případě, že nábojová pumpa nedostačuje pro přeladění VCO, nebo z důvodu fázové koherence, kdy je potřeba, aby se filtr choval jako ideální integrátor apod. [3]

Filtr se chová jako setrvačný systém, zavádí tedy do systému zpoždění, které ovlivňuje dynamickou odezvu na změnu výstupního kmitočtu. Při změně kmitočtu dojde ke skokové změně frekvence signálu na vstupu PFD, která vyvolá na výstupu postupnou změnu frekvence jako je na obrázku 2.



Obrázek 2 Odezva výstupního kmitočtu na skokovou změnu frekvence [2]

Při nevhodném návrhu filtru může dojít k prodloužení času nezbytného k zavěšení detektoru, nebo dokonce k úplnému rozkmitání systému. S tímto ohledem se volí šířka pásma filtru nejvýše jako desetina referenčního kmitočtu.

$$f_c \leq 0,1 \cdot f_1 \quad (1)$$

kde f_c v Hz představuje mezní kmitočet filtru smyčky (typu dolní propust), tedy šířku pásma a kmitočet na vstupu fázového detektoru referenčního signálu f_1 v Hz. [2]

Při použití velké šířky pásma filtru je systém citlivý i na rychlé změny frekvence a k ustálení frekvence na výstupu dochází rychle. Nevýhodou je ovšem velké množství nežádoucích složek ve spektru výstupního signálu. U malé šířky pásma je tomu pak přesně naopak. [2]

Zdvojnásobení velikosti šířky pásma lze docílit zdvojnásobením frekvence fázového detektoru, nebo úpravou velikosti proudu smyčky. Toto je klíčová vlastnost v návrhu širokopásmových syntezátorů se smyčkou fázového závěsu. Je to nejjednodušší cesta, jak kompenzovat změny v zisku VCO, viz níže. [4]

1.1.3 Napětím řízený oscilátor

Jedná se o blok, který je zodpovědný za samotné generování signálu. Jeho základním parametrem je zisk K_v s jednotkou Hz/V. [2] Zisk nebývá v celém spektru konstantní, což má za následek možnou nestabilitu a tím pádem vyšší nároky na filtr smyčky. Dále od nosného kmitočtu se tedy může objevit dominantnější šum, který musí být potlačen filtrem smyčky. Platí tedy, že fázový šum na výstupu systému je tím menší, čím menší je citlivost tohoto oscilátoru. [4]

1.2 Čítač jako dělička ve zpětné vazbě PLL

Obecně pro fázový závěs musí platit, že ve stavu zavěšení je výstupní kmitočet systému roven kmitočtu referenčnímu:

$$f_1 = f_2 \quad (2)$$

kde f_1 v Hz představuje kmitočet na vstupu fázového detektoru pro referenční signál a f_2 v Hz kmitočet na výstupu systému. [2]

Pro dosažení dostatečně malého kmitočtového kroku, musí mít referenční kmitočet na vstupu PFD dostatečně malou hodnotu. K tomuto účelu se na vstupu PFD zařazuje programovatelná dělička s označením R . Platí pak, že:

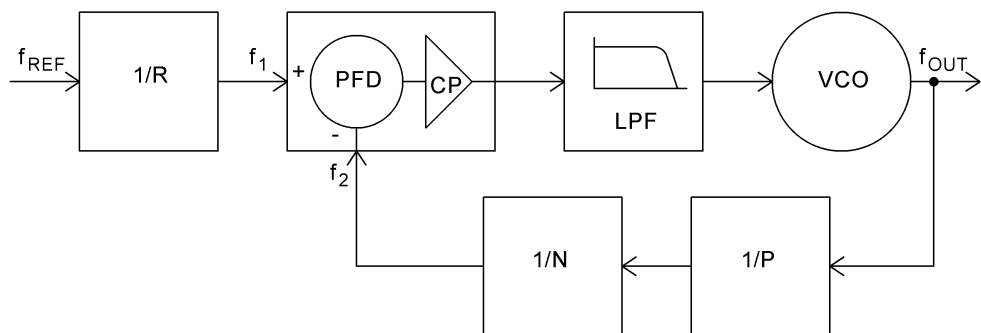
$$f_1 = \frac{f_{REF}}{R} \quad (3)$$

kde f_1 v Hz je kmitočet na vstupu PFD pro referenční signál, f_{REF} v Hz je frekvence zdroje referenčního signálu a R je celočíselná hodnota udávající dělicí poměr. [2]

Aby bylo možné výstupní kmitočet v řádu jednotek až desítek GHz přivést zpět k porovnání na fázový detektor, je nutné jej podělit. Tímto je také zajištěna možnost přeladování celého systému, jestliže je frekvenční dělička realizována jako programovatelná. Existuje více možností, jak realizovat zpětnou vazbu PLO. Podle toho se dělí na dva základní druhy, a to syntezátory s celočíselným (Integer-N) a neceločíselným (Fractal-N) dělicím poměrem. [2]

1.2.1 Syntezátory s celočíselným dělicím poměrem

Zpětná vazba u tohoto typu syntezátoru se může skládat z pevného nebo z řízeného předděliče a následně samotného programovatelného děliče kmitočtu. U syntezátorů s dostatečně nízkým výstupním kmitočtem pak lze předdělič úplně vypustit. Kmitočet signálu vstupujícího do děliče je dostatečně nízký, na to, aby s ním mohl pracovat přímo. [2]



Obrázek 3 PLL syntezátor s celočíselným dělicím poměrem a pevným předděličem

Pro kmitočet na vstupu PFD ze zpětné vazby pak platí:

$$f_2 = \frac{f_{OUT}}{P \cdot N} \quad (4)$$

kde f_2 v Hz odpovídá vstupnímu kmitočtu PFD ze zpětné vazby, f_{OUT} v Hz je frekvence výstupního signálu syntezátoru, P je dělicí poměr pevné předděličky a N je dělicí poměr programovatelného čítače. [2]

Jestliže platí ve stavu zavěšení smyčky PLL vztah (2), lze za pomoci rovnic (3) a (4) odvodit, že výstupní kmitočet se rovná:

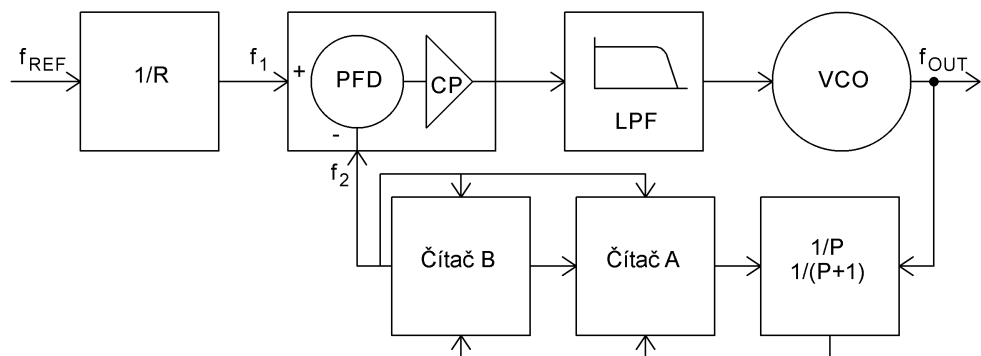
$$f_{OUT} = \frac{f_{REF}}{R} \cdot P \cdot N \quad (5)$$

Kmitočtový krok je pak:

$$\Delta f = \frac{f_{REF}}{R} \cdot P \quad (6)$$

Z rovnice (6) je tedy patrné, že čím větší bude hodnota předděliče, tím se zhorší kmitočtové rozlišení syntezátoru. [2]

Syntezátor s řízeným předděličem, který je na obrázku 4, má výhodu v tom, že jeho kmitočtový krok je nezávislý na hodnotě předděliče P .



Obrázek 4 PLL syntezátor s celočíselným dělicím poměrem a řízeným předděličem

Tento předdělič se označuje jako Dual-Modulus a jeho princip spočívá v tom, že v prvním kroku jsou oba čítače A i B vynulovány a předdělič je nastaven na hodnotu $P+1$. Oba čítače (A i B) čítají impulzy dané poměrem $P+1$ do doby, než čítač A dosáhne své

maximální hodnoty A_{\max} . Následně je předdělič přepnut na hodnotu P a čítání pokračuje do stavu, kdy i čítač B dosáhne své maximální hodnoty B_{\max} . Poté se opět začíná prvním krokem. [2]

Na vstupu PFD je pak frekvence zpětnovazební smyčky rovna [2]:

$$f_2 = \frac{f_{\text{OUT}}}{A + P \cdot B} \quad (7)$$

Výstupní frekvence za použití vztahů (2), (3) a (7) bude:

$$f_{\text{OUT}} = \frac{f_{\text{REF}}}{R} \cdot (A + P \cdot B) \quad (8)$$

Kmitočtový krok takového syntezátoru je dán vztahem:

$$\Delta f = \frac{f_{\text{REF}}}{R} \quad (9)$$

U syntezátorů s celočíselným dělicím poměrem a řízeným předdělicem je tedy kmitočtový krok závislý pouze na velikosti děliče referenčního kmitočtu. Pro dosažení velmi malého kroku by dělicí poměr R musel být vysoký. Úměrně tomu musí být zvětšena i hodnota N . Snižování frekvence PFD vede na delší čas zachycení celého oscilátoru, jak bylo již nastíněno ke konci v kapitole 1.1.2 Filtr smyčky. Zvyšování dělicího poměru N má pak za následek vyšší fázový šum na výstupu. [2]. Tyto problémy eliminuje syntezátor s neceločíselným dělicím poměrem.

1.2.2 Syntezátory s neceločíselným dělicím poměrem

Velmi malého kmitočtového kroku je u tohoto typu syntezátoru docíleno neustálým přepínáním mezi dělicím poměrem N a $N+1$. Syntezátor tedy určitý čas pracuje s jedním poměrem a určitou dobu s druhým poměrem, čemuž pak průměrně bude odpovídat nastavená neceločíselná hodnota. Přepínání probíhá podle algoritmu funkce průměrování (například za pomoci sigma-delta modulátoru) tak, že výsledkem je neceločíselný dělicí poměr N_F čemuž odpovídá vztah:

$$N_F = N_{\text{INT}} + \frac{N_{\text{FRAC}}}{N_{\text{MOD}}} \quad (10)$$

kde N_F je výsledný dělicí poměr, N_{INT} je celočíselná část dělicího poměru a poměr $\frac{N_{\text{FRAC}}}{N_{\text{MOD}}}$ udává velikost neceločíselné části. [2]

Hodnota N_{MOD} může nabývat fixní či nastavitelné hodnoty.

Jelikož se díky tomu hodnota kmitočtu na vstupu zpětnovazební smyčky filtru nikdy neustálí a VCO tyto změny bude neustále korigovat, bude ve výstupním spektru větší množství nežádoucích složek. [2]

2 PARAMETRY SYNTEZÁTORŮ

V této kapitole budou rozebrány základní parametry, které mohou být klíčové při výběru syntezátoru pro konkrétní aplikaci.

2.1 Kmitočtový krok

Kmitočtový krok neboli rozlišení syntezátoru, představuje nejmenší rozdíl mezi dvěma možnými diskrétně nastavitelnými kmitočty.

Z předchozí kapitoly plyne, že jej může ovlivňovat více bloků, ze kterých se daný syntezátor skládá. Malého kroku lze dosáhnout použitím velkého dělicího poměru referenčního signálu R , to ovšem na úkor většího fázového šumu.

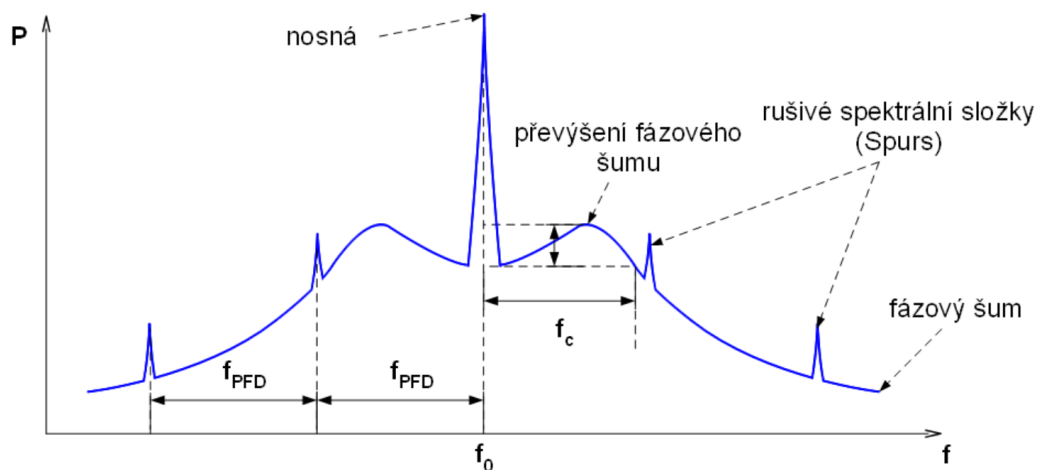
Také způsob realizování zpětné vazby fázové smyčky výrazně ovlivňuje kmitočtový krok. Při použití pevné předděličky je rozlišení přímo úměrné velikosti předděličky, Použitím řízeného předděliče se jeho vliv na kmitočtový krok vyloučí.

Největšího rozlišení lze ovšem dosáhnout až s použitím neceločíselného syntezátoru, kdy je dělicí poměr ve zpětné vazbě pomocí speciálního algoritmu přepínám mezi hodnotami N a $N+1$.

2.2 Spektrální šumové vlastnosti

Každý oscilátor je na svém výstupu zatížen šumem. Jedním z nich je amplitudový, který lze u frekvenčních syntezátorů prakticky zanedbat. [1] Daleko výraznější se jeví diskrétní parazitní složky a fázový šum, který vzniká náhodnými fluktuacemi fáze. [3]

Fázový šum v těsné blízkosti 1. harmonického kmitočtu je způsoben převážně fázovým šumem referenčního signálu. Jelikož je jím referenční signál zatížen minimálně, spektrální čára na výstupu syntezátoru je úzká. Se zvětšující vzdáleností od fundamentálního harmonického kmitočtu může fázový šum vykazovat určité převýšení. To je dáno dělicím poměrem syntezátoru a filtrem smyčky, konkrétně jeho mezním kmitočtem f_c . Od tohoto kmitočtu je fázový šum určen již především vlastnostmi VCO. Ve spektru výstupního signálu syntezátoru se objevují i rušivé složky o diskrétních kmitočtech. V případě celočíselného syntezátoru je jejich poloha dána frekvencí fázového detektoru f_{PFD} . U neceločíselného syntezátoru jsou tyto diskrétní kmitočty rozmístěny složitěji. [2]



Obrázek 5 Blízké spektrum fundamentálního kmitočtu výstupního signálu celočíselného syntezátoru [2]

Fázový šum je nejčastěji definovaný jako poměr šumového výkonu o šířce pásma 1 Hz v určité vzdálenosti od nosné (offsetu), k celkovému výkonu:

$$\alpha_{dB}(\Delta f) = 10 \cdot \log \left(\frac{P_{SSB}}{P_C} \right) = P_{C_{dBm}} - P_{SSB_{dBm}} \quad (11)$$

kde $\alpha_{dB}(\Delta f)$ v dBc/Hz je fázový šum na offsetovém kmitočtu Δf , P_{SSB} v dBm je spektrální hustota výkonu o šířce pásma 1 Hz na offsetovém kmitočtu Δf a P_C v dBm značí výkon nosné. [1]

Pro měření fázového šumu je nejjednodušší použít spektrální analyzátor. V takovém případě se jedná o měření ve frekvenční oblasti. Vzhledem ke způsobu zpracování signálu ve spektrálním analyzátoru má ovšem tato metoda jistá omezení. Fázový šum měřeného oscilátoru musí být podstatně vyšší než jeho amplitudový šum. Jak bylo v úvodu řečeno, tato podmínka je obvykle splněna.

Dalším omezením je použitý mezifrekvenční filtr (RBW) ve spektrálním analyzátoru. Jeho šířka pásma bývá většinou mnohem vyšší, než požadovaný 1 Hz. Lze stanovit jistý korekční faktor, ten se ovšem může pro různé šířky pásma lišit. Obecně se používá korekční faktor šumové šířky pásma 1,2násobku RBW. Fázový šum po započtení tohoto korekčního faktoru se pak rovná:

$$\alpha_{dB}(\Delta f) = 10 \cdot \log \left(\frac{P_{SSB}}{P_C} \right) - 10 \cdot \log(1,2 \cdot RBW) \quad (12)$$

Měření na velmi malém offsetovém kmitočtu je též omezené díky použitému RBW filtru. Proto je obvykle možné měřit spektrálním analyzátozem fázový šum nejméně 1 kHz od nosného kmitočtu.

Pokud je fázový šum samotného oscilátoru použitého ve spektrálním analyzátoru větší než fázový šum měřeného signálu, měření je pak zcela nerealizovatelné. Dynamický rozsah je u této metody malý, jelikož není možné potlačit nosnou měřeného signálu.

Pro měření fázového šumu na nižších offsetových kmitočtech lze využít například metody kmitočtového diskriminátoru se zpožďovacím vedením, nebo případně kvadrurní metody. [8]

2.3 Kmitočtový rozsah

Dalším významným kritériem při výběru syntezátoru s fázovým závěsem je zajisté jeho kmitočtový rozsah. Jsou dostupné v integrované podobě v různých topologiích. Díky tomu jsou miniaturní s minimální potřebou okolních obvodů. To umožňuje generování frekvencí v širokém rozsahu kmitočtů. Napětím řízený oscilátor může být součástí syntezátoru, případně je připraven pro jeho připojení. Syntezátory se zabudovaným VCO často rozšiřují kmitočtový rozsah pomocí výstupních děličů, případně násobiček kmitočtu. Širokopásmové syntezátory mají mnohdy kromě výstupních děličů/násobiček také samotný VCO složený z více dílčích sub-oscilátorů, což umožňuje přímé generování výstupního signálu, bez nutnosti jej jakkoliv upravovat. Díky tomu lze generovat výstupní kmitočet s minimem nežádoucích produktů v širším rozsahu než při použití jediného VCO.

2.4 Stabilita kmitočtu

Výsledná stabilita kmitočtu syntezátoru vychází primárně z referenčního signálu. Posuzuje se z časového hlediska, kdy interval sledování změn je buď dlouhodobý, případně krátkodobý. O dlouhodobé frekvenční stabilitě se hovoří v případě, že úsek pozorování výstupní frekvence je mnohem delší než 1 sekunda. [2] Údaj o změně kmitočtu musí být vždy doplněn i o informaci, v jakém přesném časovém úseku, bylo měření prováděno. Pro mikrovlnné aplikace se využívají zdroje o vysoké krátkodobé i dlouhodobé stabilitě kmitočtu. Jedná se především o zdroje signálu založené na rubidiovém či cesiovém standartu. Případně oscilátory tzv. ukázněných, což je vhodná kombinace oscilátorů s dobrou krátkodobou stabilitou a dobrou dlouhodobou stabilitou signálu. Tomu odpovídá například oscilátor GPSDO.

Tabulka 1 Teoretická stabilita jednotlivých kmitočtových standardů [9]

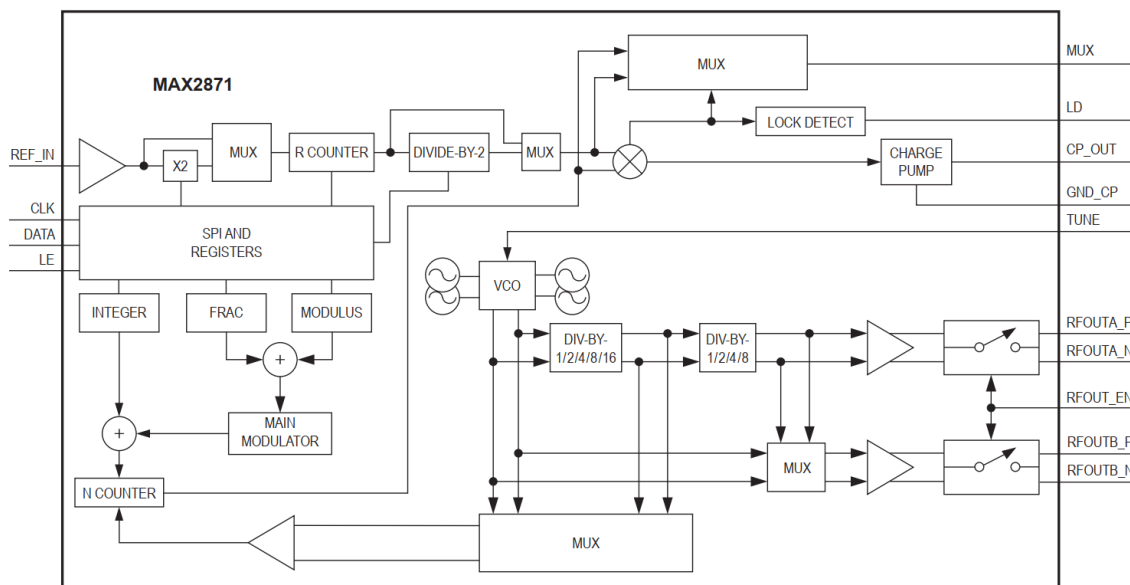
Typ oscilátoru	XO	TCXO	OCXO	GPSDO	Rubidium	Cesium	Hydrogen maser	Optical clock
Stabilita 1 den	$1 \cdot 10^{-5}$	$1 \cdot 10^{-7}$	$1 \cdot 10^{-9}$	$1 \cdot 10^{-11}$	$1 \cdot 10^{-12}$	$1 \cdot 10^{-13}$	$1 \cdot 10^{-15}$	$1 \cdot 10^{-18}$
Chyba PPM	10 PPM	0,1 PPM	1 PPB	0,01 PPB	3 PPT	0,3 PPT	1 PPQ	0,001 PPQ
Chyba při 1 GHz	10 kHz	10 Hz	1 Hz	0,01 Hz	3 mHz	300 μ Hz	1 μ Hz	1 nHz
Chyba času za 1 rok	315,36 s	3,15 s	31,5 ms	0,32 ms	94,61 μ s	9,46 μ s	31,54 ns	31,54 ps
Vhodné pro	HF	UHF	SHF	HAM	GSM/4G	GPS	časový standart	časový standart

3 VÝBĚR SYNTEZÁTORU

Z dostupných integrovaných obvodů frekvenčních syntezátorů, byly vybrány dva, kteří nejlépe odpovídají požadovaným vlastnostem. Především vlastností generování kmitočtů v oblasti 5,5 GHz. Při výběru syntezátoru bude pohled zaměřen na následující dva frekvenční syntezátory. Jeden od firmy Analog Devices, který nese označení ADF4157 a druhý od firmy Maxim Integrated s označením MAX2871. Každý syntezátor bude podrobně rozebrán a na závěr kapitoly bude výsledné přehledné srovnání obou syntezátorů. Informace k jednotlivým syntezátorům vycházejí z katalogových listů výrobců [6] a [7].

3.1 MAX2871

Jedná se o frekvenční syntezeátor s fázovým závěsem, který umí pracovat ve frekvenčním rozsahu od 23,5 MHz do 6 GHz. Obsahuje zabudované VCO, které pokrývá základní rozsah frekvencí od 3 GHz do 6 GHz. Nižší kmitočty jsou realizovány pomocí integrované děličky kmitočtu na výstupu syntezeátoru. Tento obvod má k dispozici dva diferenciální výstupy, u kterých může být nezávisle řízen výstupní výkon od -1 dBm do +8 dBm v 3 dB krocích. Komunikace s tímto syntezeátorem je umožněna pomocí 4 vodičů, z čehož tři jsou využity pro sběrnici SPI a jeden jako víceúčelový s funkcí, přepínanou programově přes rozhraní SPI. Napájecí napětí by mělo být voleno v rozsahu od 3 V do 6 V a proudový odběr při aktivovaných obou výstupech by měl být maximálně 200 mA. Kompletní přehledný popis všech registrů lze nalézt v katalogovém listu [6]



Obrázek 6 Blokové schéma syntezátoru MAX2871 [6]

3.1.1 Referenční vstup

Vstupní obvody pro referenční signál umožňují přivést signál o kmitočtu od 10 MHz do 210 MHz. Obsahují zabudovanou pevnou děličku kmitočtu dvěma (registr 2, bit 24 RDIV2) a násobičku kmitočtu dvěma (registr 2, bit 25 DBR). Při použití násobičky je maximální možná frekvence na vstupu syntezátoru 105 MHz. Poslední významnou částí je 10-bitový R čítač (registr 2, bity 23:14). Ten slouží jako programově ovladatelná dělička referenčního kmitočtu v rozsahu 1–1023. Pro frekvenci na vstupu fázového komparátoru z referenčního vstupu pak bude platit následující vztah:

$$f_1 = f_{REF} \cdot \frac{1 + DBR}{R \cdot (1 + RDIV2)} \quad (13)$$

kde f_1 v Hz vyjadřuje kmitočet na vstupu fázového detektoru, f_{REF} v Hz je kmitočet referenčního signálu na vstupu syntezátoru, DBR je stav násobičky dvěma (1 aktivní, 0 neaktivní), R je programovatelný dělič referenčního kmitočtu a $RDIV2$ představuje stav děličky dvěma (1 aktivní, 0 neaktivní).

3.1.2 Fázový detektor a nábojová pumpa

Na fázový detektor lze přivést signál o frekvenci maximálně 140 MHz při celočíselném režimu a 125 MHz při neceločíselném režimu. Při použití invertujícího aktivního filtru smyčky je potřeba obrátit polaritu fázového detektoru, pro správnou funkci. Toho se docílí resetováním bitu PDP (registr 2, bit 6).

Pro filtr smyčky je na výstupu fázového detektoru umístěna nábojová pumpa. Proud je odvozen od hodnoty externě připojeného rezistoru mezi pinem RSET a zemí. Hodnotu proudu také ovlivňuje nastavení bitů CP3:0 (registr 1, bity 12:9). Hodnota proudu nábojové pumpy se vypočítá podle následujícího vztahu:

$$I_{CP} = \frac{1,63}{R_{SET}} \cdot (1 + CP3:0) \quad (14)$$

kde I_{CP} v A je výstupní proud nábojové pumpy, R_{SET} v Ω je hodnota rezistoru na pinu RSET a CP3:0 je dekadická hodnota CP bitů.

Při neceločíselném režimu lze docílit potlačení diskretních rušivých složek v blízkosti nosného kmitočtu (spurů) nastavením bitů CPL (registr 1, bity 30:29). Nábojová pumpa má pak v tomto režimu upravenou linearitu. V celočíselném režimu musí být tyto bity vždy CPL = 00.

Nastavením bitu TRI lze výstup nábojové pumpy uvést do režimu vysoké impedance. Pro normální operace musí být tento bit resetován.

3.1.2.1 Redukce skluzu (Cycle Slip reduction)

Tato metoda je první ze dvou, která slouží ke zkrácení doby, potřebné k zavěšení smyčky při změně frekvence. Skluz fázového detektoru představuje stav, který nastane, když fázová odchylka na vstupu narůstá rychleji, než je smyčka fázového závěsu schopna korigovat. V přechodové charakteristice jsou pak tyto skluzy patrné jako zlomy, které jsou způsobeny tím, že nábojová pumpa generuje ladící napětí nesprávným směrem. Důsledkem toho je dramatický nárůst času, než se smyčka zavěsí. [5]

Syntezátor umožňuje tyto skluzy korigovat nastavením CSM bitu (registr 3, bit 18).

Proud musí být nábojovou pumpou nastaven na nejmenší možnou hodnotu. Díky tomu lze tedy dosáhnout rychlejšího zavěšení, aniž by bylo potřeba zvyšovat šířku pásma filtru.

3.1.2.2 Režim zrychleného zavěšení (Fast-Lock)

Tato metoda je druhou z možností, jak zlepšit dobu, potřebou k zavěšení smyčky. Kromě nutnosti nastavit nejmenší proud nábojové pumpy, je také nutná úprava zapojení samotného filtru smyčky. Ten je v tomto režimu připojen i na pin SW, který je syntezátorem přepínán z režimu vysoké impedance do stavu zkratu se zemí. Mód lze aktivovat po ukončení automatického výběru VCO, pokud jsou nastaveny bity CDM do 01 (registr 3, bity 16:15). Během Fast-Lock módu je hodnota nábojové pumpy automaticky zvyšována do hodnoty CP = 1111, kdy je následně pin SW přepnut z režimu vysoké impedance do režimu zkratu se zemí. Režim je automaticky deaktivován po uplynutí doby, kterou nastavuje uživatel jako:

$$t_{FAST-LOCK} = M \cdot \frac{CDIV}{f_1} \quad (15)$$

kde $t_{FAST-LOCK}$ v sekundách je doba, po které je deaktivován režim upravené smyčky, M je hodnota nastaveného M-čítače, $CDIV$ je dělička hodinového kmitočtu a f_1 v Hz je frekvence na vstupu fázového detektoru.

Hodnota $CDIV$ je nastavována podle časové konstanty filtru smyčky. Pokud tento režim není využíván, lze pin SW ponechat jako plovoucí. Úpravu hodnot součástek filtru smyčky lze najít v [6].

3.1.3 Napětím řízený oscilátor

Jak bylo již v úvodu řečeno, zabudované VCO umožňuje generovat výstupní signál přímo v rozsahu kmitočtů od 3 GHz do 6 GHz. Toho je dosaženo s pomocí čtyř samostatných VCO bloků, kdy každý blok se následně ještě dělí do dalších 16 sub-pásem.

3.1.3.1 Automatický režim výběru vhodného VCO

Při nastavování výstupní frekvence lze výběr VCO ponechat na automatické syntezátoru. V tomto režimu stavový automat vybírá nejvhodnější VCO, pokud je resetován bit VAS_SHDN (registr 3, bit 25). Taktovací kmitočet stavového automatu musí být nastaven BS bity (registr 4, bity 25:24, 19:12) na hodnotu:

$$BS = \frac{f_1}{50 \cdot 10^3} \quad (16)$$

kde BS je hodnota určující takt stavového automatu a f_1 v Hz je kmitočet na vstupu fázového detektoru od referenčního kmitočtu.

Neceločíselný výsledek vztahu stačí zaokrouhlit na nejbližší celočíselné číslo. V případě, že vypočítaná hodnota není v rozsahu 1-1023, registr se nastaví na spodní nebo horní hranici, podle toho, co je blíže výsledku. Čas, který trvá stavovému automatu zvolit vhodné VCO se vypočítá jako:

$$t_{VAS} = \frac{10}{f_{BS}} \quad (17)$$

kde t_{VAS} v sekundách je čas, potřebný pro výběr odpovídajícího VCO a f_{BS} v Hz odpovídá nastavené taktovací frekvenci stavového automatu.

Aby VCO bylo teplotně stabilní v teplotním rozsahu od -40 °C do +85 °C lze využít funkci nastavením bitu VAS_TEMP (registr 3, bit 24). V tomto režimu se volí nejvhodnější VCO také s ohledem na okolní teplotu. Doba t_{VAS} ale dosahuje přibližně 100 ms. V průběhu výběru VCO musí být bity RFA_EN (registr 4, bit 5) a RFB_EN (registr 4, bit 8) resetovány a bity 30:29 v registru 5 zase nastaveny.

3.1.3.2 Manuální výběr VCO

Manuální výběr VCO je umožněn nastavením bitu VAS_SHDN a výběrem konkrétního VCO v registru 3, bity 31-26. Manuální výběr zkrátí potřebný čas pro zachycení fázového závěsu o typicky 200 μ s. Postup, který je nutný dodržet při využívání manuálního módu, lze nalézt v katalogovém listě [6].

3.1.4 Celočíslný/neceločíslný režim

Pro uvedení syntezátoru do celočíselného módu je nutné nastavit bity INT (registr 0, bit 31) a LDF (registr 2, bit 8). Resetováním těchto dvou registrů se syntezátor přepne do neceločíselného režimu. Je dobré mít na paměti, že samotné nastavení registru F na hodnotu 0 neuvede syntezátor do celočíselného režimu. Tomu tak ovšem není při nastavení bitu F01 (registr 5, bit 24). To umožní automatické přepnutí do celočíselného módu při hodnotě $F = 0$.

Následující část textu bude pojednávat o vztazích mezi výstupním kmitočtem f_{OUTA} na výstupu syntezátoru A a odpovídajícím nastavení registrů.

Samotný kmitočet na výstupu VCO je určen jako:

$$f_{VCO} = f_{OUTA} \cdot DIVA \quad (18)$$

kde f_{VCO} v Hz je kmitočet na výstupu VCO, f_{OUT} v Hz je kmitočet na výstupu syntezátoru a $DIVA$ je dekadická hodnota bitů 22:20 v registru 4 určující nastavení děličky na výstupu syntezátoru.

Nastavením bitu FB (registr 4, bit 23) je dělička výstupního kmitočtu vyřazena ze smyčky fázového závěsu a platí vztah:

$$N + \frac{F}{M} = \frac{f_{VCO}}{f_1} \quad (19)$$

kde N je hodnota celočíselného dělicího poměru, F/M je hodnota určující neceločíselný poměr, f_{VCO} v Hz je kmitočet na výstupu VCO a f_1 v Hz vyjadřuje kmitočet na vstupu fázového detektoru.

N (registr 0, bity 30:15) je programovatelný 16bitový čítač v rozsahu 16-65535. M je nastavitelná hodnota (registr 1, bity 14:3) v rozsahu od 2-4095. Hodnota F je programovatelná v registru 0 přes bity 14:3, která může nabývat hodnot 0 až $M-1$. V neceločíselném režimu je rozsah platných hodnot registru N omezen na 19-4091. Dělič na výstupu lze nastavit pomocí $DIVA$ (registr 4, bity 22:20) v krocích 1/2/4/8/16/32/64/128.

Pokud je naopak bit FB resetován, tedy dělička výstupního kmitočtu je zařazena do smyčky a platí, že hodnota $DIVA \leq 16$, pak bude platit i následující vztah:

$$N + \frac{F}{M} = \frac{f_{VCO}}{f_1 \cdot DIVA} \quad (20)$$

Jestliže je hodnota výstupního předděliče větší než 16, platí tento vztah:

$$N + \frac{F}{M} = \frac{f_{VCO}}{f_1 \cdot 16} \quad (21)$$

Z výše definovaných vztahů lze odvodit, že výstupní kmitočet výstupu A se vypočítá, pokud platí:

1. $FB = 1$ podle:

$$f_{OUTA} = \frac{f_1 \cdot \left(N + \frac{F}{M}\right)}{DIVA} \quad (22)$$

2. $FB = 0$ a $DIVA \leq 16$ podle:

$$f_{OUTA} = f_1 \cdot \left(N + \frac{F}{M}\right) \quad (23)$$

3. $FB = 0$ a $DIVA > 16$ podle:

$$f_{OUTA} = \frac{f_1 \cdot \left(N + \frac{F}{M}\right)}{16} \quad (24)$$

Část syntezátoru s výstupem B má svůj výstupní kmitočet určený podle následujících vztahů:

1. $BDIV = 0$ (registr 4, bit 9):

$$f_{OUTB} = f_{OUTA} \quad (25)$$

2. $BDIV = 1$

$$f_{OUTB} = f_{VCO} \quad (26)$$

Kmitočtový krok syntezátoru v případě neděleného výstupu:

$$\Delta f = \frac{f_1}{M} \quad (27)$$

3.1.5 Výstup syntezátoru

Syntezátor nabízí dva diferenciální výstupy typu otevřený kolektor. Z tohoto důvodu je nutné použít RF tlumivku či 50 ohm rezistor mezi výstupním pinem a napájecím napětím. Každý výstup lze nezávisle aktivovat či deaktivovat pomocí bitů RFA_EN (registr 4, bit 5) a RFB_EN (registr 4, bit 8). Hardwarový pin RFOUT_EN umožňuje přivedením vysoké logické úrovně aktivovat, případně nízké úrovně deaktivovat, oba výstupy zároveň.

Výkon každého výstupu je programovatelný v 3 dB krocích od -4 dBm do +5 dBm přes APWR (registr 4, bity 4:3) a BPWR (registr 4, bity 7:6). Při nesymetrickém zapojení výstupu by měl být druhý nevyužitý výstup, zakončen charakteristickou impedancí. I přes

to, že diferenciální výstup není nevyužit, měl by být spojen s pinem VCC_RF.

Výstup syntezátoru by měl být po dobu přeladování deaktivován. K tomuto může být využito funkce, která se aktivuje nastavením bitu MTLN (registr 4, bit 10). Pokud bude digitální detekce zavěšení indikovat stav ztráty zavěšení (tedy stav přeladování), výstupy budou automaticky zakázány.

Výstupní frekvence může v průběhu ladění přesáhnout nastavenou frekvenci, což může v některých případech vyvolat záškuby na výstupu. To lze ošetřit vložím zpoždění, než dojde k opětovné aktivaci výstupu. Tato funkce je aktivní, pokud je kromě MTLN bitu také nastaven bit MUTEDL (registr 3, bit 17). Velikost zpoždění se vypočítá podle stejného vzorce (15) jako byl uveden v podkapitole 3.1.2.2 Režim zrychleného zavěšení (Fast-Lock).

3.1.6 Režim nízké spotřeby

Do režimu nízké spotřeby lze syntezátor přivést nastavením bitu SHDN (registr 2, bit 5) do vysoké úrovně, nebo také nastavením hardwarového pinu CE do nízké úrovně. Všechny části s výjimkou SPI rozhraní jsou poté vypnuty. Odběr syntezátoru by měl být pak maximálně 1 mA. Část syntezátoru zajišťující zpracování referenčního signálu je v tomto módu ve vysoké impedanci, což zajistí nezatěžování referenčního zdroje. Při ukončení tohoto režimu je nutné počkat nejméně 20 ms, než se zahájí nastavení výstupní frekvence VCO.

3.1.7 Režim potlačující tvorbu diskrétních nežádoucích kmitočtů

Sintezátor umožňuje nastavit 3 operační režimy sigma-delta modulátoru. Prvním z nich je režim nízkého šumu (Low-noise mode). Toho je ovšem dosaženo za cenu vyšších diskrétních nežádoucích kmitočtů. Ty mohou být potlačeny nastavením bitů SDN = 10 nebo SDN = 11 pro různé režimy rozhodování (registr 2, bity 30:29).

3.1.8 Vnitřní AD převodník

Sintezátor obsahuje integrovaný AD převodník, který lze využít k vyčítání ladícího napětí, případně teploty syntezátoru. Převodník nabízí 7-bitové rozlišení čtené hodnoty.

3.1.9 Nastavení fáze

Fáze výstupního signálu lze řídit pomocí bitů P (registr 1, bity 26:15). Výstupní fáze signálu je poté posunutá o:

$$\varphi = \frac{P}{M} \cdot 360^\circ \quad (28)$$

kde φ ve stupních je fázový posun, P registr nastavení fáze a M je programovatelný modul (registr 1, bity 14:3).

3.1.10 Komunikace se syntezátorem

Řídící data jsou do syntezátoru nahrávána přes sběrnici SPI. Tato sběrnice využívá ke komunikaci 3 vodičů označených jako CLK (Clock – vstup taktovacího kmitočtu), DATA

(představující MOSI – Master Out, Slave In – vstupní data) a LE (Load Enable – nahrání obsahu posuvného registru do příslušných registrů). Vyčítání dat je umožněno pomocí bitu MUX, který mimo sériové vyčítání registru může sloužit jako víceúčelový vstup/výstup. Bity 18 v registru 5 a 28:26 v registru 2 lze nastavit příslušnou funkcí MUX pinu. Více informací o této funkci lze nalézt v [6].

Syntezátor obsahuje šest 32bitových registrů určených pro zápis a jeden 32bitový pro čtení. Každý registr má vyšších 29 bitů určených pro data a nejnižší 3 určují adresu. Data jsou nahrávána od nejvýznamnějšího bitu (MSB) do posuvného registru. Po nasunutí všech 32 bitů je potřeba pinem LE obsah nahrát do příčného registru. Nahrání je synchronizováno na náběžnou hranu.

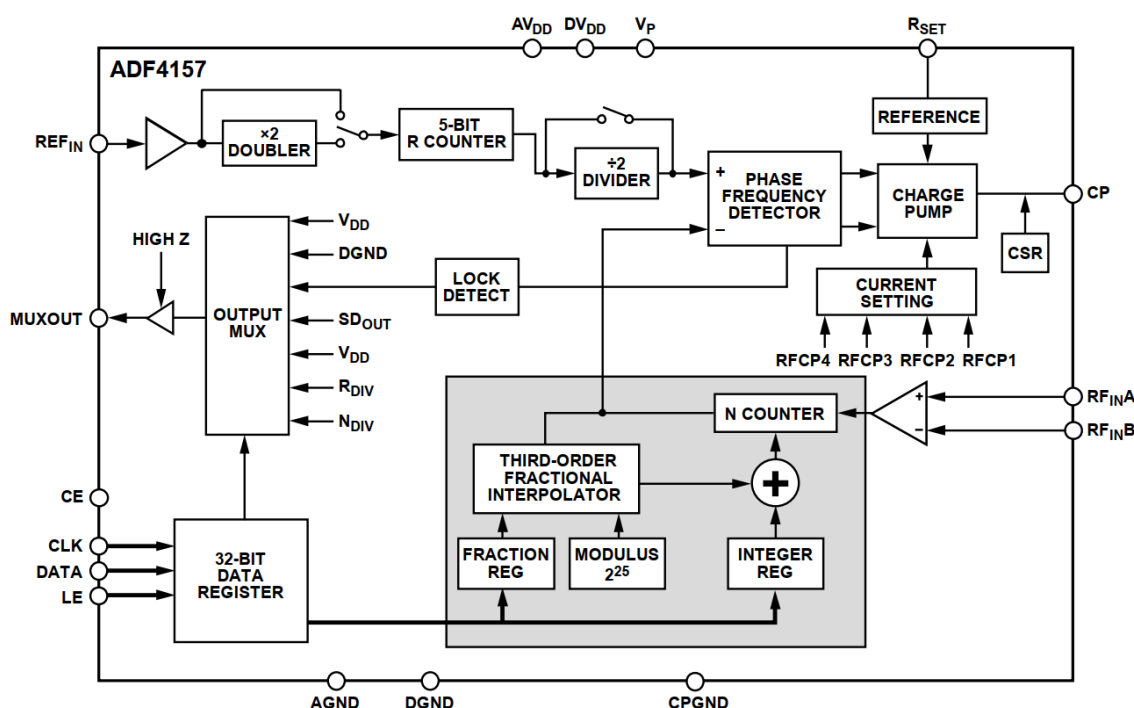
Při prvotním zapnutí, je nutné nahrát obsah všech registrů. V dalším běžném operačním režimu, je vhodné mezi opakovanými zápisy nechávat nejméně 20 ms.

Nahrávání jednotlivých registrů by mělo být v pořadí od registru 5 po registr 0. Při prvním nastavení po přivedení napájení tedy nahrát registr 5, počkat 20 ms, následně registr 4, kde bity 4 a 8 uvést do 0 pro zakázání výstupu a pak postupně zbylé registry v pořadí 3, 2, 1, 0. Tuto sekvenci pak provést ještě celou jednou s tím, že bity 4 a 8 stále držet resetované. Na konci této inicializační sekvence výstupy povolit.

Při běžném provozu, jsou některé bity dvojité nahrávané, aby se zajistilo uplatnění změn na výstupu v jeden časový okamžik. První zápis zajistí aktivování syntezátoru a druhý pak sekvenci výběru VCO. Výstup by měl být deaktivovaný, aby se zabránilo generování nežádoucích signálů na výstupu, viz. kapitola 3.1.5.

3.2 ADF4157

Tento frekvenční syntezátor je neceločíselný a pracuje v kmitočtovém rozsahu od 0,5 GHz do 6 GHz. Pro nižší kmitočty se musí zajistit, aby rychlost přeběhu na vstupu fázového detektoru byla větší než 400 V/ μ s. Syntezátor na výstupu neobsahuje VCO. To je nutné připojit externě. Smyčka fázového závěsu obsahuje pevný předdělič, který je 25bitový. Díky tomu má výstupní signál velmi vysoké rozlišení, bez nutnosti dělit referenční kmitočet, který zhoršuje rychlost zavěšení. Komunikaci zajišťuje sběrnice SPI a rozsah napájecího napájení by měl být v rozsahu 2,7 V - 3,3 V. Kompletní detailní výpis všech registrů lze najít v [7].



Obrázek 7 Blokové schéma obvodu ADF4157 [7]

3.2.1 Referenční vstup

Umožňuje připojit referenční signál v rozsahu od 10 MHz do 300 MHz. Frekvenci signálu lze zdvojnásobit aktivováním násobičky (registr 2, bit 20 – Reference Doubler), což zlepší šumový práh syntezátoru o 3 dB. Této vlastnosti lze využít samozřejmě pouze tehdy, pokud kmitočet na vstupu PFD nepřesáhne jeho maximální možnou hodnotu (32 MHz). Frekvenci referenčního signálu lze i dělit dvěma (registr 2, bit 21 – RDIV2 DBB), což může být užitečné v případě, že vstupní signál nesplňuje 50 % střidu. Programovatelný 5-bitový dělič R (registr 2, bity 19:15) umožňuje dělit referenční kmitočet v rozsahu 1-32.

Výstupní kmitočet takto upraveného signálu vstupujícího do fázového detektoru

bude:

$$f_1 = f_{REF} \cdot \frac{1 + D}{R \cdot (1 + T)} \quad (29)$$

kde f_1 v Hz je kmitočet referenčního signálu na vstupu fázového detektoru, f_{REF} v Hz je kmitočet referenčního signálu na vstupu syntezátoru, D představuje stav násobičky dvěma (1-aktivní, 0-neaktivní), R je hodnota nastavitelného čítače a T je stav děličky dvěma (1-aktivní, 0-neaktivní).

3.2.2 Fázový detektor a nábojová pumpa

Jak bylo již zmíněno, maximální kmitočet, se kterým PFD umožňuje pracovat je 32 MHz. Pomocí bitu 7 v registru 3 lze řídit citlivost detektoru. Pokud je registr resetován, musí proběhnout 24 po sobě jdoucích 15 ns cyklů, než nastane digitální detekce zavěšení. Pokud je nastaven, musí jich proběhnout 40.

Polarita fázového detektoru lze nastavit bitem 6 v registru 3.

Na výstupu je zařazená nábojová pumpa, přičemž její hodnotu lze ovládat programově skrze bity 27:24 v registru 2.

Maximální proud nábojové pumpy se nastavuje rezistorem připojeným mezi pin RSET a zem. Maximální proud nábojové pumpy je poté:

$$I_{CPMAX} = \frac{25,5}{R_{SET}} \quad (30)$$

Do režimu vysoké impedance ji lze uvést pomocí bitu 4 v registru 3. Menší tvorby diskretních kmitočtů lze docílit aktivací funkce „Negative Bleed Current“ (registr 4, bity 24:23).

3.2.2.1 Redukce skluzu (CSR)

Pro aplikaci tohoto režimu je nutné zajistit, aby referenční signál na vstupu PFD měl 50 % střidu a PFD byl v pozitivním režimu. Též proud nábojové pumpy musí být nastaven na nejmenší hodnotu.

Stejně jako u syntezátoru MAX2571 tato metoda slouží ke zkrácení doby zavěšení, aniž by bylo potřeba upravovat velikost šířky pásma filtru smyčky. Díky tomu lze dosáhnout menšího fázového šumu a menších diskretních rušivých složek na výstupu. Při této metodě se rozšiřuje lineární oblast funkce nábojové pumpy. Aktivuje se v registru 2 nastavením bitu 28.

3.2.2.2 Režim rychlého zavěšení (Fast-Lock)

Princip je opět obdobný jako u MAX2871. Režim je aktivován nastavením bitů 20:19 v registru 4 na hodnotu 01, kdy doba, po které je režim ukončen je načtena z bitů 18:7. Doba trvání je nastavena jako doba režimu rychlého zavěšení/frekvence fázového detektoru. Též musí být upraven filtr smyčky. Místo pinu SW, který v MAX2871 slouží extra pro tuto funkci, ADF4157 využívá pinu MUXOUT, který mimo jiné, stejně jako u MAX2871 může sloužit k dalším účelům.

3.2.3 Neceločíselný režim

Výstupní frekvence na výstupu externího VCO je určena následujícím vztahem:

$$f_{out} = f_1 \cdot \left(INT + \frac{FRAC}{2^{25}} \right) \quad (31)$$

kde f_{out} v Hz je frekvence na výstupu VCO, f_1 v Hz je frekvence fázového detektoru, INT je hodnota celočíselného děliče 12bitového čítače (23 až 4095), $FRAC$ je čítec zlomku (0 až $2^{25}-1$).

Jmenovatel zlomku je zde na rozdíl od MAX2871 dán pevnou děličkou. Výsledný kmitočtový krok je pak:

$$\Delta f = \frac{f_1}{2^{25}} \quad (32)$$

Syntezátor obsahuje řízený předdělič P/P+1 (registr 2, bit 22). Pro generování kmitočtů pod 3 GHz musí být předdělič nastaven na 4/5. Pro kmitočty nad 3 GHz je nutné nastavit 8/9. Při použití předděliče 4/5 je maximální hodnota INT registru 23, při 8/9 je 75.

3.2.4 VF vstup syntezátoru

Jelikož syntezátor neobsahuje VCO, které musí být realizováno externě, musí se přivést výstupní signál VCO zpět do syntezátoru. Jedná se o piny RF_{INA} a RF_{INB} . Druhý vstup je komplementární a měl by být kondenzátorem o hodnotě 100 pF navázán k zemi. Signál z VCO se pak přivede přes vazební kondenzátor na pin RF_{INA} .

3.2.5 Režim nízké spotřeby

Do tohoto režimu je syntezátor uveden nastavením bitu PD (registr 3, bit 5). Obsah registrů není nijak ovlivněn, k tomu dojde pouze při odpojení napájení. Pin pro přivedení referenčního zdroje signálu je uveden do režimu vysoké impedance, vnitřní zesilovač je na svém vstupu uzemněn a je rozpojena jeho zpětná vazba. Všechny napájecí větve syntezátoru jsou odpojeny, čítače setrvávají ve svém aktuálním stavu a nábojová pumpa je uvedena do vysoké impedance. Digitální indikace zavěšení je resetována a obvod RF_{IN}^x je odpojen od obvodů nastavujících pracovní bod. Jediný blok posuvného registru zůstává aktivní a připraven nahrát data do příslušného registru.

3.2.6 Komunikace se syntezátorem

Pro zápis do syntezátoru slouží opět rozhraní SPI. Data jsou do syntezátoru nasouvána s hodinovým taktem po 32 bitech do 4 registrů při vzestupné hraně LE signálu. Některé bity jsou opět nahrávány nadvakrát, tak aby výsledná změna nastala v jeden čas. Každé slovo je rozděleno na 29 bitů dat a 3 adresní bity. Ty udávají adresu konkrétního registru, pro které jsou data určena.

Pro výpis může sloužit pin MUXOUT, kdy je jeho funkce určena bity 30:27 v registru R0.

3.3 Porovnání syntezátorů

V následující tabulce jsou pro přehlednost srovnány klíčové vlastnosti těchto dvou syntezátorů.

Tabulka 2 Srovnání klíčových vlastností syntezátorů MAX2871 a ADF4157

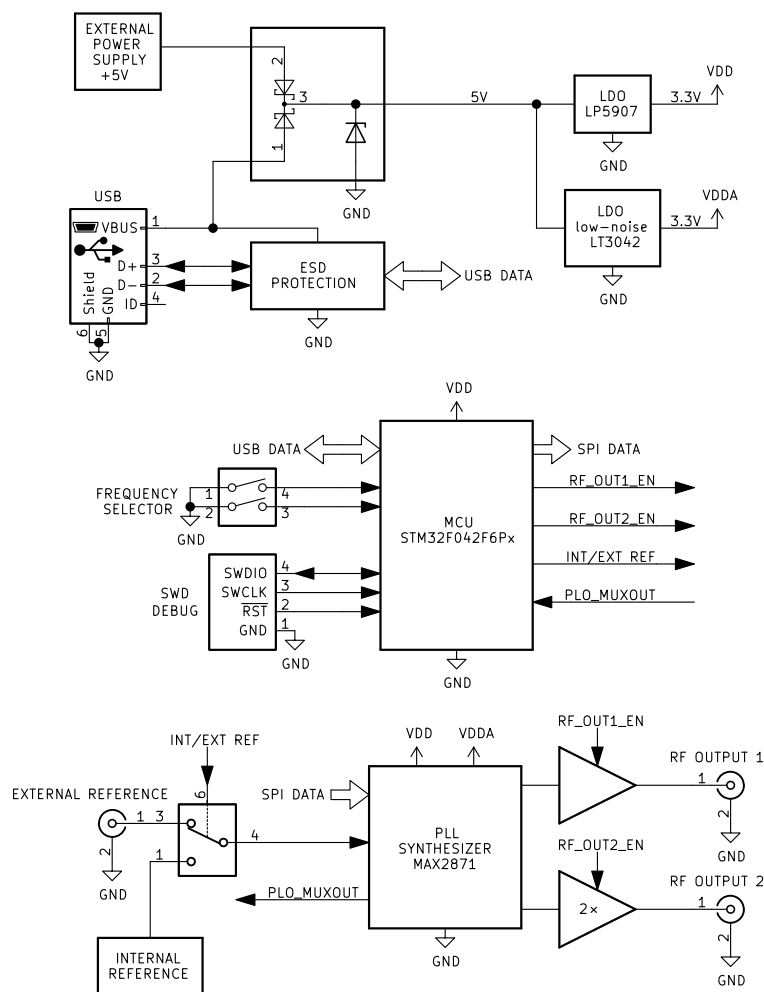
Syntezátor	MAX2871	ADF4157
Napájecí napětí	3 V-3,6 V	2,7 V-3,3 V
Proudová spotřeba	max. 200 mA (oba výstupy aktivní) 1 mA režim spánku	29 mA max 0,01 mA režim spánku
Komunikace	Řízení – SPI, 6 × 32-bit registr Výstupní MUX pin	Řízení – SPI, 5 × 32-bit registry, Výstupní MUX pin
Pouzdro	32 TQFN-EP	16 TSSOP 20 LFCSP
Druh	celočíslný / neceločíslný	neceločíslný
Kmitočtový rozsah	23,5 MHz-6 GHz	0,5 GHz-6 GHz
VCO	integrované 3 GHz-6 GHz	nutný externí
Úroveň harmonických v rozsahu základních kmitočtů VCO	2. harmonická.: -40 dBc 3. harmonická.: -34 dBc	-
Úroveň harmonických při dělení kmitočtu VCO/2	2. harmonická.: -25 dBc 3. harmonická.: -20 dBc	-
Výstupní výkon	-4 dBm až +5 dBm 3 dB krok	-
Rozsah f_{REF}	10-210 MHz	10-300 MHz
$f_{REF}/2$ a $f_{REF} \cdot 2$	ano	ano
$f_{1_MAX}(f_{PFD_MAX})$	140 MHz Int-N 125 MHz Frac-N	32 MHz
Čítač R	10-bit (1-1023)	5-bit (1-32)
Čítač N	16-bit 16-65535 v Int-N 19-4091 ve Frac-N	12 bit 23-4095 při $P=4/5 f$ <3 GHz 75-4095 při $P=8/9$ $f > 3$ GHz
Čítač F	0-(M-1)	0-($2^{25}-1$)
Čítač M	2-4095	pevný 2^{25}
Nejmenší kmitočtový krok ($f_1 = f_{REF} = 10$ MHz)	2442 Hz	0,298 Hz
práh šumu při Int-N	-230 dBc/Hz BW filtru smyčky: 2 MHz 200 kHz od nosné	-211 dBc/Hz BW filtru smyčky: 500 kHz 100 kHz od nosné

práh šumu při Frac-N	-	-211 dBc/Hz BW filtru smyčky: 500 kHz 100 kHz od nosné
----------------------	---	-----------------------------------------------------------------

S ohledem na požadovaný minimální kmitočtový krok, který má být alespoň 10 Hz, se jeví jako nejvhodnější použít syntezátor od Analog Devices ADF4157. Nicméně absence zabudovaného VCO by komplikovala hardwarový návrh, a proto bylo rozhodnuto použít spíše druhý porovnávaný od firmy Maxim Integrated MAX2871. Dosažení kmitočtů mimo jeho základní krok bude muset být realizováno výpočetním algoritmem, který vypočítá odpovídající nastavení registrů, pro dosažení minimální odchylky od zadaného kmitočtu.

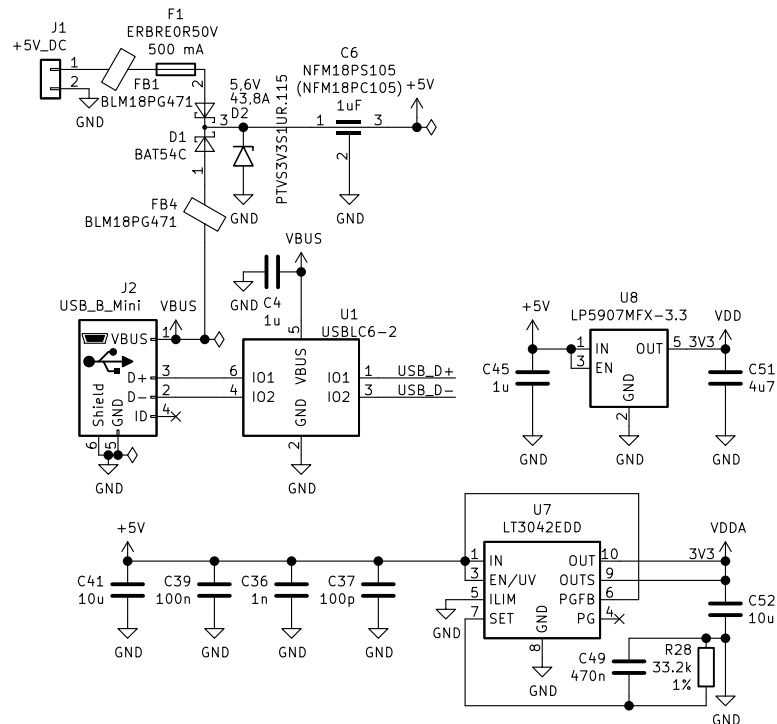
4 NÁVRH REALIZACE SYNTEZÁTORU

Prvotní návrh syntezátoru vychází ze zapojení referenčního designu výrobce [10] a především konstrukce z internetových stránek vhfdesign.com [11]. Výhodou tohoto postupu je ověřená konstrukce, která umožní odzkoušení realizace vlastního návrhu DPS s využitím firmwaru původní konstrukce. Po ověření funkce syntezátoru bude možné začít psát vlastní firmware k procesoru. Na obrázku 8 je blokový koncept navrženého modulu syntezátoru. V následujících podkapitolách budou jednotlivé funkční celky popsány podrobněji.



Obrázek 8 Blokový koncept řešení frekvenčního syntezátoru

4.1 Napájecí část

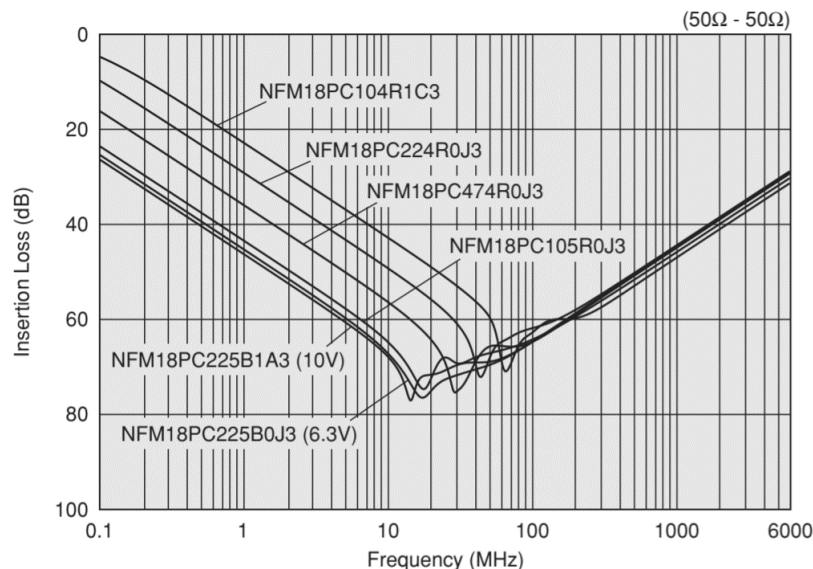


Obrázek 9 Schéma zapojení napájecí části

Napájení je umožněno buď z konektoru USB (J2), nebo ze zdroje externího stejnosměrného napětí +5 V připojeného na konektor J1. To zajišťuje dvojitá Schottkyho dioda D1 (BAT54C), která zároveň zajišťuje ochranu proti přepólování. Jako ochrana před nadměrným proudem, například při zkratu, je zde použita pojistka F1 o hodnotě 500 mA. Jako ochrana před přepětím je použit transil D2 (PTVS3V3S1UR.115). Ochranu proti přepětí na rozhraní USB realizuje speciální obvod U1 (USBLC6-2). Ten kromě ESD ochrany napájecího napětí také zajišťuje i účinnou ochranu datových vodičů. Napájecí pin obvodu je filtrován kondenzátorem C4.

U napájecí části je důležité zajistit vhodné odrušení a stabilizaci, jelikož analogové obvody syntezátoru jsou citlivé na kvalitu napájecího napětí. Nevhodný návrh napájecí části může vést k výraznému zhoršení spektrálních vlastností na výstupu oscilátoru.

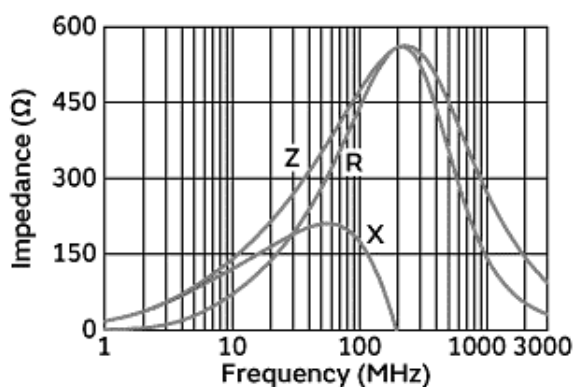
Odrušení je realizováno feritovými perličkami FB1 a FB4 (BLM18PG471) a průchodkovým kondenzátorem C6 (NFM18PC105). Ten se vyznačuje se svojí jedinečnou konstrukcí minimální parazitní indukčností. Nutno podotknout, že pro dosažení optimálních výsledků, musí být dodržen doporučený motiv plošného spoje, tedy co nejkratší spojení se zemnicí vrstvou s co největším množstvím menších prokůvů – minimalizuje se tím přidaná parazitní indukčnost plošným spojem. [12] Průchodkový kondenzátor má průběh potlačení kmitočtů na následujícím obrázku.



Obrázek 10 Vložený útlum průchodkových kondenzátorů pro různé hodnoty jejich kapacity [13]

Největší potlačení je blízko plánovanému referenčnímu kmitočtu syntezátoru. Je dobré si uvědomit, že změřená charakteristika je při impedanci $50\ \Omega$, tedy skutečná charakteristika se bude v zapojení lišit.

Průchodkovému kondenzátoru je předržena feritová perlička. Ta má na vyšších kmitočtech zásadně vyšší impedanci. Oproti použití běžné cívky, má také mnohem větší reálnou složku impedance. Tedy její jakost Q je menší. Průchodu stejnosměrného proudu však klade minimální odpor. Použitá perlička má průběh impedance podle následujícího obrázku.

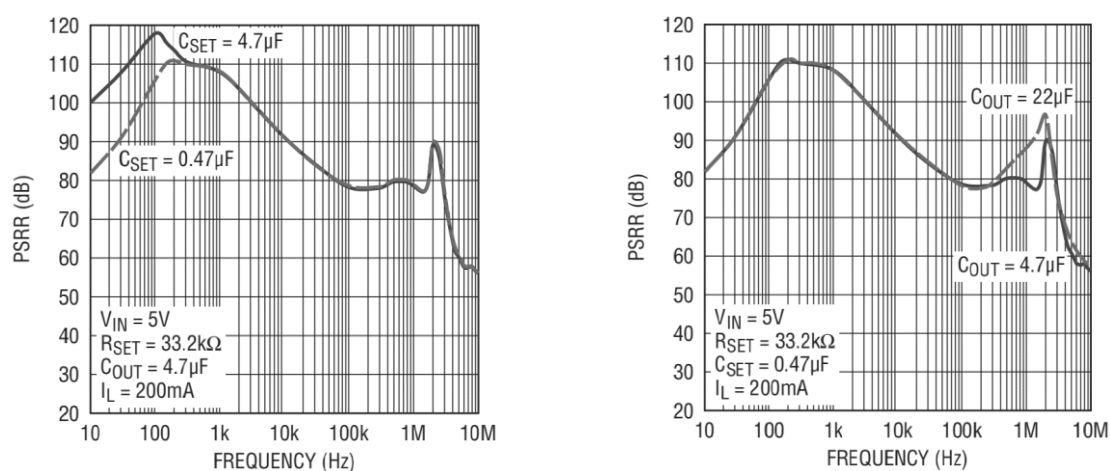


Obrázek 11 Závislost impedance feritové perličky na frekvenci [13]

Obvod syntezátoru a mikrokontroleru je napájen $3,3\text{ V}$, které jsou získány stabilizátory U8 a U7. Pro dosažení co nejmenšího možného šumu na výstupu syntezátoru je napájení rozdělené na digitální a analogovou část. Pro napájení mikrokontroleru a digitálních částí syntezátoru je použit lineární nízkošumový nízkoúbytkový (LDO) stabilizátor firmy Texas Instrument (TI) s označením LP5907MFX-3.3 (U8) jehož výstup

poskytuje stabilních 3,3 V. Je schopný dodávat až 250 mA výstupního proudu, což by mělo pro požadovanou aplikaci s přehledem dostačovat. Nároky na potlačení pronikání zvlnění ze vstupního napájení do výstupu a šumové parametry jsou při uvažování použití pro digitální část menší. Avšak i přesto je zvolen obvod s velice skvělými vlastnostmi. Výstupní šum je podle katalogového listu menší než $6,5 \mu V_{RMS}$ (v uvažované šířce pásma od 10 Hz do 100 kHz při proudovém zatížení 250 mA). Širokopásmové potlačení zvlnění napájecího napětí, označované jako PSRR, by mělo být u tohoto obvodu při 1 kHz superponovaném na vstupu LDO 82 dB (při zatížení výstupu 20 mA). Vstupní napájení je filtrováno kondenzátorem C45 a výstupní kondenzátorem C51. [15]

Pro napájení analogové části syntezátoru je použit preciznější LDO stabilizátor výrobce Analog Devices (AD) s označením LT3042EDD (U7). Šum na jeho výstupu je $0,8 \mu V_{RMS}$ (BW 10 Hz – 100 kHz). Průběh PSRR v závislosti na kmitočtu je pak na obrázku 12.

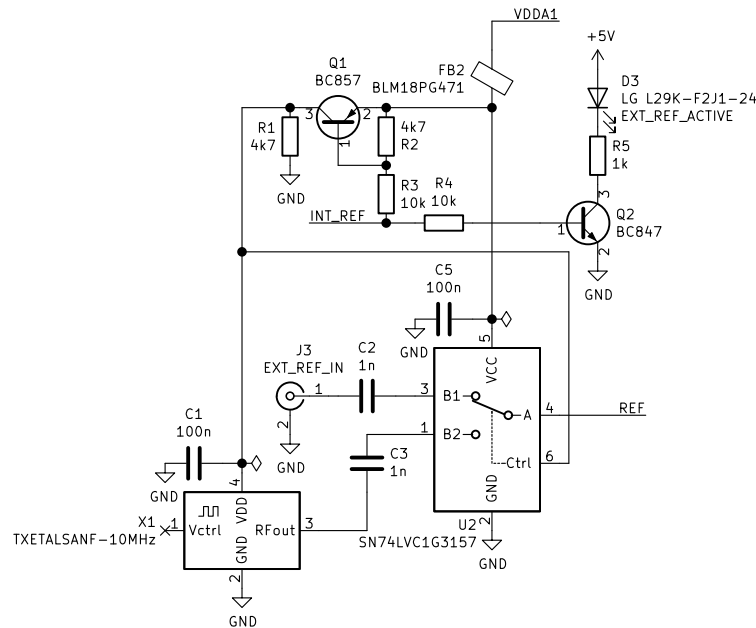


Obrázek 12 Závislost potlačení zvlnění napájecího napětí na frekvenci zvlnění [16]

Do systému je regulátor schopný dodávat proud až 200 mA. Zapojení je realizováno podle katalogového listu [16]. Nastavení výstupního napětí není řešeno jako obvykle napěťovou referencí z výstupu, ale proudovou referencí na pinu SET. To má výhodu zejména v tom, že regulátor pracuje vždy v konfiguraci jednotkového zesílení nezávisle na nastaveném výstupním napětí. To umožňuje regulátoru mít nezávislou smyčku zpětné vazby na její šířce pásma, frekvenční charakteristice a zisku, což vede k nezávislosti PSRR a šumu na nastaveném výstupním napětí. Další výhodou proudové reference je, že není potřeba použít chybový zesilovač pro zesílení napětí na SET pinu. To vede k větší napěťové stabilitě výstupu v řádu stovek mikrovoltů, která je fixní oproti napěťové referenci, kde se chyba výstupního napětí liší relativně s jeho velikostí.

Jelikož je zdroj proudu pro referenci velmi přesný, výsledná chyba výstupního napětí je pak silně závislá na přesnosti použitého rezistoru. Výrobce doporučuje použít přesný 1 % rezistor, kde v katalogovém listě uvádí přehlednou tabulku jeho hodnoty, pro různá výstupní napětí. Pro žádaných 3,3 V je hodnota rezistoru v proudové referenci 33,2 k Ω . Aby bylo výstupní napětí minimálně závislé na odebíraném výstupním proudu je doporučeno použít čtyř-vodičové zapojení (tzv. Kelvinovo zapojení) výstupního kondenzátoru (C52). Ten realizuje filtrování výstupního napětí. Vstupní napětí je dostatečně blokováno a filtrováno paralelní kaskádou kondenzátorů C41, C39, C36 a C37.

4.2 Přepínání referenčního signálu

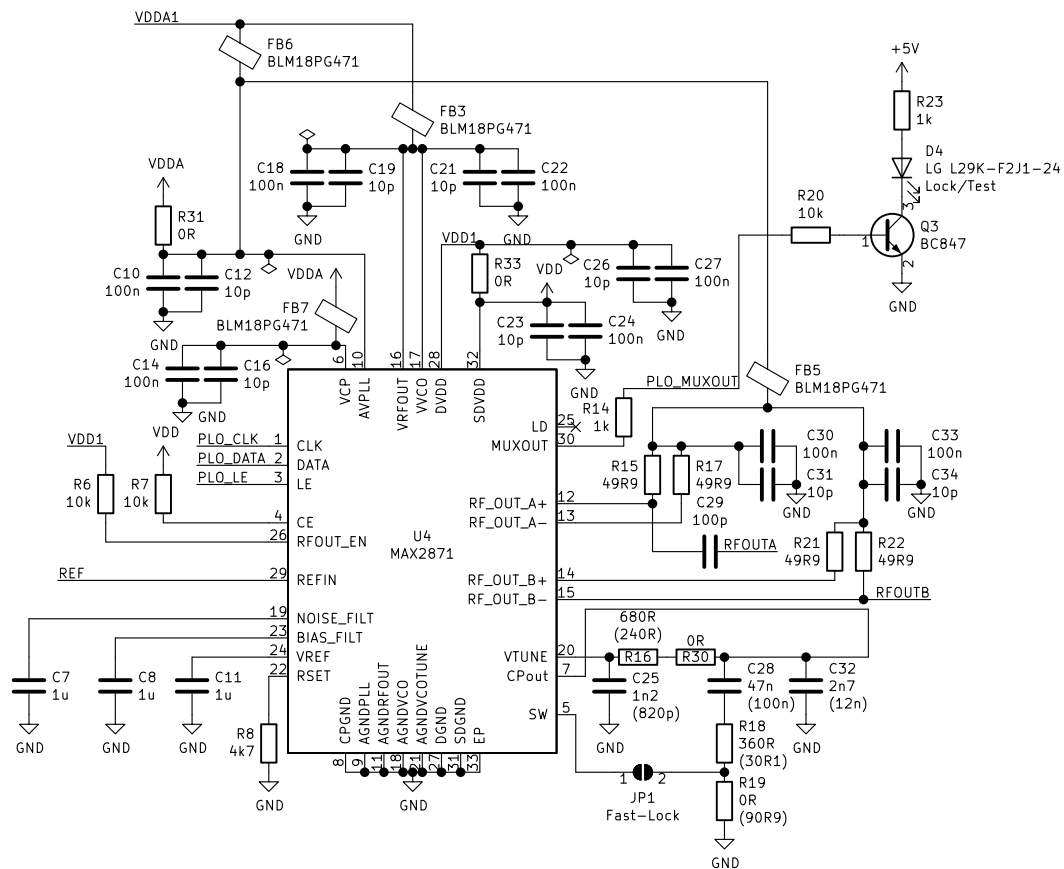


Obrázek 13 Schéma zapojení přepínání referenčního signálu

Jako zdroj referenčního signálu pro frekvenční syntezátor je uvažován vysoce stabilní rubidiový oscilátor připojený přes externí konektor. Pro méně náročné aplikace, například pro účely testování je vhodné mít k dispozici interní zdroj stabilního referenčního signálu. Jako interní oscilátor (X1) může být použit například TCXO od výrobce Taitien s označením TXETALSANF-10.000000. Jedná se o miniaturní teplotně kompenzovaný oscilátor v SMD pouzdře o rozměrech 3,2 x 2,5 mm. Jeho frekvenční stabilita při změně napájecího napětí $\pm 5\%$ je $\pm 0,2$ ppm. Jeho dlouhodobá frekvenční stabilita v rámci jednoho roku je ± 1 ppm. Tolerance výstupní frekvence je výrobcem udávaná na ± 2 ppm. [17]

K jejich přepínání bude sloužit analogový přepínač U2 firmy TI nesoucí označení SN74LVC1G3157. Přepínač je použitelný až do 340 MHz, což pro uvažovanou aplikaci je s rezervou dostačující. Na 10 MHz je přeslech mezi vstupy -54 dB a vstupně výstupní izolace -57 dB. O stavu přepnutí informuje stavová LED dioda D3 spínaná tranzistorem Q2 (BC847). Na napájení je opět se záměrem zabránit nežádoucímu rušení zařazena feritová perlička FB2. Obvod přepínače je trvale připojen na napájení z analogové části. Za pomoci tranzistoru Q1 je poté ovládán řídicí pin přepínače a přiváděno napájecí napětí pro interní oscilátor. Kondenzátory C1 a C5 pak slouží jako blokování a kondenzátory C2 a C3 jako vazební.

4.3 Obvod frekvenčního syntezátoru



Obrázek 14 Schéma zapojení frekvenčního syntezátoru MAX2871

Jeho zapojení vychází z referenčního designu výrobce. [10] Jednotlivá napětí na napájecích pinech digitální části jsou blokovány kondenzátory C23, C24, C26 a C27. Napětí analogových částí jsou blokovány kondenzátory C14, C16, C10, C12, C18, C19, C21 a C22 a u napájení výstupních obvodů frekvenčního syntezátoru slouží za tímto účelem kondenzátory C30, C31, C33 a C34. Odrušení je opět realizováno feritovými perličkami, které zároveň slouží jako propojky pro přemostění cesty při návrhu desky plošného spoje. Některé vnitřní bloky syntezátoru je nutné filtrovat připojením externího kondenzátoru C7, C8 a C11.

Napájení výstupních obvodů syntezátoru je kromě jejich dostatečného blokování nutno impedančně přizpůsobit. Za tímto účelem slouží rezistory R15, R17, R21 a R22. Výstup sekce A je pak na zbytek obvodů navázán kondenzátorem C29. Na výstupu druhé sekce B není použit vazební kondenzátor, vzhledem k použitému navazujícímu obvodu, který jej již obsahuje zabudovaný. Ten bude popsán v jedné z následujících kapitol.

Smyčka fázového závěsu musí být doplněna o externí kombinaci součástek C25, R16, R30, C28, R16, R19 a C32. Ty realizují funkci filtru smyčky. Jejich hodnoty vycházejí opět z referenčního návrhu výrobce. Zapojení je navrženo univerzálně, s možností upravit smyčku syntezátoru pro režim rychlého zavěšení. Hodnoty součástek se upraví podle těch uvedených v závorkách a cínovou propojkou JP1 se realizuje propoj

s pinem SW.

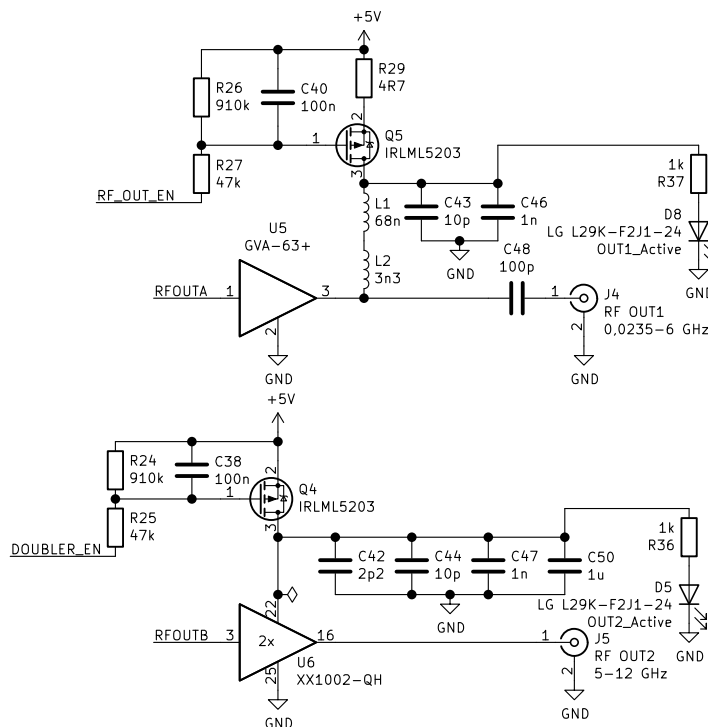
Hodnotu proudu nábojové pumpy na jejím výstupu určuje rezistor R8. Jeho hodnota se vypočítá s využitím rovnice (14):

$$I_{CP} = \frac{1,63}{R_{SET}} \cdot (1 + CP3:0) = \frac{1,63}{4700} \cdot (1 + 15) = 5,55 \text{ mA} \quad (33)$$

Pin syntezátoru nesoucí označení CE (Chip Enable) slouží k uspání syntezátoru a uvedení jej do režimu nízké spotřeby. Připojením přes sériový rezistor R7 na napájecí napětí je čip trvale povolen. Aktivaci výstupních pinů zajišťuje pin s označením RFOUT_EN. Ten je trvale přes sériový rezistor R6 připojen na napájecí napětí a tím jsou oba výstupy trvale povolené. Jejich případná aktivace/deaktivace je tedy možná pouze programově.

Za tímto i dalšími účely řízení slouží rozhraní SPI, tvořené piny CLK (zdroj hodinového kmitočtu), DATA a LE (Load Enable). Komunikace skrze toto rozhraní je tedy pouze jednosměrná. Jako výstup i vstup slouží víceúčelový pin MUXOUT, který má na svém výstupu taktéž připojenou skrz tranzistor Q3 (BC847) LED diodu D4. Ta bude sloužit k informování o stavu fázového zavěšení, případně pro účely ladění FW procesoru.

4.4 Výstupní obvody



Obrázek 15 Schéma zapojení výstupních obvodů syntezátoru

Výstup syntezátoru A je určen pro generování základních kmitočtů v rozsahu od 23,5 MHz – 6 GHz. Výstup je zesílen integrovaným VF zesilovačem U5 firmy Mini-

Circuits GVA-63+. Ten je schopný zesilovat kmitočty v rozsahu od 10 MHz do 6 GHz. Vybrané základní parametry jsou přehledně uvedeny v tabulce 3.

Tabulka 3 Vybrané parametry zesilovače GVA-63+ [19]

Parametr	Jednotka	Kmitočet [GHz]					
		0,05	0,8	2	3	4	6
Zisk G	dB	21,9	21,1	19,9	18,5	17,3	15,9
P_{OUT} při 1 dB kompresi	dBm	18,7	18,9	18,6	16,9	15,7	11,8
IP3	dB	33,5	34,8	32,2	28,6	26,6	25,0
Šumové číslo NF	dB	3,6	3,8	3,7	3,7	4,0	4,6

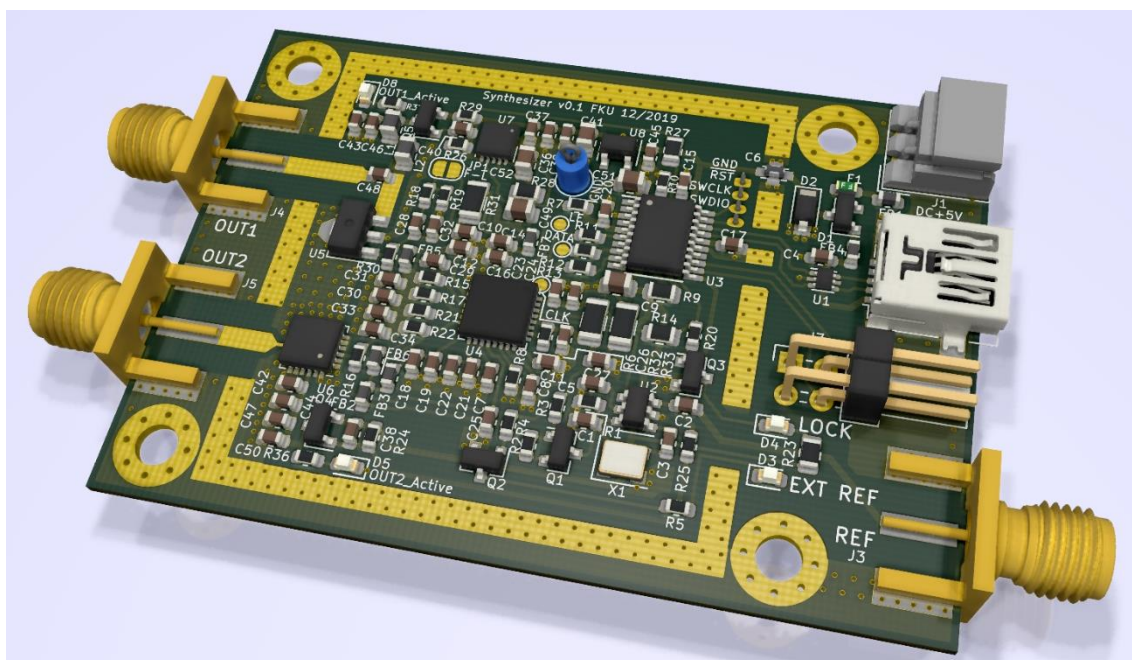
Obvod je doplněn o vazební kondenzátor C48 pro oddělení stejnosměrné složky a obvodem zajišťující napájení zesilovače. Ten se skládá z tranzistoru Q5, který umožňuje aktivaci a deaktivaci a LC filtrem (C43, C46, L1 a L2) s rezistorem R29, zajišťující předpětí pro zesilovač. Toto zapojení vychází z konstrukce [11]. Hodnoty LC filtru jsou důležité pro impedanční přizpůsobení v širokém rozsahu kmitočtů. Výrobce nabízí vlastní hotové řešení například s označením ZX85-12G-S+ [20], které je impedančně přizpůsobené v rozsahu kmitočtů od 0,2 MHz do 12 GHz. Takové řešení je ovšem pro tuto práci nevhodné, jelikož se jedná zaprvé o ne příliš levné řešení a zadruhé by použití bylo velmi nepraktické.

Jedním z předností výše zmíněné konstrukce [11] je použití násobičky výstupního kmitočtu, která umožní rozšířit základní rozsah generovaných kmitočtů až do 12 GHz. Vzhledem k praktickému rozšíření vlastností navrhované aplikace bylo rozhodnuto tuto násobičku použít i v této práci. Násobička je umístěna na druhém výstupu syntezátoru, označeném jako B. Násobička dvěma U6 firmy MACOM s označením XX1002-QH je schopna na svém výstupu poskytovat kmitočty v rozsahu 5–12 GHz o výkonu v saturaci +16 dBm. Výkonová úroveň na vstupu násobičky by se měla pohybovat v rozmezí od -3 dBm do +3 dBm. Z toho plyne, že maximální úroveň na výstupu syntezátoru při použití násobičky může být nastavena pouze na +2 dBm. Z principu násobení kmitočtu vznikají ve spektru nežádoucí kmitočty. Jejich úroveň by měla být podle katalogového listu -30 dBc pro třetí harmonickou a -20 dBc pro čtvrtou harmonickou. Napájení násobičky je přímo z 5 V větve a její proudový odběr by měl být typicky 102 mA (maximálně 140 mA). [18]

Každý kmitočtový rozsah má svůj vlastní konektor. V práci se nepředpokládá současné používání obou výstupů zároveň. O aktivním výstupu informují pro účely vývoje LED diody D8 a D5.

4.6 Návrh realizace syntezátoru

Navržený prototyp desky plošného spoje musí mít vysokofrekvenční trasy impedančně přizpůsobeny $50\ \Omega$. Pro dosažení co nejlepších parametrů by bylo vhodnější použít materiál dielektrika, který má na vyšších frekvencích menší ztráty. Nicméně s ohledem na jednodušší výrobu, byl pro první prototyp zvolen materiál dielektrika FR4 s relativní permitivitou $\epsilon_r = 4,4$ a tloušťkou 0,8 mm. Šířka vysokofrekvenčního mikropáskového vedení byla stanovena za pomoci integrovaného kalkulátoru návrhového prostředí plošných spojů KiCad [22] na 1,65 mm.



Obrázek 17 3D vizualizace návrhu realizace frekvenčního syntezátoru

Vysokofrekvenční obvody včetně řídicí části s mikrokontrolerem budou odstíněny od vnějšího okolí stíněním realizovaného z tenkého pocínovaného plechu, který bude natvarován do příčného tvaru a přiletován k desce plošného spoje.

5 ZÁVĚR

V samotném úvodu semestrální práce byly kmitočtové syntezátory představeny a rozděleny do základních kategorií. V navazující kapitole byla získána potřebná znalost teorie kmitočtových syntezátorů s fázovým závěsem včetně studia jejich základních parametrů.

Na základě získaných znalostí byly z nabídky integrovaných obvodů výrobců Analog Devices a Maxim Integrated vybrány dva nejvíce vhodné kandidáti. Každý syntezátor byl podrobně prostudován a ukázalo se, že bude potřeba zvolit vhodný kompromis mezi efektivitou návrhu a dosažitelnými parametry s ohledem na cenu za integrovaný obvod syntezátoru. Vývoj syntezátoru na mikrovlnných kmitočtech s sebou nese jistá rizika a komplikace, díky kterým bylo rozhodnuto použít integrovaný obvod MAX2871. Pro ověření funkce vysokofrekvenční části bude zapotřebí ovládacího rozhraní, které bude realizováno mikrokontrolerem. Z tohoto důvodu bude v prvotních krocích použit firmware mikrokontroleru z funkční konstrukce [11].

Navržena byla tedy následně deska plošného spoje s respektováním doporučeného zapojení a výše zmíněné konstrukce. Navržený modul syntezátoru bude komunikovat s uživatelským rozhraním v PC přes rozhraní USB. Zároveň bude modul umožňovat autonomní činnost. Výstupní frekvence se v takovém módu bude nastavovat pomocí zkratovací propojky. Zdroj referenčního signálu bude možné přepínat mezi interním TCXO a externím, který bude možno přivést na konektor SMA. Návrh plošného spoje zároveň počítá s možnou potenciální úpravou smyčky fázového závěsu pro urychlení zavěšení syntezátoru. Tato funkce je pouhým možným rozšířením a prozatím není zamýšleno její využití. Výstupy modulu syntezátoru budou dva. Jeden pro základní rozsah použitého IO (23,5 MHz – 6 GHz) a druhý rozšíří základní rozsah až do 12 GHz za pomoci frekvenční násobičky.

Předpokladem je, že po ověření funkce vysokofrekvenční části, bude v navazující diplomové práci přistoupeno k vývoji vlastního řídicího rozhraní (návrh firmwaru mikrokontroleru) a následně, taktéž ovládacího grafického rozhraní (GUI) pro osobní počítač. Taktéž budou ověřeny parametry syntezátoru, jako jsou především spektrální vlastnosti.

LITERATURA

- [1] PROKEŠ, Aleš. *Rádiové přijímače a vysílače: přednášky*. Brno: Vysoké učení technické, 2002. ISBN 80-214-2263-7.
- [2] VÁGNER, Petr. *Vysokofrekvenční technika*. Brno: Vysoké učení technické, 2013. Skripta
- [3] KASAL, Miroslav. *Frekvenční syntéza v komunikačních systémech: experimentální družice = Frequency synthesis in communication systems: experimental satellites: teze přednášky k profesorskému jmenovacímu řízení v oboru Elektronika a sdělovací technika*. Brno: VUTUM, 2005. ISBN 80-14-2982-8.
- [4] FOX, Adrian. *PLL Synthesizers* [online]. [cit. 2019-10-28]. Dostupné z: <https://www.analog.com/en/analog-dialogue/articles/pll-synthesizers.html>
- [5] FORBES, Peadar a Ian COLLINS. *AN-873 Lock Detect on the ADF4xxx Family of PLL Synthesizers Application Note (Rev. 0)* [online]. [cit. 2019-11-02]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/application-notes/AN-873.pdf>
- [6] *MAX2871 - 23.5MHz to 6000MHz Fractional/Integer-N Synthesizer/VCO: Data Sheet* [online]. [cit. 2019-11-02]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX2871.pdf>
- [7] *ADF4157 (Rev. D): Data Sheet* [online]. [cit. 2019-11-02]. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/ADF4157.pdf>
- [8] VÁGNER, Petr. *Metody měření fázového šumu a stability zdrojů signálu* [online]. [cit. 2019-11-11]. Dostupné z: <http://www.elektrorevue.cz/clanky/06025/index.html#kap1>
- [9] OK2HAZ. *Čítač s GPS normálem – 3. Měření, stabilita a další vývoj...* [online]. [cit. 2019-11-12]. Dostupné z: <https://ok2haz.ok2kld.cz/ok2haz/2018/12/citac-s-gps-normalem-3-stabilita/>
- [10] *MAX2870/MAX2871 Evaluation Kits* [online]. [cit. 2019-11-17]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX2870EVKIT.pdf>
- [11] UR3IQO. *LO PLL USB MAX2871 ADF4350 ADF4351* [online]. [cit. 2019-11-17]. Dostupné z: <https://vhfdesign.com/pll-lo/lo-pll-usb.html>
- [12] KLAPIL, Filip. *Koncový stupeň vysílače pro radioamatérské pásmo 144 MHz (2 m)* [online]. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017 [cit. 2019-12-04].

- Dostupné z:
<https://www.vutbr.cz/studenti/zav-prace/detail/110394>
- [13] *MURATA-NFM18PC: Data Sheet* [online]. [cit. 2019-12-04]. Dostupné z:
<https://www.tme.eu/Document/4f9a615a69fa13b0f330c39103dd2831/MURATA-NFM18PC.pdf>
- [14] *MURATA - BLM18PG471SH1: Data Sheet* [online]. [cit. 2019-12-04].
Dostupné z:
<https://www.murata.com/en-us/products/productdetail.aspx?cate=luNoiseSupprFilteChipFerriBead&partno=BLM18PG471SH1%23>
- [15] *LP5907 250-mA, Ultra-Low-Noise, Low-IQ LDO datasheet (Rev. N)* [cit. 2019-12-04]. Dostupné z:
<https://www.ti.com/lit/ds/symlink/lp5907.pdf>
- [16] *LT3042 - 20V, 200mA, Ultralow Noise, Ultrahigh PSRR RF Linear Regulator Datasheet* [cit. 2019-12-04]. Dostupné z
<https://www.analog.com/media/en/technical-documentation/data-sheets/3042fb.pdf>
- [17] *TXETALSANF-10.000000 TXCO Datasheet* [cit. 2019-12-05]. Dostupné z
https://www.taitien.com/wp-content/uploads/2015/12/XO-0076_TX.pdf
- [18] *XX1002-QH Active Doubler Datasheet* [cit. 2019-12-05]. Dostupné z
<https://cdn.macom.com/datasheets/XX1002-QH.pdf>
- [19] *GVA-63+ High Gain, High IP3 Monolithic Amplifier Datasheet* [cit. 2019-12-05].
Dostupné z
<https://www.minicircuits.com/pdfs/GVA-63+.pdf>
- [20] *ZX85-12G-S+ Bias-Tee 50Ω Wideband 0,2 to 12000 MHz Datasheet* [cit. 2019-12-05]. Dostupné z
<https://www.minicircuits.com/pdfs/ZX85-12G-S+.pdf>
- [21] *STM32F042x4 STM32F042x6 ARM®-based 32-bit MCU, up to 32 KB Flash, crystal-less USB FS 2.0, CAN, 9 timers, ADC and comm. interfaces, 2.0 - 3.6 V Datasheet* [cit. 2019-12-05]. Dostupné z
<https://www.st.com/resource/en/datasheet/stm32f042k6.pdf>
- [22] *KiCad EDA* Dostupné z:
<https://kicad-pcb.org/>

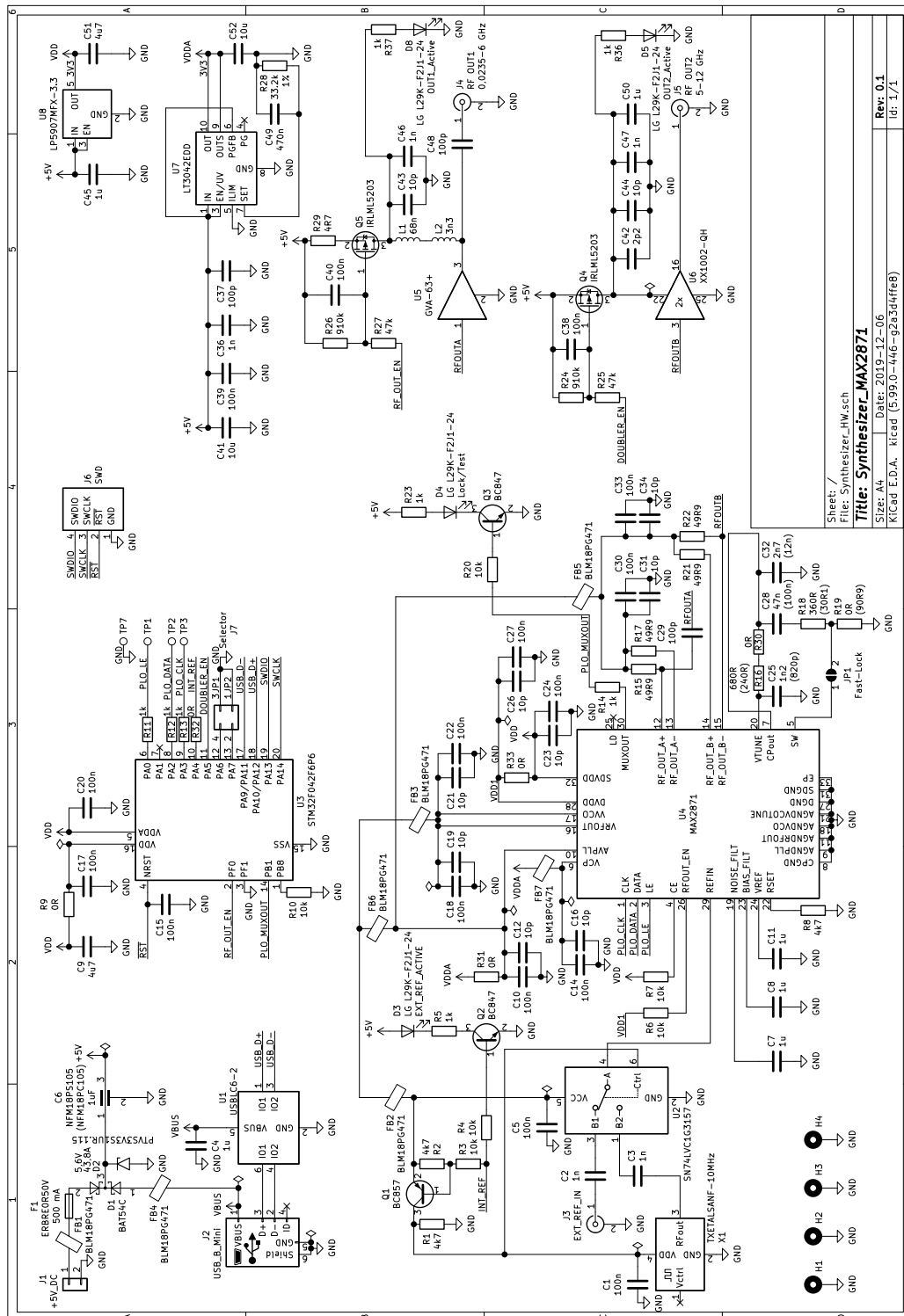
SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

P	Výkon
G, K	Zisk
$IP3$	Third-order intercept point, bod zahrazení, oblast vzniku produktů 3. řádu
NF	Noise Figure, šumové číslo
f	Frekvence
R	Elektrický odpor
Q	Jakost cívky
C	Elektrická kapacita
L	Indukčnost
VCO	Voltage Control Oscillator, napětím řízený oscilátor
PLL	Phase-Locked Loop, smyčka fázového závěsu
DPLL	Digital Phase-Locked Loop, digitální smyčka fázového závěsu
ADPLL	All Digital Phase-Locked Loop, plně digitální smyčka fázového závěsu
SPLL	Signal-processed Phase-Locked Loop, smyčka fázového závěsu realizovaná technikou DSP
DSP	Digital signal processing, digitální zpracování signálu
PFD	Phase Frequency Detector, fázově frekvenční detektor
CP	Charge Pump, nábojová pumpa
KO	Klopný Obvod
RBW	Resolution BandWidth, rozlišení spektrálního analyzátoru, šířka pásma IF filtru
IF	Intermediate Frequency, mezifrekvence
DPS	Deska Plošného Spoje
LDO	Low Drop-Out (regulator), stabilizátor s nízkým úbytkem napětí mezi vstupem a výstupem
XO	Crystal Oscillator, krystalem řízený oscilátor
TCXO	Thermally-Compensated Crystal Oscillator, teplotně kompenzovaný krystalový oscilátor
OCXO	Oven-Controlled Crystal Oscillator, termostatovaný krystalový oscilátor
GPSDO	GPS Disciplined Oscillator, Oscilátor zavěšený PLL na signál GPS

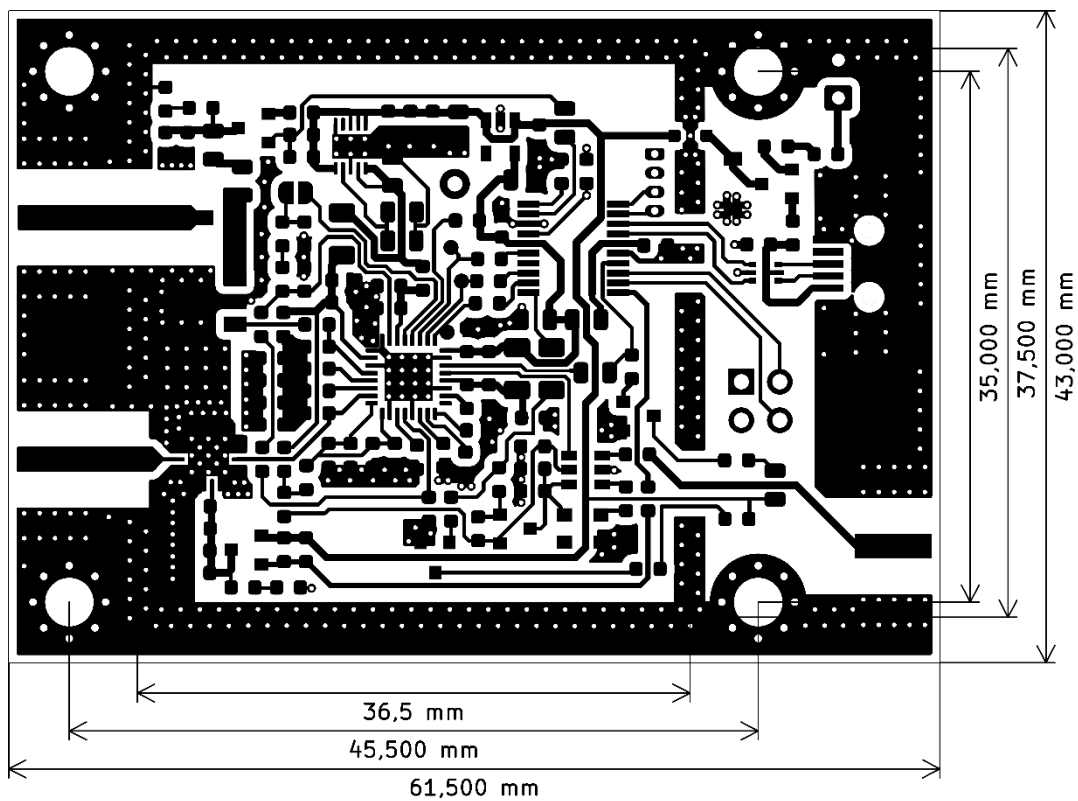
GPS	Global Positioning System, globální polohový systém
PSRR	Power Supply Rejection Ratio, potlačením zvlnění napájecího napětí
ESD	ElectroStatic Discharge, elektrostatický výboj
BW	BandWidth, šířka pásma
AD	Analog to Digital, Analogově Digitální převodník
AD	Analog Devices, společnost zabývající se vývojem a výrobou elektrotechnických součástek
TI	Texas Instrument, společnost zabývající se vývojem a výrobou elektrotechnických součástek
CE	Chip Enable, aktivování součástky
CLK	CLocK, obvykle zdroj hodinového taktovacího signálu
MSB	Most Significant Bit, nejvýznamnější bit
SPI	Serial Peripheral Interface, sériové periferní rozhraní
LE	Load Enable, povolení nahrání například dat z posuvného registru do paměti
RF	Radio Frequency, VF, vysokofrekvenční
VF	VysokoFrekvenční
ARM	Advanced RISC Machine, označení procesorů, architektura procesorů
GPIO	General-Purpose Input Output, univerzální vstupně/výstupní pin
RISC	Reduced Instruction Set Computer, redukováná instrukční sada
DMA	Reduced Instruction Set Computer, přímý přístup do paměti
FW	FirmWare, software pro řízení vestavěného systému (např. v mikrokontroléru)
HW	HardWare
MCU	MicroController Unit, mikrokontroler
MOSI	Master-Out Slave-In, data jsou přenášena od řídicího zařízení k řízenému
GUI	Graphical User Interface, grafické uživatelské rozhraní
RMS	Root Mean Square, efektivní hodnota
I ² C	Inter-Integrated Circuit, interní sériová datová sběrnice
USART	Universal Synchronous / Asynchronous Receiver and Transmitter, univerzální sériové synchronní / asynchronní sériové rozhraní
CAN	Controller Area Network, datová sběrnice
USB	Universal Serial Bus, univerzální sériová sběrnice
CEC	Consumer Electronics Control, kontrolní sběrnice u rozhraní HDMI

A NÁVRH ZAŘÍZENÍ

A.1 Obvodové zapojení frekvenčního syntezátoru

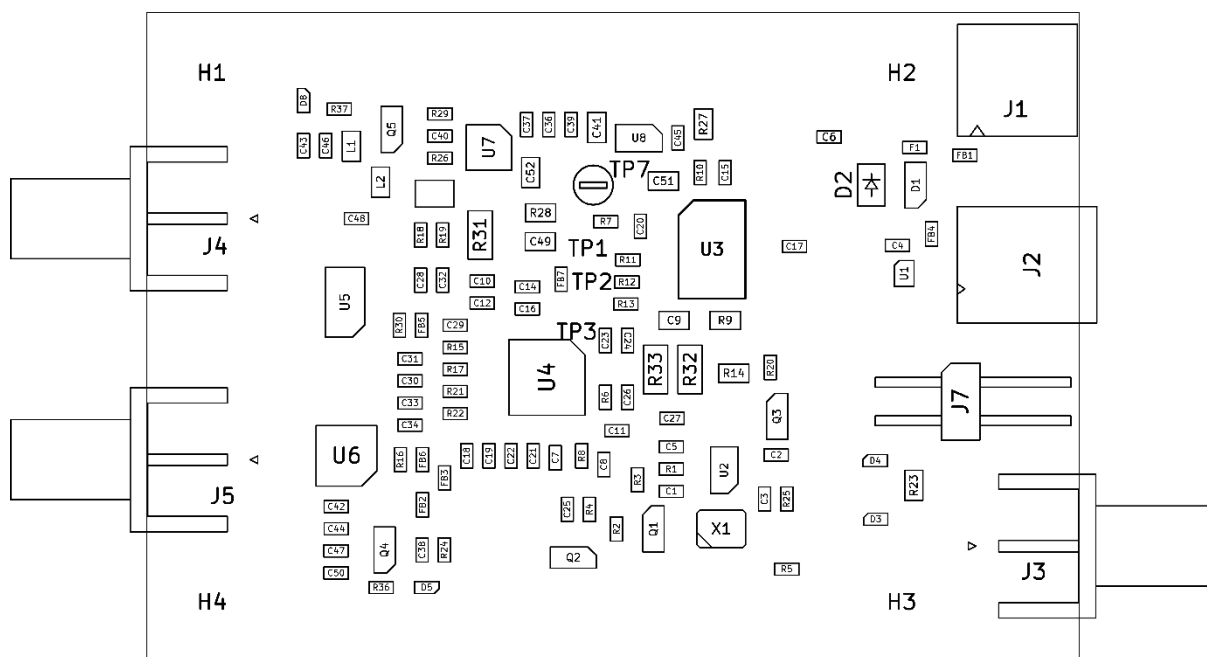


A.2 DPS frekvenčního syntezátoru – top (strana součástek)

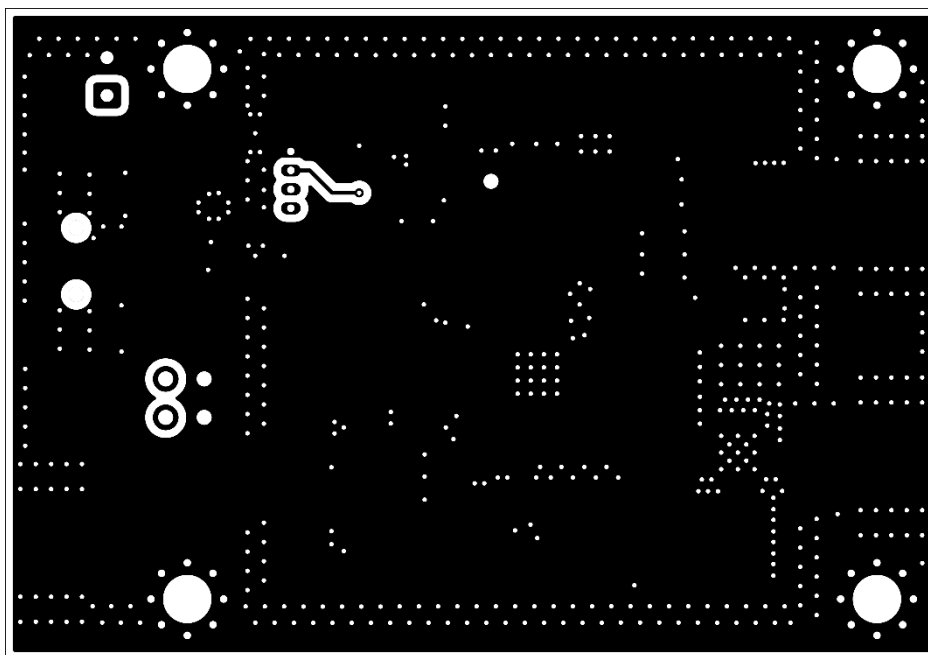


Rozměr desky 61,5 x 43 [mm], M2:1

A.3 Frekvenční syntezátor – osazovací předpis – top

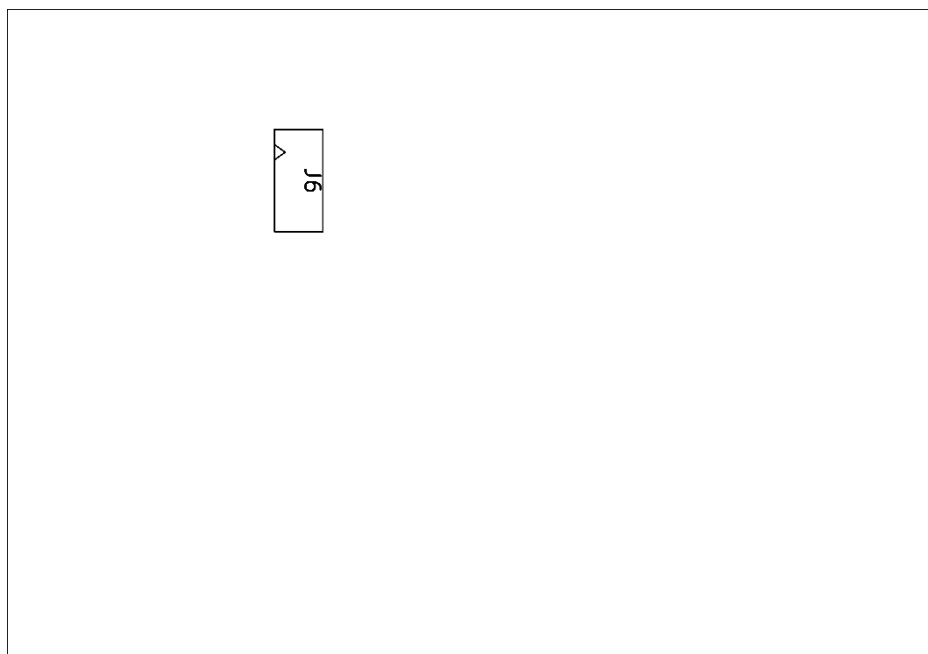


A.4 DPS frekvenčního syntezátoru – bottom (strana spojů)



Rozměr desky 61,5 x 43 [mm], M2:1

A.5 Frekvenční syntezátor – osazovací předpis – bottom



B SEZNAM SOUČÁSTEK

Označení	Hodnota	Množství	Pouzdro
C16, C34, C31, C26, C23, C21, C19, C12, C44, C43	10p C0G	10	C_0603_1608Metric
C17, C40, C39, C38, C33, C30, C27, C24, C22, C20, C18, C15, C14, C10, C5, C1	100n	16	C_0603_1608Metric
C25	1n2 C0G	1	C_0603_1608Metric
C28	47n	1	C_0603_1608Metric
C29, C37, C48	100p C0G	3	C_0603_1608Metric
C32	2n7	1	C_0603_1608Metric
C42	2p2 C0G	1	C_0603_1608Metric
C47, C46, C36, C3, C2	1n C0G	5	C_0603_1608Metric
C49	470n	1	C_0805_2012Metric
C50, C45, C11, C8, C7, C4	1u	6	C_0603_1608Metric
C51, C9	4u7	2	C_0805_2012Metric
C52, C41	10u	2	C_0805_2012Metric
C6	NFM18PC105	1	NFM18PC_Series
D1	BAT54C	1	SOT-23
D2	PTVS3V3S1UR.115	1	D_SOD-123
D5,D4,D3,D8	LG L29K-F2J1-24	4	LED_0603_1608Metric
F1	ERBREOR50V	1	Fuse_0603_1608Metric
FB4, FB7, FB6, FB5, FB3, FB2, FB1	BLM18PG471	7	L_0603_1608Metric
H4, H3, H2, H1	MountingHole_Pad	4	MountingHole_3.2mm_M3_Pad_Via
J1	+5V_DC	1	Molex_SPOX_5268-02A_1x02_P2.50mm_Horizontal
J2	USB_B_Mini	1	USB_Mini-B_Lumberg_2486_01_Horizontal
J3	EXT_REF_IN	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J4	RF OUT1	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J5	RF OUT2	1	SMA_Molex_73251-1153_EdgeMount_Horizontal
J6	SWD	1	Molex_PicoBlade_53047-0410_1x04_P1.25mm_Vertical

J6 kontakty		1	MOLEX 50079-8000
J6 kontakty			MX-5263-PBTL
J6 protikus-kabel		1	MOLEX 51021-0400
J6 protikus-kabel		1	MOLEX 50-37-5023
J7	Selector	1	PinHeader_2x02_P2.54mm_Horizontal
JP1	Fast-Lock	1	SolderJumper- 2_P1.3mm_Open_RoundedPad1.0x1.5 mm
L1	68n	1	L_0805_2012Metric
L2	3n3	1	L_0805_2012Metric
Q1	BC857	1	SOT-23
Q2, Q3	BC847	2	SOT-23
Q5, Q4	IRLML5203	2	SOT-23
R14, R23	1k	2	R_0805_2012Metric
R16	680R	1	R_0603_1608Metric
R18	360R	1	R_0603_1608Metric
R20, R10, R7, R6, R4, R3	10k	6	R_0603_1608Metric
R22, R21, R17, R15	49R9	4	R_0603_1608Metric
R25	47k	1	R_0603_1608Metric
R26, R24	910k	2	R_0603_1608Metric
R27	47k	1	R_0805_2012Metric
R28	33.2k	1	R_0805_2012Metric
R29	4R7	1	R_0603_1608Metric
R30, R19	0R	2	R_0603_1608Metric
R33, R32, R31	0R	3	R_1206_3216Metric
R37, R36, R13, R12, R11, R5	1k	6	R_0603_1608Metric
R8, R2, R1	4k7	3	R_0603_1608Metric
R9	0R	1	R_0805_2012Metric
TP1	PLO_LE	1	TestPoint_Pad_D1.0mm
TP2	PLO_DATA	1	TestPoint_Pad_D1.0mm
TP3	PLO_CLK	1	TestPoint_Pad_D1.0mm
TP7	GND	1	TestPoint_Loop_D1.80mm_Drill1.0mm _Beaded
U1	USBL6-2	1	SOT-666
U2	SN74LVC1G3157	1	SOT-23-6
U3	STM32F042F6Px	1	TSSOP-20_4.4x6.5mm_P0.65mm
U4	MAX2871	1	TQFN-32- 1EP_5x5mm_P0.5mm_EP3.15x3.15mm _ThermalVias
U5	GVA-63+	1	SOT-89-3

U6	XX1002-QH	1	QFN-24- 1EP_4x4mm_P0.5mm_EP2.7x2.7mm_T hermalVias
U7	LT3042xMSE	1	DFN-10- 1EP_3x3mm_P0.5mm_EP1.65x2.38mm _ThermalVias
U8	LP5907MFX-3.3	1	SOT-23-5
X1	TXETALSANF- 10MHz	1	Crystal_SMD_4Pin_3.2x2.5mm