



計數器、暫存器(設計)

7-1 簡介

本單元討論序向(邏輯)的電路中兩種重要的電路計數器與暫存器。

計數器也可說是一除頻器(frequency divider)可分成同步計數器(synchronous counter)與非同步計數器(asynchronous counter)兩種，(主要功能不外乎計數與除頻)它在數位系統中扮演著，極其重要的角色。舉凡脈波計數、頻率分割、類比到數位的轉換等工作，都需要用到它，可說應用非常廣泛。

暫存器一般可分成保存資料用的資料暫存器(data register)與移位暫存器(shift register)兩種。

7-2 同步計數器設計

1、同步計數器的設計方式可分成控制型計數器(controlled counter)與自發型計數器(autonomous counter)兩種。前者除了加到每一個正反器的時脈信號(cp)外，亦有一個致能控制端以啟動計數器的計數動作；後者則只要加入時脈信號，即自動發生計數動作。

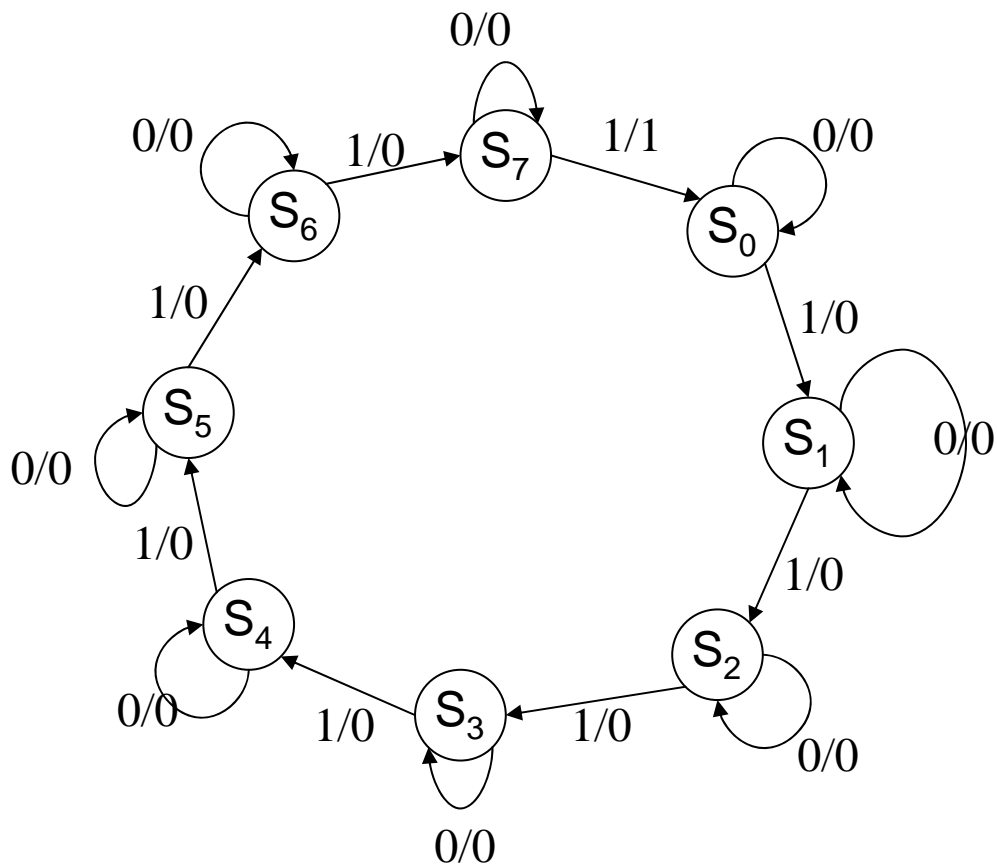
無論那種類型的同步計數器，其設計方法均和一般同步序向電路的設計方法相同。

<例題一>：控制型模8同步二進制正(倒)數計數器

設計一個模 8 同步二進制正數計數器電路。假設計數器有一個控制輸入端 X ，當 X 為 0 時，計數器暫停計數動作並且維持在目前的狀態上，當 $X=1$ ($X=0$)，計數器正常計數。當計數器數到 111 (000) 時，輸出端 Z 輸出一個 1 的脈波，其他的狀態下 Z 均為 0

sol:

1.



2.

並行進位模式

$$T_1 = x$$

$$T_2 = x y_1$$

$$T_3 = x y_1 y_2$$

$$Z = x y_1 y_2 y_3$$

漣波進位模式

$$T_1 = x$$

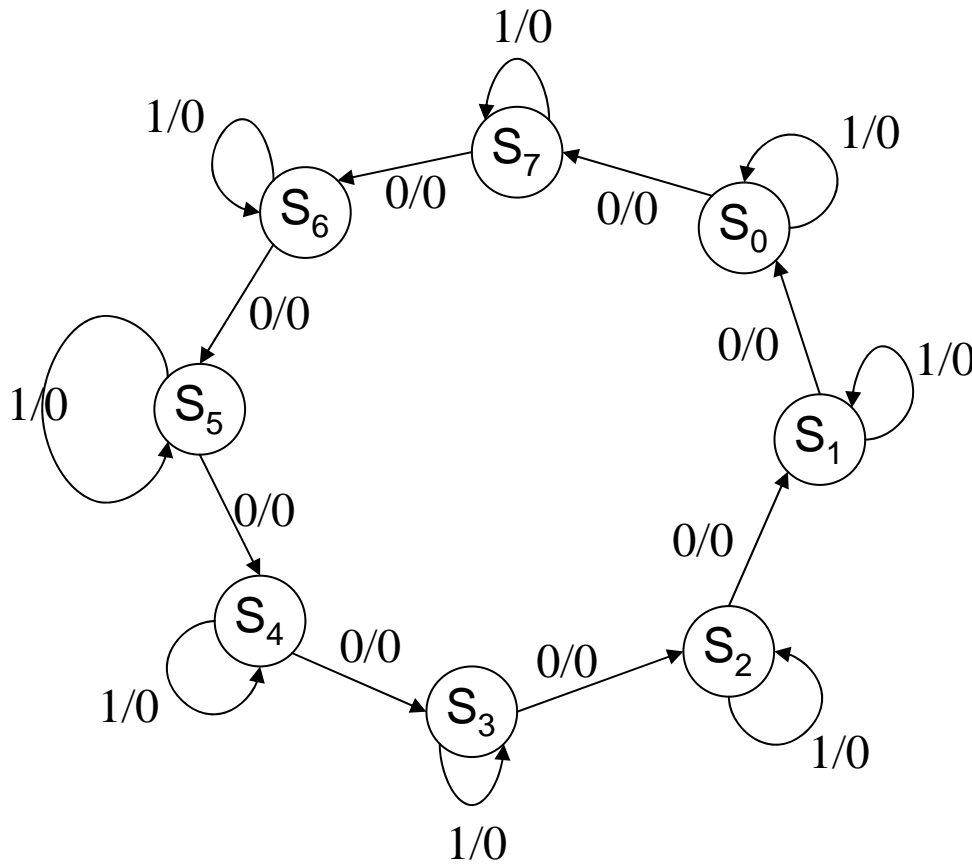
$$T_2 = T_1 y_1$$

$$T_3 = T_2 y_2$$

$$Z = T_3 y_3$$

sol:

1.



2.

並行進位模式

$$T_1 = x'$$

$$T_2 = x' y'_1$$

$$T_3 = x' y'_1 y'_2$$

$$Z = x' y'_1 y'_2 y'_3$$

漣波進位模式

$$T_1 = x'$$

$$T_2 = T_1 y'_1$$

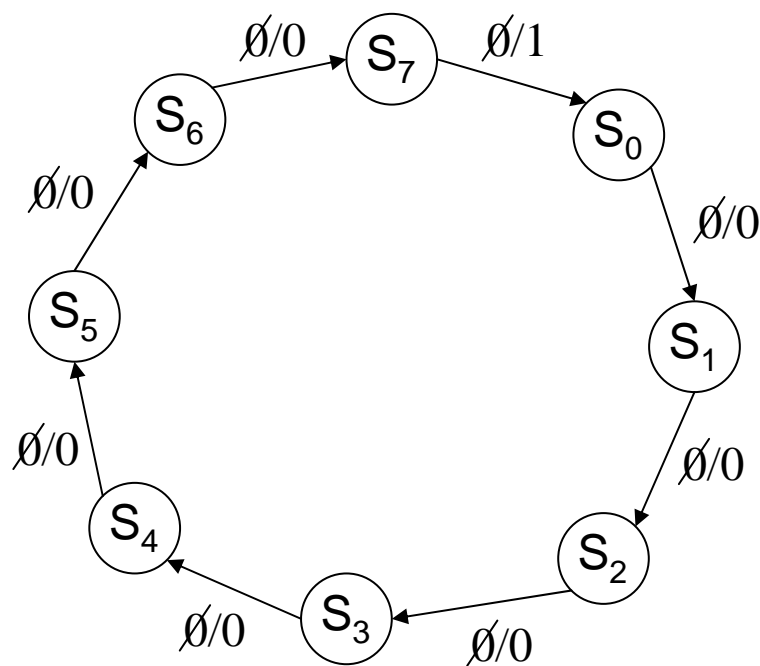
$$T_3 = T_2 y'_2$$

$$Z = T_3 y'_3$$

同理可設計控制型模 8 同步二進制 正/倒 數計數器

<例題二>：自發型模 8 二進制正數計數器

設計一個模 8 同步二進制正數計數器電路。假設在每一個時脈信號的正緣時，計數器即自動往上計數一次，當計數器計數到111時，y 輸出端 Z 輸出一個 1 的脈波，其他狀態下，Z 均為 0。



若計數次序為特殊次序(亂數)
共模數 $N \neq 2^n$ 計數，設計原理亦同。

2. 同步計數器依執行方式可分為兩種：

一為串聯進位同步計數器(serial-carry synchronous counter)，又稱漣波進位模式(ripple carry mode)

另一為並聯同步計數器(synchronous parallel counter)，又稱並行進位模式(parallel carry mode)

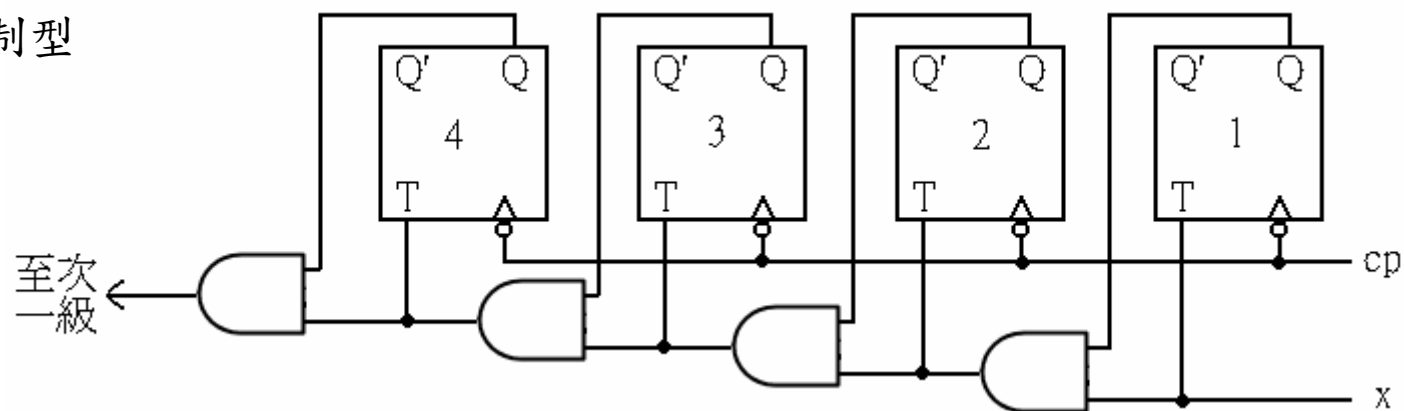
串聯進位同步計數器(serial-carry synchronous counter)
設計原則：

(只適用於以二進制遞增或遞減的模 2^n 計數器)

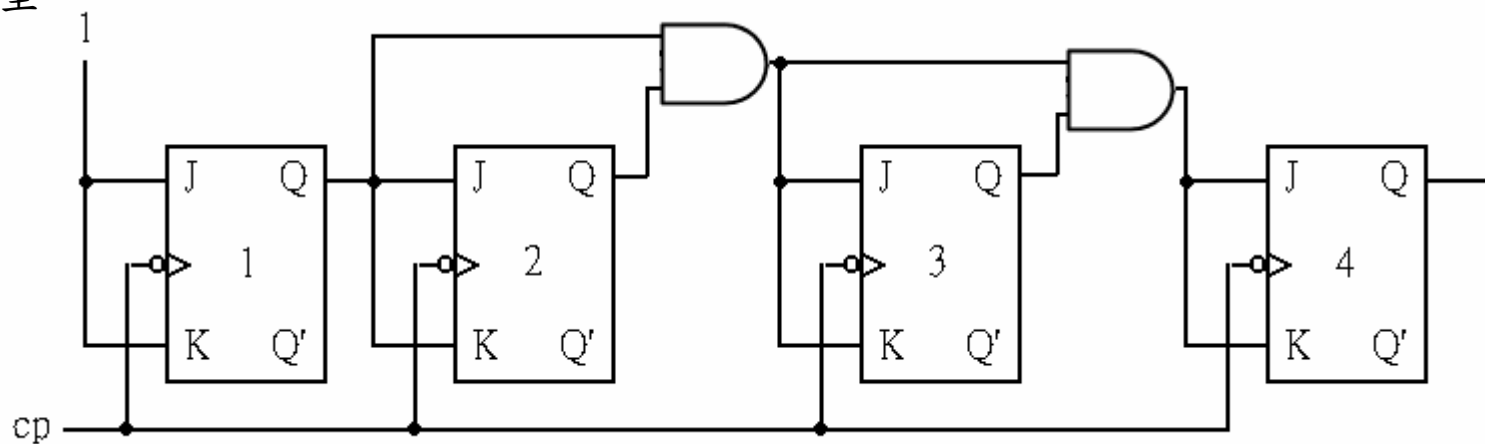
當計時脈衝來臨時，只有當所有較第 M 級為低之各級均為“1”時，才會使 M 級發生反相。

例題：設計一 4 位元同步二進位計數器

控制型



自發型

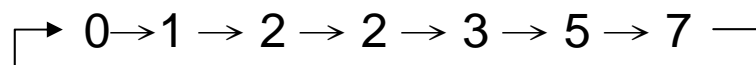


3. 比較

並行進位模式的執行方式，具有較快的操作(工作)頻率。缺點則需要較多扇入數目的 AND 閘。

串聯進位模式，則每一級正反器輸入端的AND 閘扇入數目最多只為 2。缺點則可操作頻率較低。
(在同步計數器中，所有 FFs 均為同時產生變化，但在下一脈衝來臨前，必須有足夠的時間讓各閘去建立適當的準位，以加至所有 FF_s 和 J、K 端。)

<pb> 試設計下列計數順序之同步計數器



7-3 非同步(漣波)計數器設計

(屬非同步序向電路)

利用前一級正反器的輸出作為下一級正反器的輸入來激發轉態謂之。

或組成計數器的每一正反器非同時轉態，(可能接受任一 FF 的輸出來激發轉態)

例題1：設計一個模 8 非同步正數計數器

狀態表： $\because 2^k \geq N = 8 \therefore k = 3$ (FFs)

現態 $Q_3 Q_2 Q_1$	次態 $Q_3 Q_2 Q_1$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 0 0
1 0 0	1 0 1
1 0 1	1 1 0
1 1 0	1 1 1
1 1 1	0 0 0

定義：

$0: 0 \rightarrow 0$

$1: 1 \rightarrow 1$

$\alpha: 0 \rightarrow 1$

$\beta: 1 \rightarrow 0$

$Q(t) \rightarrow Q(t+1)$	J	K
0 0	0	0
0 1	1	0
1 0	0	1
1 1	0	0

		$Q_1 Q_2 Q_1$			
		00	01	11	10
Q_3	0	α	β	β	α
	1	α	β	β	α

$$J_1 = K_1 = 1$$

$$ck_1 = cp$$

		$Q_2 Q_2 Q_1$			
		00	01	11	10
Q_3	0	0	α	β	1
	1	0	α	β	1

$$J_2 = K_2 = 1$$

$$ck_2 = \beta (Q_1)$$

		$Q_3 Q_2 Q_1$			
		00	01	11	10
Q_3	0	0	0	α	0
	1	1	1	β	1

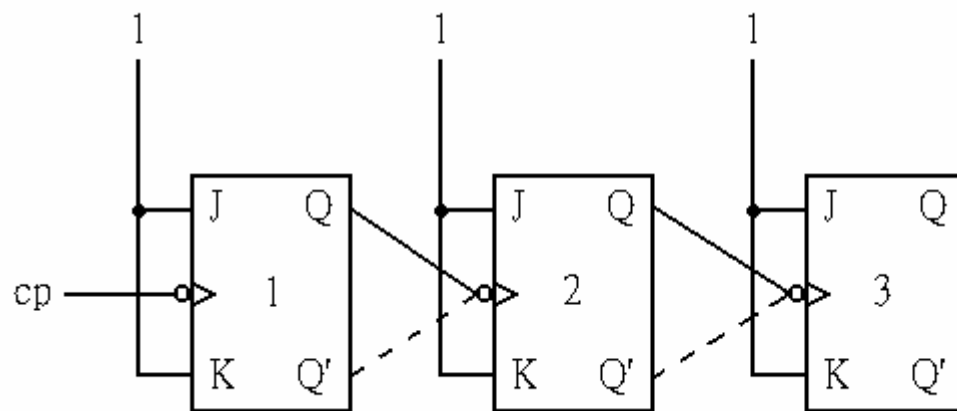
$$J_3 = K_3 = 1$$

$$ck_3 = \beta (Q_2)$$

		$Q_2 Q_2$	
		0	1
Q_3	0	α	β
	1	α	β

Q_3	0	α
	1	β

邏輯電路



up counter

down counter

例題2：設計一個模 8 非同步倒數計數器

Sol：

狀態表：

現態 $Q_3 Q_2 Q_1$	次態 $Q_3 Q_2 Q_1$
0 0 0	1 1 1
1 1 1	1 1 0
1 1 0	1 0 1
1 0 1	1 0 0
1 0 0	0 1 1
0 1 1	0 1 0
0 1 0	0 0 1
0 0 1	0 0 0

Q_1 $Q_2 Q_1$

Q_3	00	01	11	10
0	α	β	β	α
1	α	β	β	α

$$J_1 = K_1 = 1$$

$$ck_1 = cp$$

Q_2 $Q_2 Q_1$

Q_3	00	01	11	10
0	α	0	1	β
1	α	0	1	β

$$J_2 = K_2 = 1$$

$$ck_2 = \alpha(Q_1)$$

$$= \beta(Q'_1)$$

Q_3 $Q_2 Q_1$

Q_3	00	01	11	10
0	α	0	0	0
1	β	1	1	1

$$J_3 = K_3 = 1$$

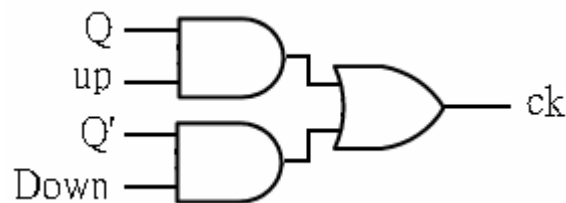
$$ck_3 = \alpha(Q_2)$$

$$= \beta(Q'_2)$$

例題3：設計一個模 8 非同步正數/倒數計數器電路

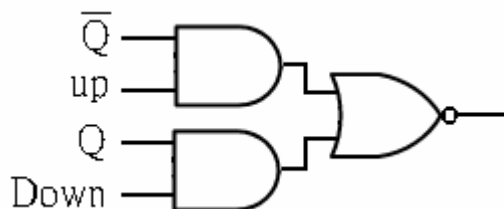
Sol：

加一選擇電路



(2×1 多工器)

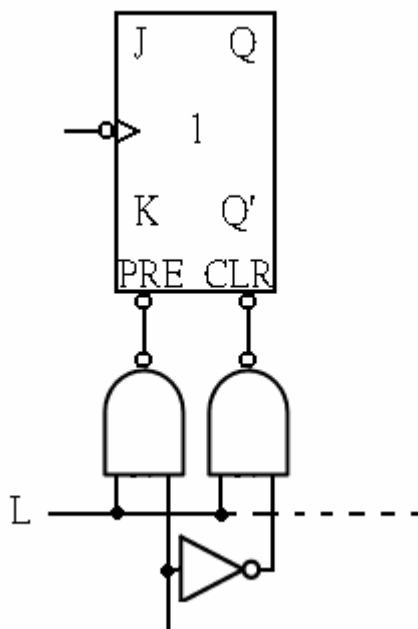
或



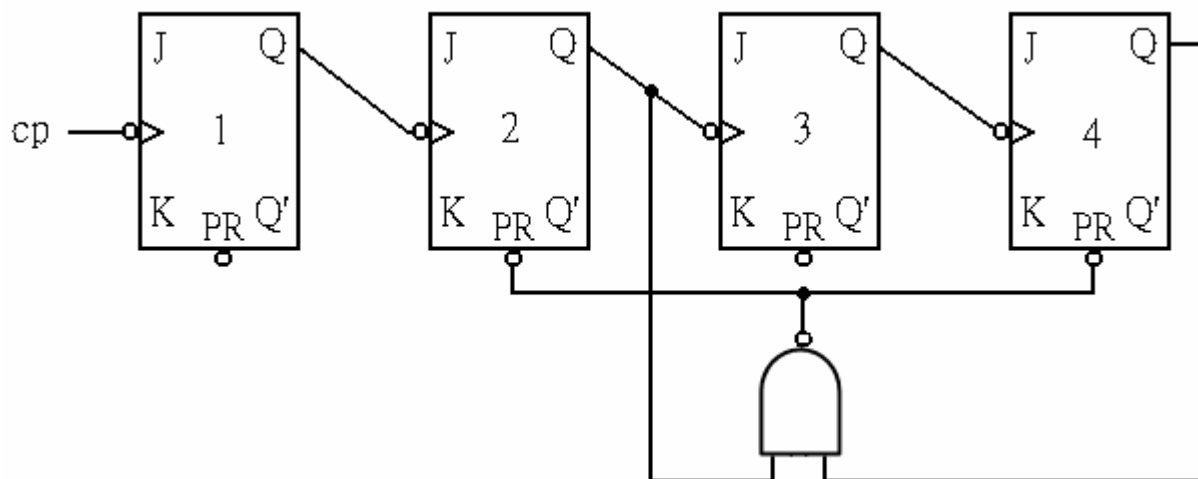
(AOI 電路)
And-OR-inverter

例題4：事先設定計數器 (presetable counter)

一般正反器均有兩個非同步輸入端：預置(preset PR)與清除(clear CLR)，可以改變其輸入狀態。



2. CLR：當狀態 S_N 發生時，加以解出，並用以 clear 計數器中某些正反器。



模10非同步正數計數器(使用CLR方式)

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10$, $0 \rightarrow$

缺點：將產生一個額外的錯誤脈波

解決方法：

- 1.加一閃脈(strobe)控制信號，其出現才取出output
- 2.改由同步計數器執行

例題5：試設計一個十進位(BCD)漣波計數器

Sol：

現態				次態			
Q_8	Q_4	Q_2	Q_1	Q_8	Q_4	Q_2	Q_1
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0

define:

$0: 0 \rightarrow 0$

$1: 1 \rightarrow 1$

$\alpha: 0 \rightarrow 1$

$\beta: 1 \rightarrow 0$

$Q(t) \rightarrow Q(t+1)$		J	K
0	0	0	0
0	1	1	0
1	0	0	1
1	1	0	0

Q_1 $Q_2 Q_1$ $Q_8 Q_4$

	00	01	11	10
00	α	β	β	α
01	α	β	β	α
11	x	x	x	x
10	α	β	x	x

Q_2 $Q_2 Q_1$ $Q_8 Q_4$

	00	01	11	10
00	0	α	β	1
01	0	α	β	1
11	x	x	x	x
10	0	0	x	x

Q_4 $Q_2 Q_1$ $Q_8 Q_4$

	00	01	11	10
00	0	0	α	0
01	1	1	β	1
11	x	x	x	x
10	0	0	x	x

Q_8 $Q_2 Q_1$ $Q_8 Q_4$

	00	01	11	10
00	0	0	0	0
01	0	0	α	0
11	x	x	x	x
10	1	β	x	x

Q_1 $Q_2 Q_1$ $Q_8 Q_4$

	00	01	11	10
00	1 \emptyset	\emptyset 1	\emptyset 1	1 \emptyset
01	1 \emptyset	\emptyset 1	\emptyset 1	1 \emptyset
11	x	x	x	x
10	1 \emptyset	\emptyset 1	x	x

$$J_1 = K_1 = 1$$

$$ck_1 = cp$$

Q_2 Q_2 $Q_8 Q_4$

	0	1
00	1 \emptyset	\emptyset 1
01	1 \emptyset	\emptyset 1
11	x	x
10	\emptyset \emptyset	x

$$J_2 = Q'_8$$

$$K_2 = 1$$

$$ck_2 = \beta(Q_1)$$

Q_4 $Q_8 Q_4$

	00	01	11	10
00	1 \emptyset			
01	\emptyset 1			
11	x			
10	x			

$$J_4 = 1$$

$$K_4 = 1$$

$$ck_4 = \beta(Q_2)$$

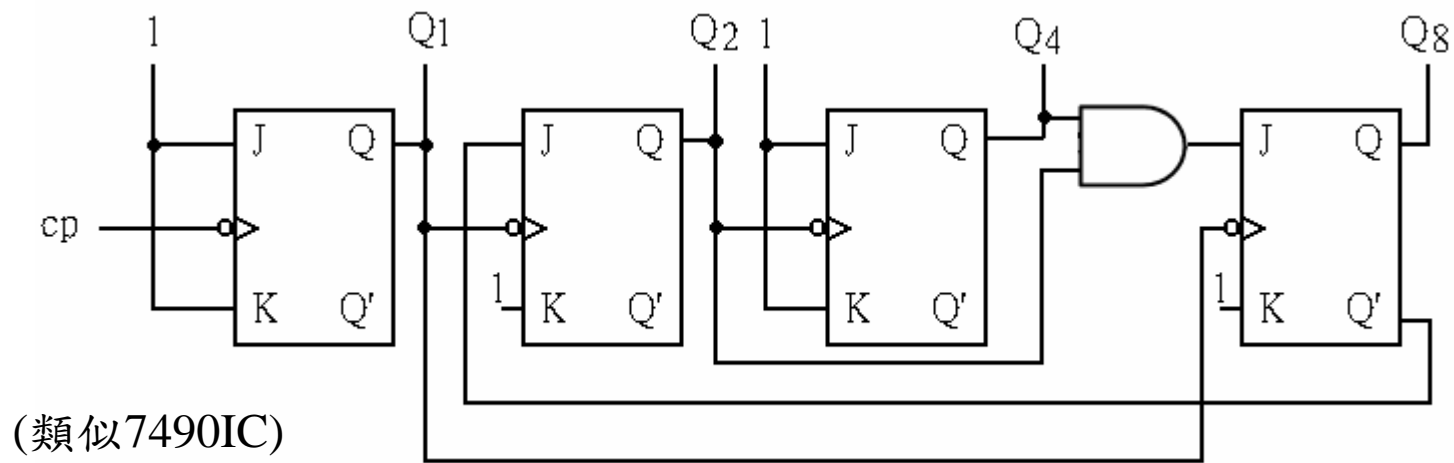
Q_8 Q_2 $Q_8 Q_4$

	0	1
00	\emptyset \emptyset	\emptyset \emptyset
01	\emptyset \emptyset	1 \emptyset
11	x	x
10	\emptyset 0	x

$$J_8 = Q_4 Q_2$$

$$K_8 = 1$$

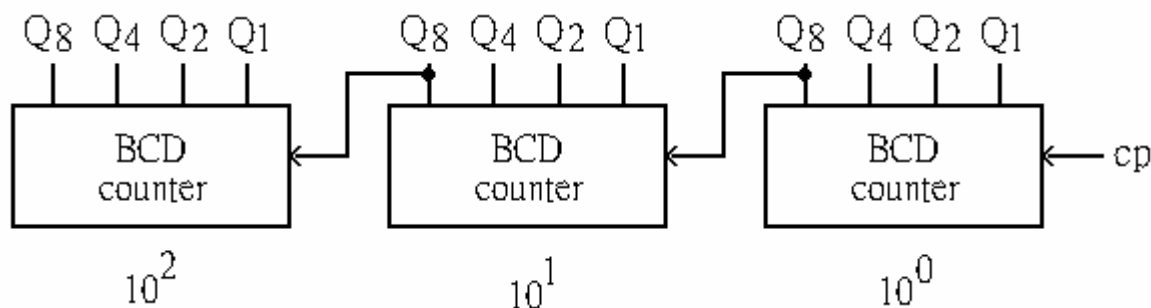
$$ck_8 = \beta(Q_1)$$



BCD 漣波計數器邏輯圖

7-4 計數器分析

<例題1>非同步計數器電路分析
分析下圖的非同步計數器電路



000 計數到 999

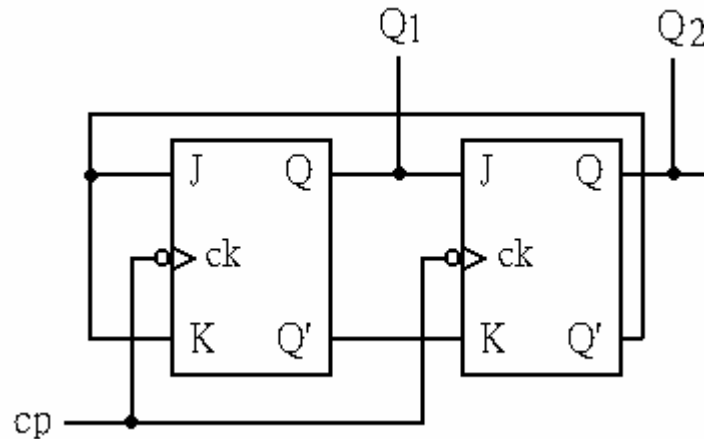
sol： 注意：在非同步計數器中，必須將正反器時脈輸入端的觸發信號列入考慮。

建狀態檢查表分析之(控制端輸入)

現 態				J ₈ K ₈	J ₄ K ₄	J ₂ K ₂	J ₁ K ₁	次 態				
Q ₈	Q ₄	Q ₂	Q ₁	ck ₈ = β (Q ₁)	ck ₄ = β (Q ₂)	ck ₂ = β (Q ₁)	ck ₁ = cp	Q ₈	Q ₄	Q ₂	Q ₁	
0	0	0	0	0	1	1	1	1	0	0	0	1
0	0	0	1	0	1	1	1	1	0	0	1	0
0	0	1	0	0	1	1	1	1	0	0	1	1
0	0	1	1	0	1	1	1	1	0	1	0	0
0	1	0	0	0	1	1	1	1	0	1	0	1
0	1	0	1	0	1	1	1	1	0	1	1	0
0	1	1	0	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	0	0	0
1	0	0	0	0	1	1	0	1	1	0	0	1
1	0	0	1	0	1	1	0	1	0	0	0	0

<例題2> 同步計數器電路分析

分析下圖的同步計數器電路



sol: 由JK正反器的特性方程式:

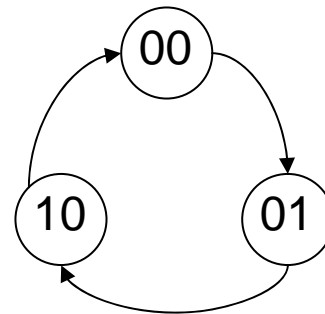
$$Q(t+1) = J Q'(t) + K' Q(t)$$

$$\text{得 } Q_1(t+1) = Q'_2 Q'_1 + Q_2 Q_1 = Q_2 \odot Q_1$$

$$Q_2(t+1) = Q_1 Q'_2 + Q_1 Q_2 = Q_1$$

其狀態表與狀態圖分別為

PS		NS	
Q_2	Q_1	Q_2	Q_1
0	0	0	1
0	1	1	0
1	0	0	0
1	1	1	1

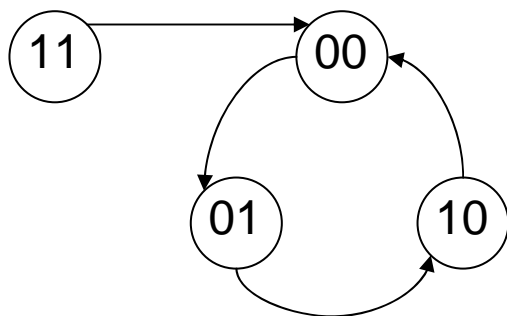


因雜訊影響電源重置，將無法回
正常迴圈

根據前知非自我啟動(self-starting)與自動修正(self-correcting)電路

<例題3>重新設計上例電路，使成為自我啟動電路

Sol:



$$J_1 = Q'_2 \quad K_1 = 1$$

$$J_2 = Q_1 \quad K_2 = 1$$

在MSI計數器中，較常用的非同步計數器有SN7490(除2與除5)，SN7492(除2與除6)及SN7493(除2與除8)等電路。較常用的同步計數器則有下列幾種：

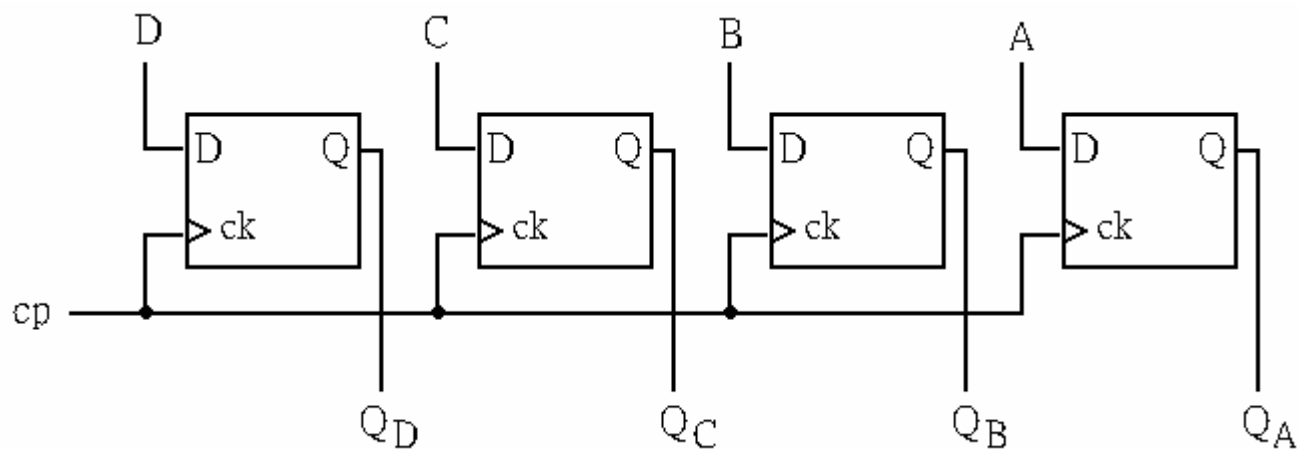
- (1)可預置BCD正數計數器(SN74160/74162)
- (2)可預置BCD正數/倒數計數器(SN74190/74192)
- (3)可預置 4 位元二進制正數計數器(SN74161/74163)
- (4)可預置 4 位元二進制正數/倒數計數器
(SN74191/74193)

74161/74163：清除控制為同步方式。(需等下一個CP來臨，才CLR)

74193：為非同步清除輸入端

7-5 暫存器與移位暫存器

1. 暫存器(register)：是一群二進制儲存單元的集合，可以用來儲存二進位資料，每一個儲存單元通常為一個正反器。(7474)



4 位元 register

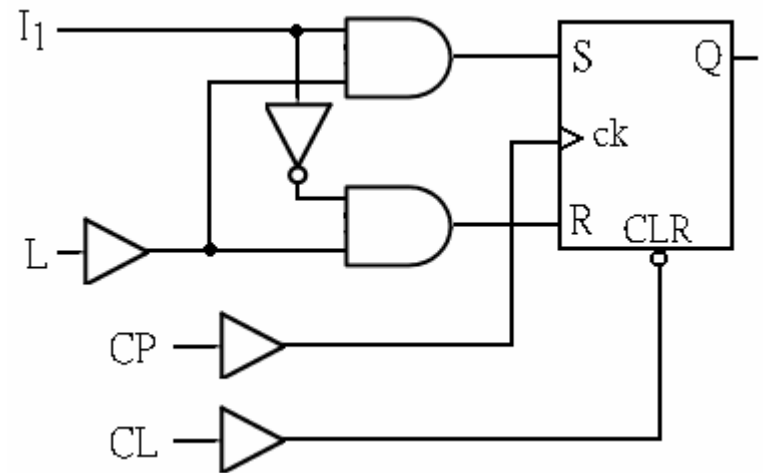
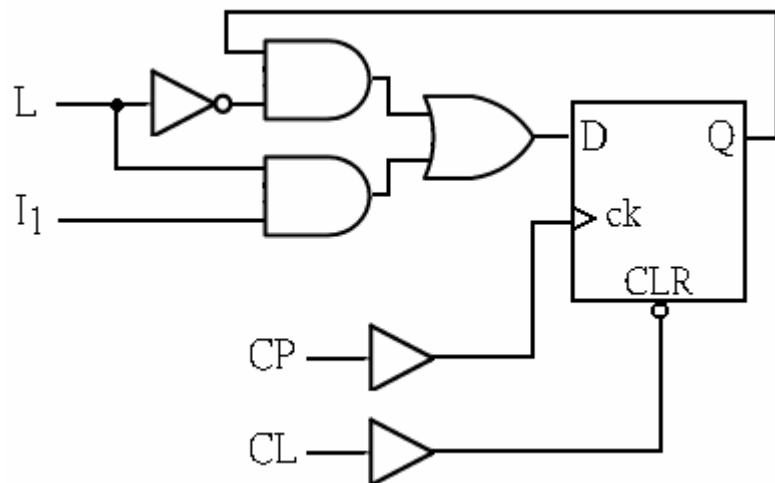
通常一群 FFs 對脈衝寬度有作用時稱為門

通常一群 FFs 對脈衝轉變時起作用的稱為記錄器

優點：(最)簡單

缺點：連續的脈波序列將連續地取樣輸入信號因而
連續的改變正反器的輸出。

解決辦法：加一載入(load)控制，只在適當(或需要)
時，才將輸入載入 FF，其他時候則保持不變。



buffer目的：減輕外部電路(即推動電路)對這些控制端的負載效應。

2.移位暫存器(shift register)：也是暫存器的一種，除了有儲存的功能外，還可以將儲存資料作適當的移位。

<1>就資料的進出方式可分為四種：

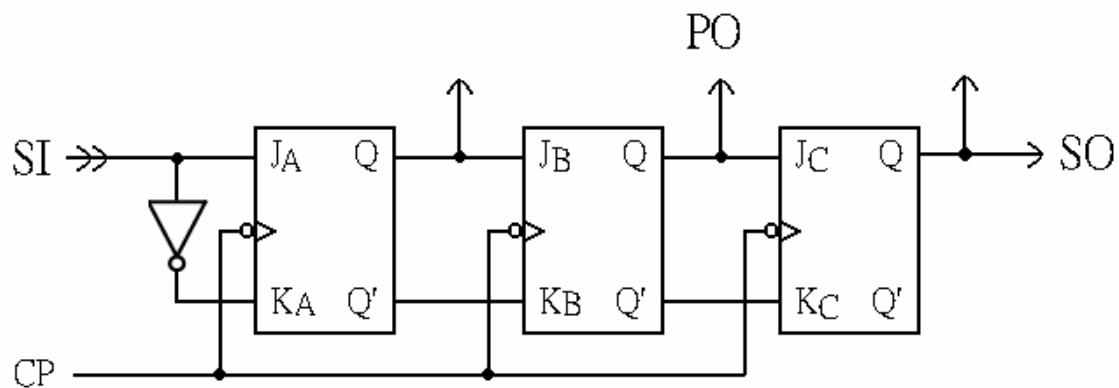
(1)串聯輸入、串聯輸出(serial-in serial-out；SISO)。

(2)串聯輸入、並聯輸出(serial-in parallel-out；SIPO)暫存器。

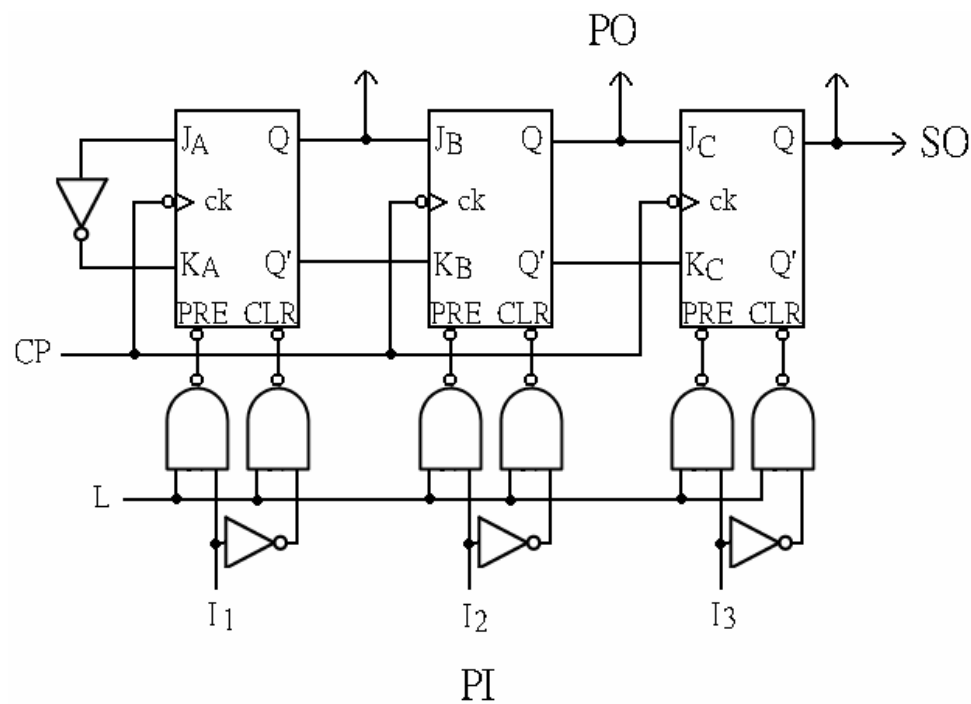
(3)並聯輸入、並聯輸出(parallel-in parallel-out；PIPO)暫存器。

(4)並聯輸入、串聯輸出(parallel-in serial-out；PISO)暫存器。

(1)(2)



(3)(4)





<2>就移位的動作可分為：

(1)單向移位暫存器(unidirectional shift register)

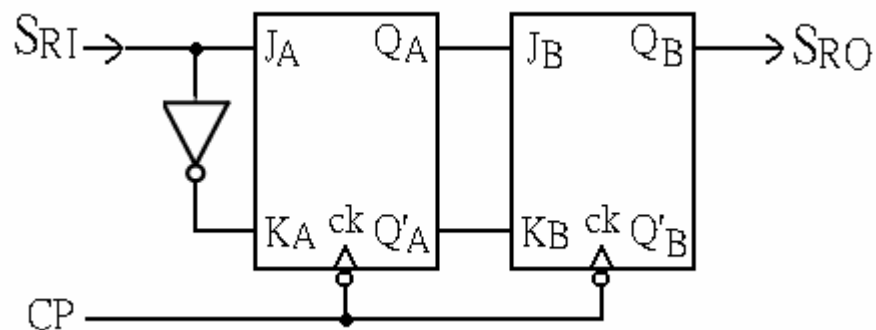
1. 左移

2. 右移

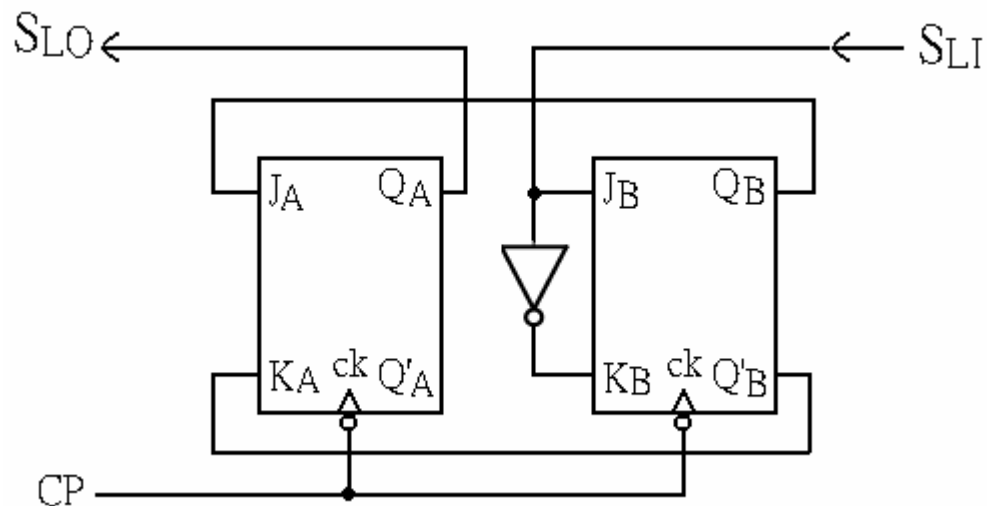
(2)雙向移位暫存器(bidirectional shift register)

(1) 單向移位暫存器

右移



左移



(2) 雙向移位暫存器

右移： $J_A = S_{RI}, K_A = J'_A$

$$J_B = Q_A, K_B = Q'_B$$

左移： $J_A = Q_B, K_A = Q'_B$

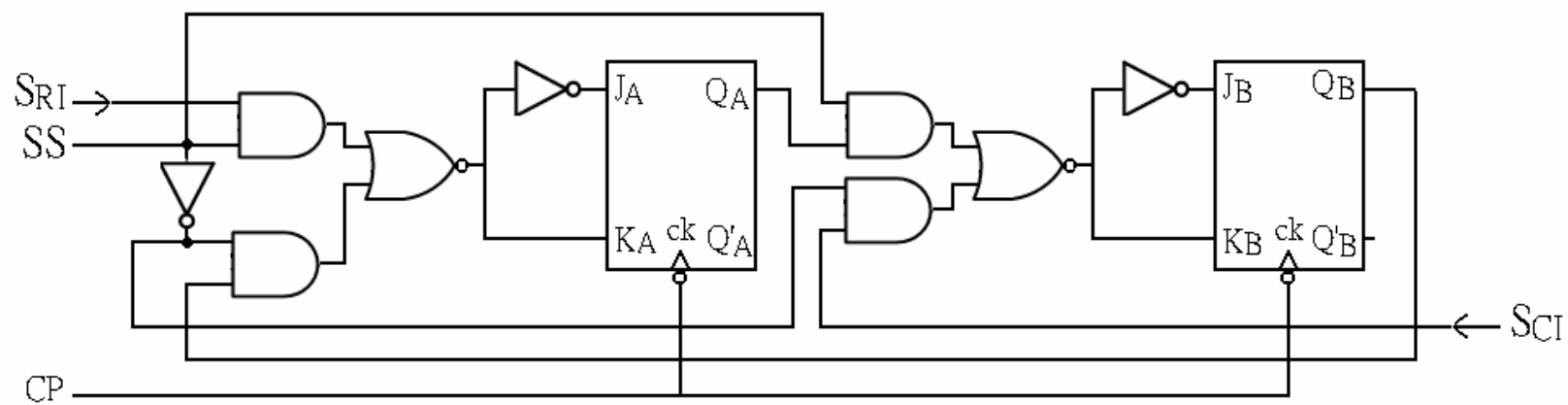
$$J_B = S_{LI}, K_B = J'_B$$

左右移： $J_A = R \cdot S_{RI} + L \cdot Q_B, K_A = J'_A$

$$J_B = R \cdot Q_A + L \cdot S_{LI}, K_B = J'_B$$


$$J_A = SS \cdot S_{RI} + \overline{SS} \cdot Q_B, \quad K_A = J'_A$$

$$J_B = SS \cdot Q_A + \overline{SS} \cdot S_{LI}, K_B = J'_B$$



<例題>利用兩條模態控制線(S_1 , S_0)設計一具有平行載入能力的 3 數元雙向式移位暫存器。其移位暫存器模態控制效果如下：

模態控制 S_1 S_0	暫存器運算
0 0	不變
0 1	右移
1 0	左移
1 1	載入並行資料

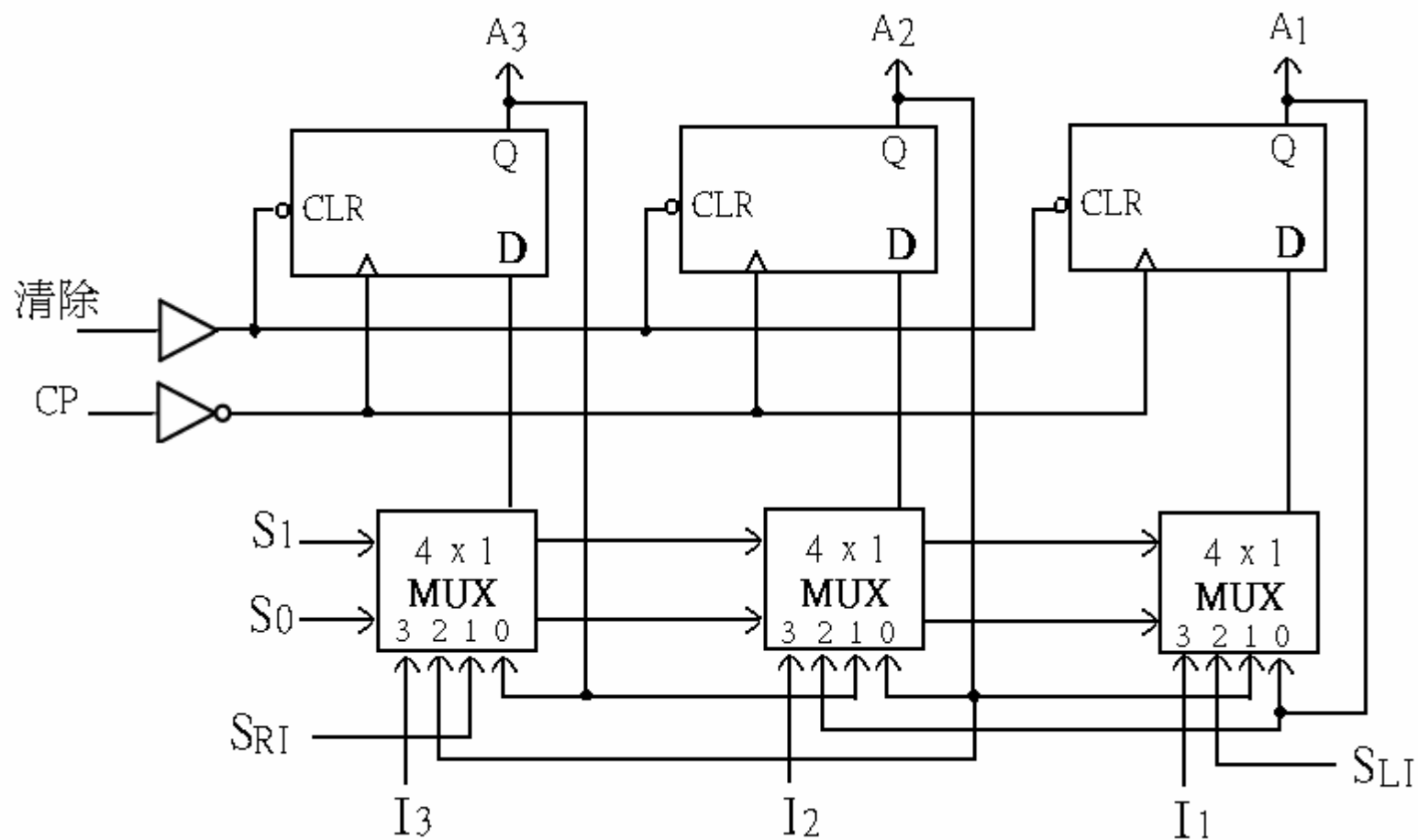


一般來說，暫存器同時具有載入並行資料能力與右移和左移的功能時，則稱為通用移位暫存器 (universal shift register)。

因此可當作下列四種功能暫存器使用

- (1) SISO Reg.
- (2) SIPO Reg.
- (3) PIPO Reg.
- (4) PISO Reg.


sol:



3.移位暫存器的應用(常用)

<1> 資料格式(data format)轉換；

在大多數的數位系統內，資料的傳送都是並列的方式，但是當該系統欲傳送資料到外部(例如終端機，terminal)時，則必須以串列方式傳送，結果該系統與外部電路之間的通信必須透過一個資料格式轉換電路，常用的方式為採用PISO reg。將並列資料載入該暫存器後，再以串列輸出方式取出。反之，則採用SIPO reg。



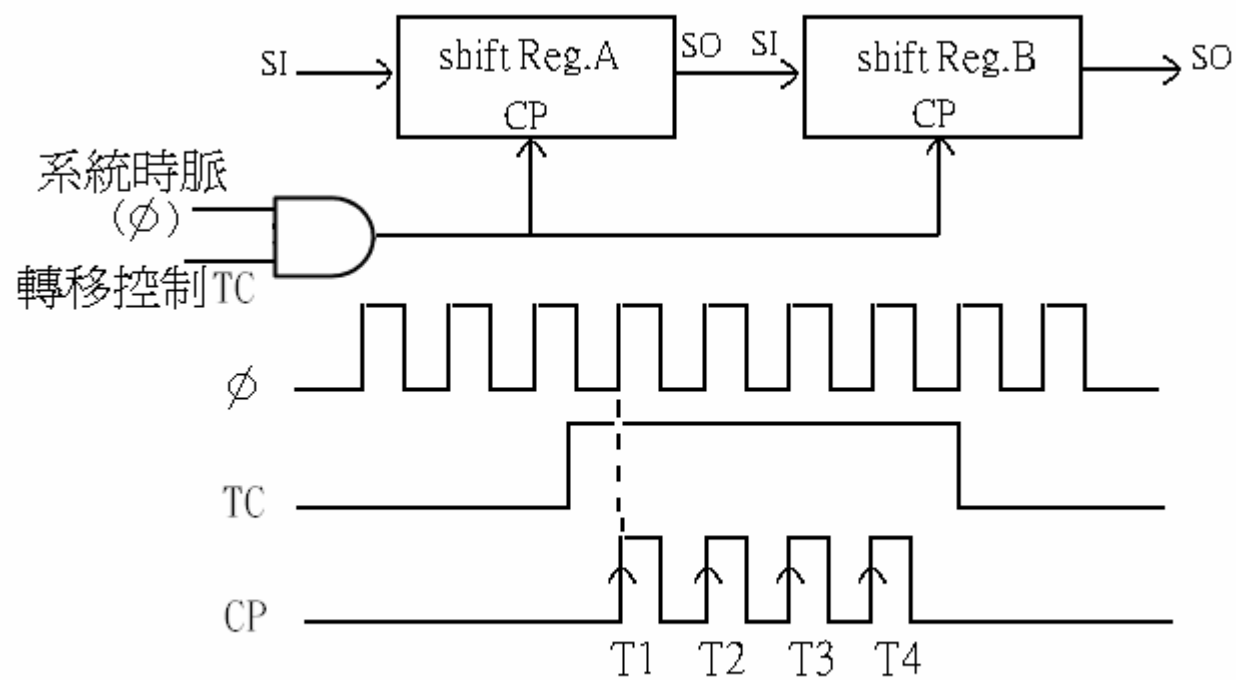
在實際應用中，由於移位暫存器的長度是有限的，因此必須將資料序列分成資料框(frame)。而其長度則等於移位暫存器的長度。

一般而言，兩個數位系統間的資料轉移方式可分成並列轉移(parallel transfer)與串列傳輸(serial transfer)兩種。就速度而言，並列方式遠較串列方式為快；就成本而言，若考慮長距離的資料傳送，則以串列方式較低。


例題：(串列資料轉移)

設計一個串列資料轉移系統，當轉移控制輸入 (TC) 為高電位時，移位暫存器 A 的 4 個位元資料則依序以串列方式轉移到移位暫存器 B 中。

Sol :

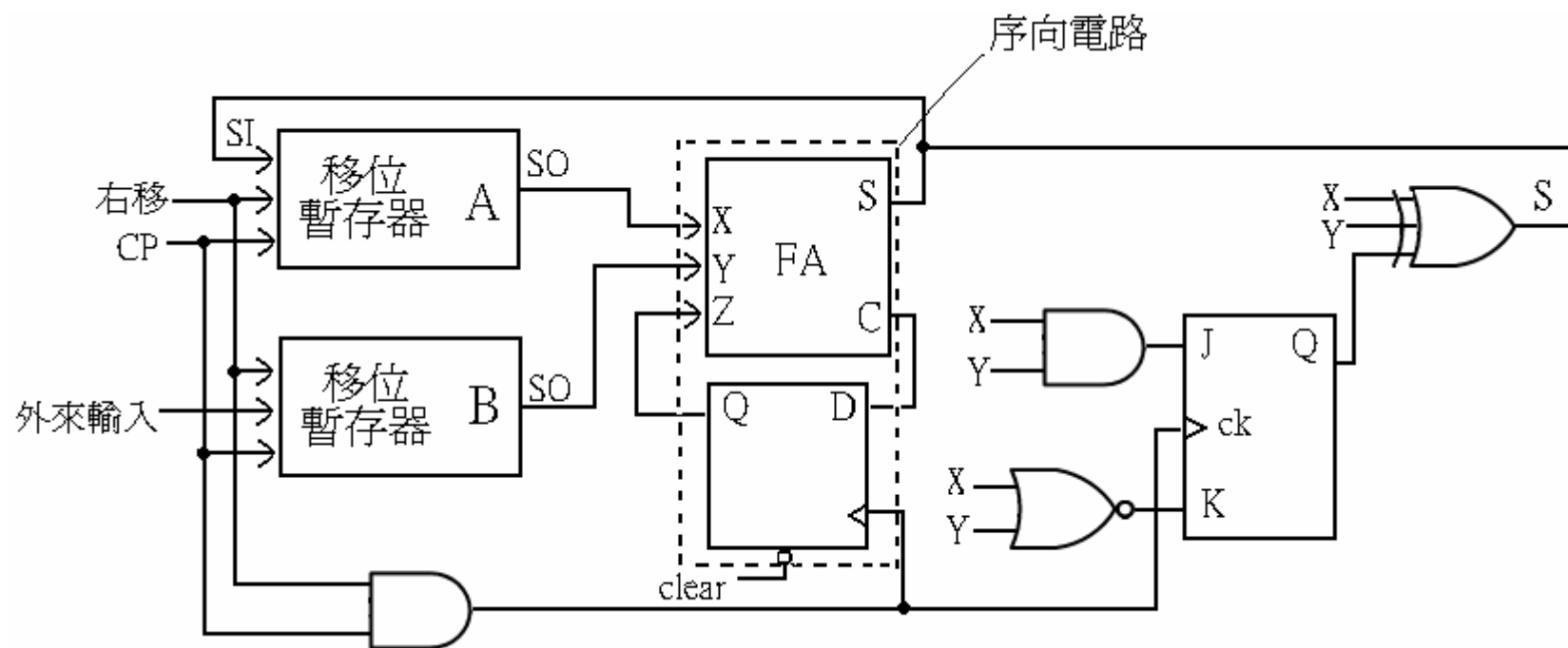


Timing diagram



※除了直接轉移資料到另一個移位暫存器中之外，
兩個暫存器中的資料也可能經過一番運算之後再轉
移到另一個移位暫存器或回原先的暫存器之中。

例題：4位元串列加法器



<pb.>上序向電路部份若改用JK FF作為記憶元件電路如何設計？

Sol：狀態表：

現態 Q	輸入 X Y		次態 R	輸出 S		
	X	Y	R	S	J	K
0	0	0	0	0	0	ϕ
0	0	1	0	1	0	ϕ
0	1	0	0	1	0	ϕ
0	1	1	1	0	1	ϕ
1	0	0	0	1	ϕ	1
1	0	1	1	0	ϕ	0
1	1	0	1	0	ϕ	0
1	1	1	1	1	ϕ	0

$Q \rightarrow Q_{t+1}$		J	K
0	0	0	ϕ
0	1	1	ϕ
1	0	ϕ	1
1	1	ϕ	0

$$JQ = xy, \quad KQ = x'y' = (x+y)', \quad S = x \oplus y \oplus Q$$

※前已討論過並加器，在此我們討論串加器(serial adder)設計，比較下得:串列運算比較慢，但所需的設備較少，也因為並行運算較快，所以數位計算機中大多以並行方式來運算。

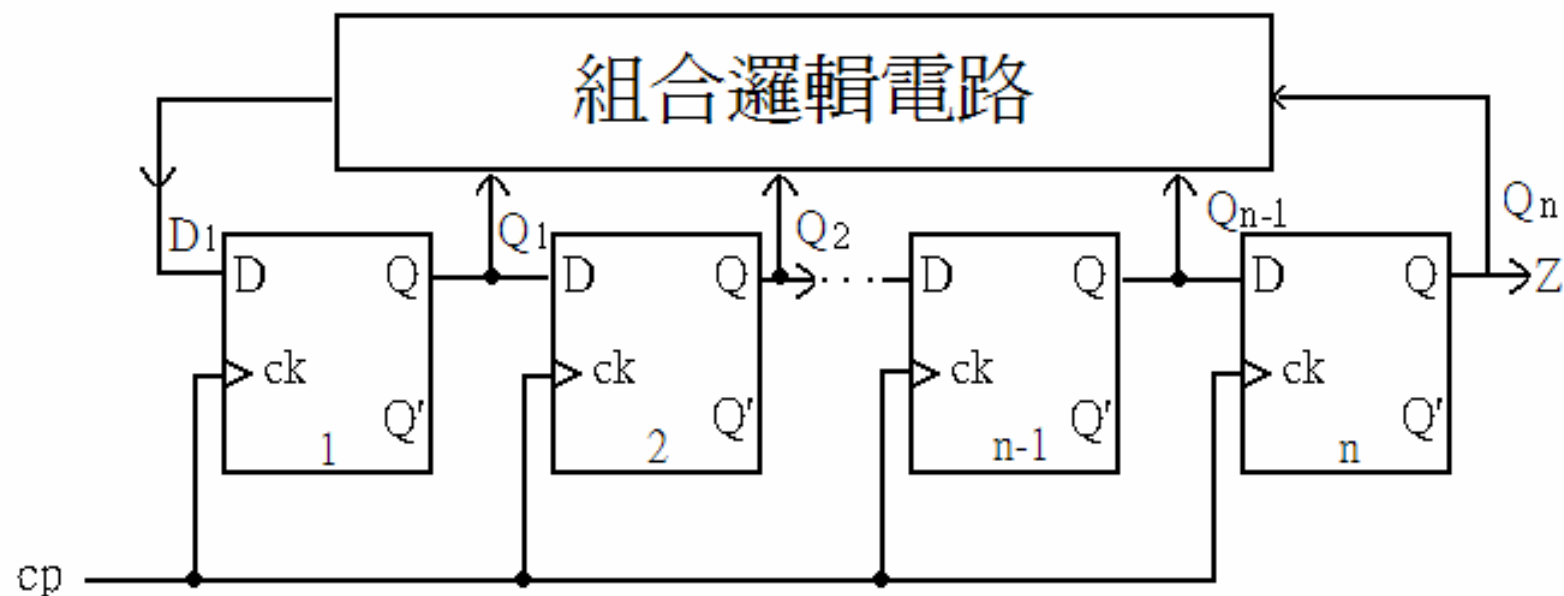
<2>序列產生器

※所謂序列產生器是指一個外加時脈同步下產生特定0或1序列的數位系統。這種電路可以當作計數器，時序產生器...等等。

※一般而言，一個序列的長度(length)定義為該序列在未重覆之前所含有的連續位元之數目。

在欲產生長度為 S 的序列，至少須使用 n 個正反器，而且 n 滿足下列條件：

$$S \leq 2^n - 1$$



基本n級序列產生器電路結構

<例題1>設計一個非週期性序列產生器電路，產生下列序列：

$$\begin{array}{c} 1110110010001 \\ \uparrow \qquad \qquad \qquad \uparrow \\ \text{MSB} \qquad \qquad \qquad \text{LSB} \end{array}$$

Sol：真值表： $S \leq 2^n - 1$ $13 \leq 2^n - 1 \Rightarrow n=4$

	D1	W X Y Z
S ₀	1	0 0 0 1
S ₁	0	1 0 0 0
S ₂	0	0 1 0 0
S ₃	1	0 0 1 0
S ₄	1	1 0 0 1
S ₅	0	1 1 0 0
S ₆	1	0 1 1 0
S ₇	1	1 0 1 1
S ₈	1	1 1 0 1

→ ※ 假設移位reg. 初值為0001
(可利用CLR、PRE設定)

D1 ← YZ

WX \ YZ	00	01	11	10
00	ϕ	1	ϕ	1
01	0	ϕ	ϕ	1
11	0	1	ϕ	ϕ
10	0	1	1	ϕ

$$D_1 = Z + Y$$

<例題2>設計一個非週期性序列產生器電路，產生下列序列：

$$\begin{array}{ccccccc} 0 & 1 & 1 & 1 & 1 & 0 & 1 \\ \uparrow & & & & & & \uparrow \\ \text{MSB} & & & & & & \text{LSB} \end{array}$$

Sol： 由 $S \leq 2^n - 1 \Rightarrow 7 = 2^n - 1 \Rightarrow \therefore n = 3$

真值表：

	D1	XYZ
S ₀	1	1 0 1
S ₁	1	1 1 0
S ₂	1	1 1 1
S ₃	0	1 1 1
S ₄	1	0 1 1
S ₅	0	1 0 1
S ₆	1	0 1 0
S ₀	1	1 0 1

※表中發現有(如)其 $x y z$ 的輸出相同(101)但卻要產生不同的 D_1 值，因不可能設計出這樣的組合邏輯電路。解決這種矛盾的方法是增加正反器的數目。

故取 $n=4$

真值表：

	D_1	WXYZ
S_0	1	1 1 0 1
S_1	1	1 1 1 0
S_2	0	1 1 1 1
S_3	1	0 1 1 1
S_4	0	1 0 1 1
S_5	1	0 1 0 1
S_6	1	1 0 1 0
S_0	1	1 1 0 1

D_1 \ YZ		00	01	11	10
WX	00	ϕ	ϕ	ϕ	ϕ
	01	ϕ	1	1	ϕ
	11	ϕ	1	0	1
	10	ϕ	ϕ	0	1

$$D'_1 = w y z$$

$$D_1 = (w y z)'$$

※最大長度序列又稱假亂數序列(pseudo-random sequence, 簡稱pr序列)或假雜音序列(pseudo-noise sequence)。

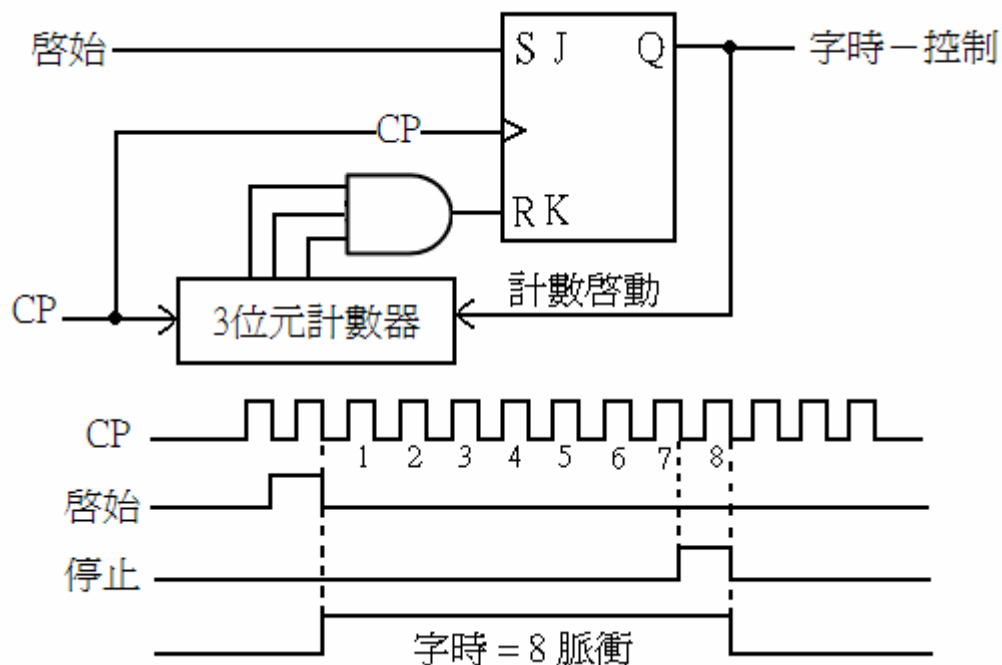
<3>其他

- 1. 環形計數器
 - 標準環形(standard-ring)
 - 扭環(twisted-ring)；又稱詹森
- 2. 計數器(Johnson counter)或尾端交換計數器(switch-tail counter): 為一種 n 位元交換尾端計數器，以 $2n$ 個解碼器供給 $2n$ 個定時信號。(時序產生器)
- 3. 應用於磁碟中的資料錯誤檢查或計算機通信網路中錯誤檢查的CRC (cyclic redundancy code)產生器/檢查器。

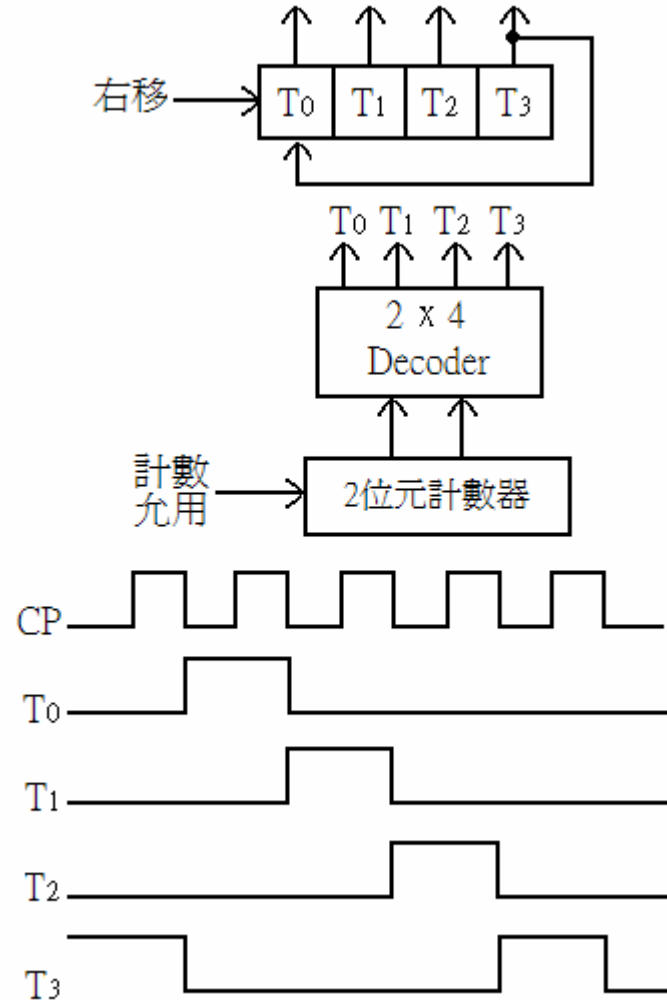
字時產生器(word-time generation)：(數位單擊電路) (Digital monostable)

※clear
counter

以達可重覆觸功能



定時信號：
(時序產生器)
time sequence
generator

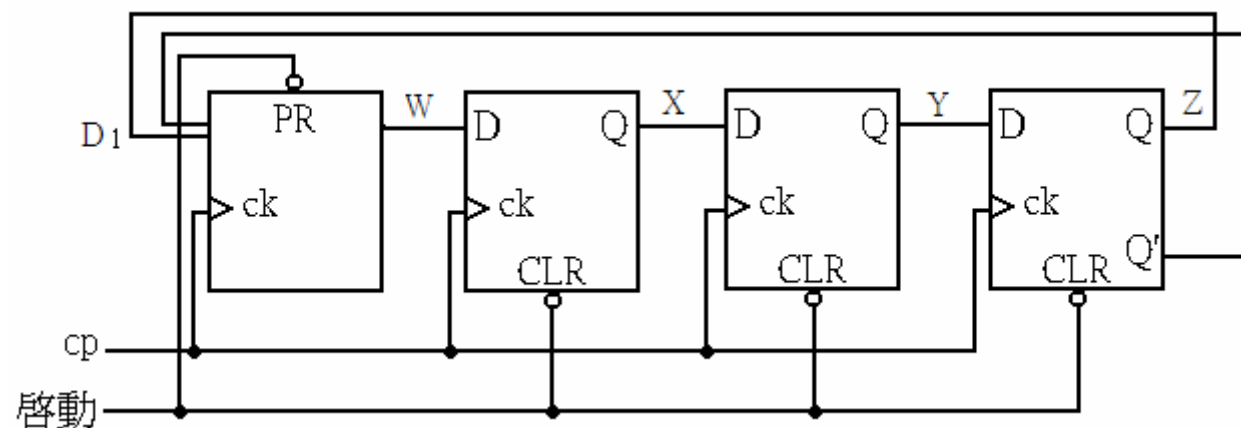


標準環形計數器
(啟始=1000)

計數器與解碼器

四個定時信號的順序

標準環形計數器(模4) $n : 1$



設計
 $2n-1:1$
同序列產生器設計

扭環計數器(模8) $2n : 1$ (偶模)

	WXYZ	Decode
1	0 0 0 0	$W'Z'$
2	1 0 0 0	$W X'$
3	1 1 0 0	$X Y'$
4	1 1 1 0	$Y Z'$
5	1 1 1 1	$W'Z$
6	0 1 1 1	$X' X$
7	0 0 1 1	$X' Y$
8	0 0 0 1	$Y' Z$

$2n-1 : 1$ (奇模)

