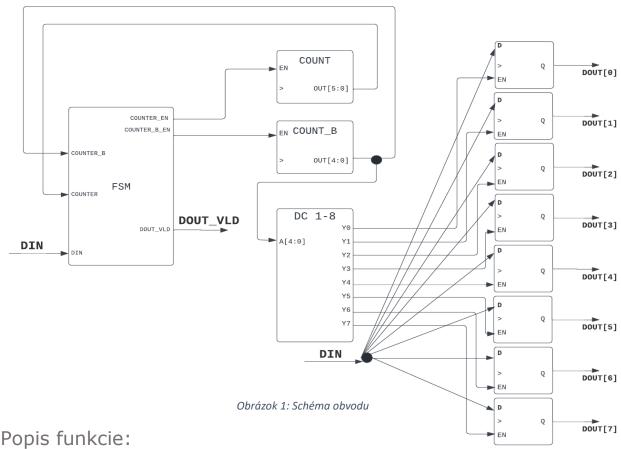
Výstupná správa

Meno: **Gabriel Biel** xbiela00 Login:

Architektúra navrhnutého obvodu

Schéma obvodu:



- - Automat **FSM** riadi tok dát (DIN) na vývod(DOUT). Dáta sú zaznamenávané v strede ich signálu a potvrdené(DOUT VLD).
 - V obvode sú dve počítadlá. **COUNT** je určený na výpočet prvotného oneskorenia na stred signálu a zaznamenávanie jednotlivých bitov. **COUNT_B** počíta počet čítaných bitov a umožňuje prepínať (selektovať) výstupy.
 - **DECODER** prepína signály jednotlivých bitov do registrov D[0-7].

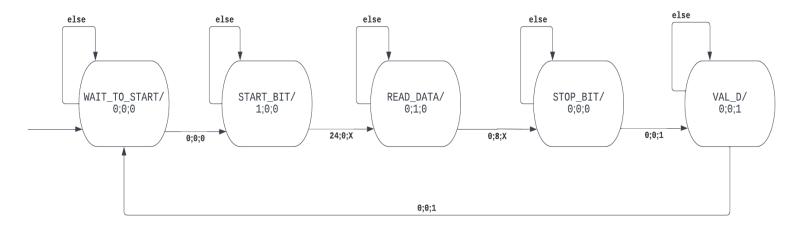
Spočiatku sa riadiaca jednotka FSM nachádza v stave WAIT_TO_START, kde čaká na zmenu signálu DIN do log. 0. Po prijatí signálu FSM vyšle signál na spustenie COUT. Keď sa signál z COUNT rovná 24 (DIN je v strede prvého bitu - bit0), FSM spúšťa COUNT_B. Po načítaní 8 bitov sa FSM prepne na stav STOP_BIT. Ďalej FSM čaká, dokým signál DIN nebude signalizovať log.1, čo značí validáciu dát. Po validácii sa FSM prepne do stavu WAIT TO START, kde čaká na prijiatie log.1 na DIN, čo proces opäť aktivuje.

Návrh automatu

Schéma automatu:

Legenda:

- Stavy automatu: WAIT_TO_START; START_BIT; READ_DATA; STOP_BIT; VAL_D
- Vstupné signály:COUNT;COUNT_B;DIN
- Moorove výstupy:COUNT_EN;COUNT_B_EN;DOUT_VLD



Obrázok 2: Schéma automatu

Popis funkcie:

- 1. WAIT_TO_START. V tomto stave sa nečítajú žiadne data. Pre zmenu stavu automat čaká na zmenu signálu DIN z logickej 1 na logickú 0. Pri zmene stavu FSM pošle signál na zapnutie počítadiel COUNT, COUNT_B.
- 2. START_BIT. Spúšťa sa COUNT_EN. Na prechod na ďalší stav závisí od vstupu COUNT, ktorý sa musí rovnať 24. Čaká teda na nastavenie čítana zo stredu bitu.
- 3. *READ_DATA.* Signalizuje *COUNT_B_EN*. Po prečítaní 8 bitov mení stav (vstupný signál *COUNT_B sa musí rovnať 8*).
- 4. STOP_BIT. Automat tu vyčkáva na prijatie validačného signálu (DIN = 1).
- 5. VAL_D. Validuj správu(DOUT_VLD = 1) a prepni stav na WAIT TO START.

