

Clase 8 ¹ - Electrostatica de la Juntura PN y estructura MOS (V)

3 de Abril de 2009

Contenido:

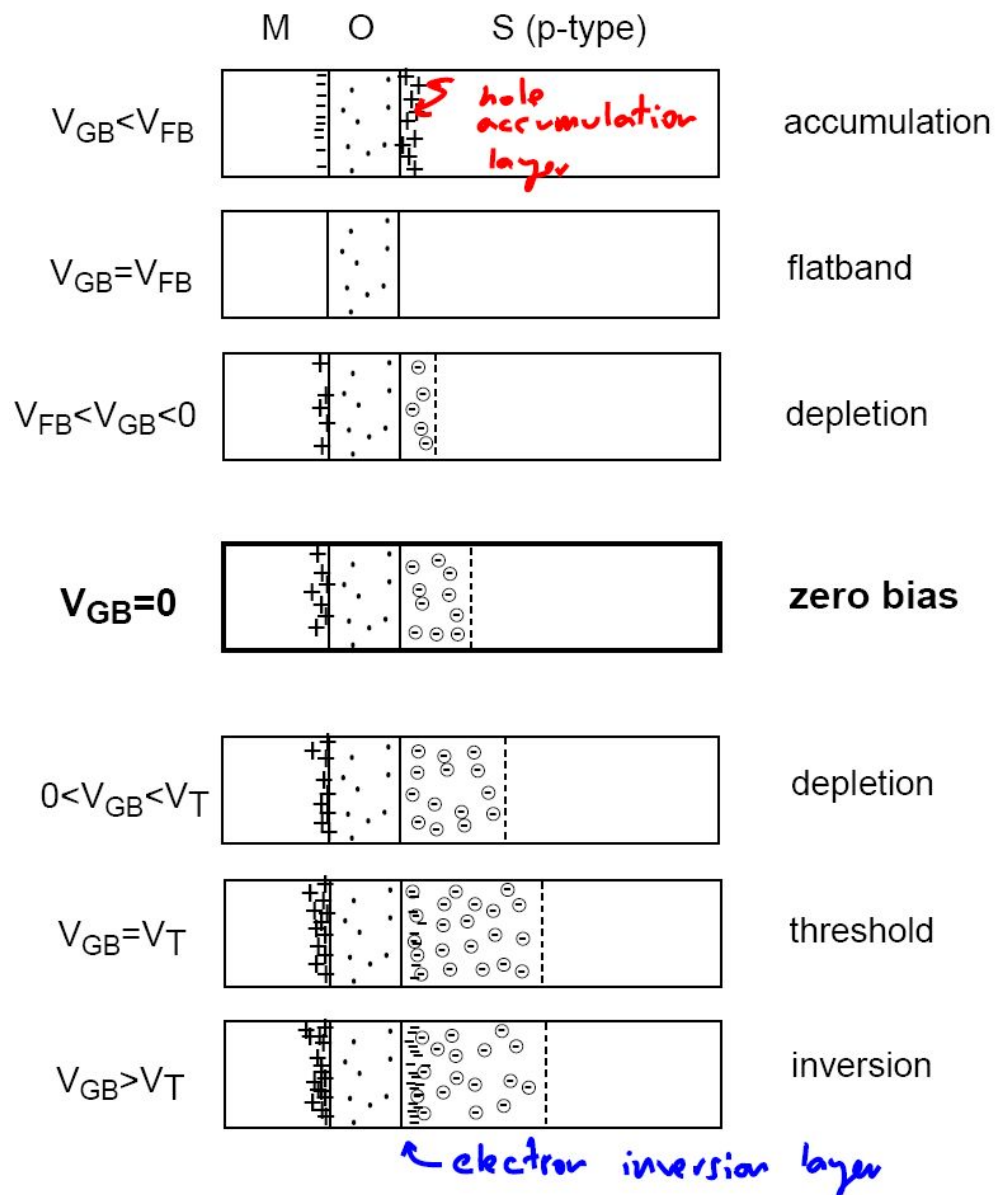
1. Análisis general de la electroestática del MOS polarizado
2. Regimen de vaciamiento, *Depletion regime*
3. Tensión de banda plana, *Flatband*
4. Regimen de acumulación, *Accumulation regime*
5. Tensión umbral, *Threshold*
6. Regimen de Inversion, *Inversion regime*

Lecturas recomendadas:

Howe and Sodini, Ch. 3, §§3.8-3.9

¹Esta clase es una traduccion, realizada por los docentes del curso "66.25 - Dispositivos Semiconductores - de la FIUBA", de la correspondiente hecha por el prof. Jesus A. de Alamo para el curso "6.012 - Microelectronic Devices and Circuits" del MIT. Cualquier error debe adjudicarse a la traduccion.

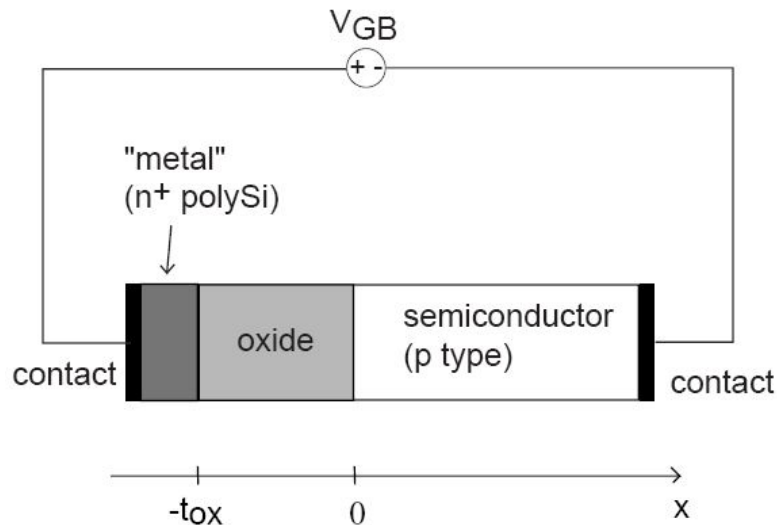
El objetivo de hoy es entender esto:



Preguntas disparadoras:

- ¿Existe más de un régimen de operación de la estructura MOS polarizada?
- ¿Que significa la "inversión de portadores" y qué tiene de particular?
- ¿Cómo depende la carga de inversión de portadores del potencial de Gate?

1. Análisis general de la electrostática del MOS polarizado



Al aplicar una polarización:

- El potencial built-in a lo largo de la estructura MOS aumenta de ϕ_B a $\phi_B + V_{GB}$
- El oxido impide la circulación de corriente \Rightarrow
 - $J = 0$ en todo punto en el semiconductor
 - necesitamos *arrastre* = *-difusion* en SCR
- Se debe preservar la condición de contorno en la interfaz Si/SiO₂ : $E_{ox}/E_s \simeq 3$

¿Cómo pueden satisfacerse todas estas condiciones a la vez? \Rightarrow *situación de cuasi equilibrio* con diferencia de potencial total en el MOS igual a $\phi_B + V_{GB}$

Consecuencias importantes del cuasi-equilibrio:

\Rightarrow La relación de Boltzmann se cumple en el semiconductor:

[fue derivada a partir de $J_e = J_h = 0$]

$$n(x) = n_i e^{q\phi(x)/kT}$$

$$p(x) = n_i e^{-q\phi(x)/kT}$$

y

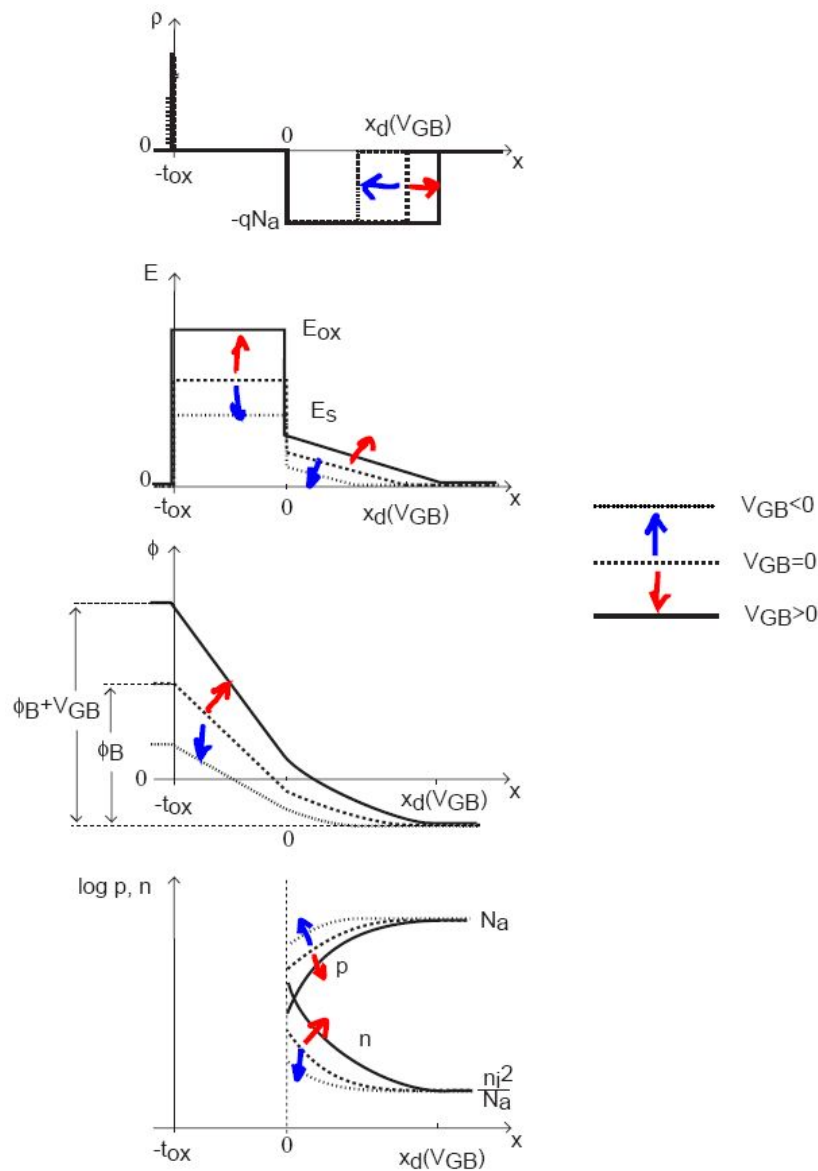
$$np = n_i^2 \quad \text{para todo } x$$

[No es el caso de una juntura p-n o un TBJ bajo polarización]

2. Regimen de vaciamiento

Para $V_{GB} > 0$ el metal atrae electrones, repele huecos \Rightarrow la region de vaciamiento crece.

Para $V_{GB} < 0$ el metal repele electrones, atrae huecos \Rightarrow la region de vaciamiento se contrae.



En el regimen de vaciamiento son validos todos los resultados obtenidos para zero bias mediante $\phi_B \rightarrow \phi_B + V_{GB}$.

Por ejemplo:

- extensión de la zona de vaciamiento:

$$x_d(V_{GB}) = \frac{\epsilon_s}{C_{ox}} \left[\sqrt{1 + \frac{4(\phi_B + V_{GB})}{\gamma^2}} - 1 \right]$$

- Caída de potencial a lo largo de la region SCR del semiconductor:

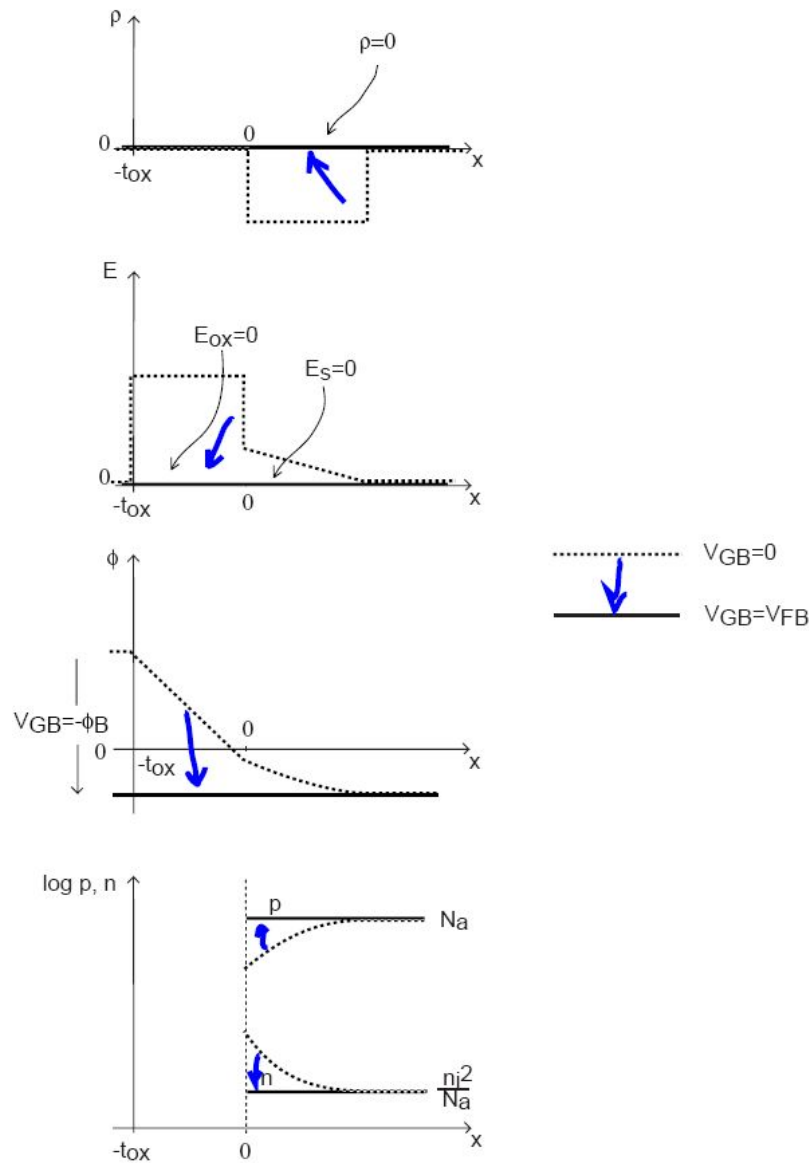
$$V_B(V_{GB}) = \frac{qN_a x_d^2(V_{GB})}{2\epsilon_s}$$

- Caída de potencia a lo largo del oxido:

$$V_{ox}(V_{GB}) = \frac{qN_a x_d(V_{GB}) t_{ox}}{\epsilon_{ox}}$$

3. Flatband

Para cierta tensión V_{GB} negativa la region de vaciamiento desaparece \Rightarrow *Flatband*

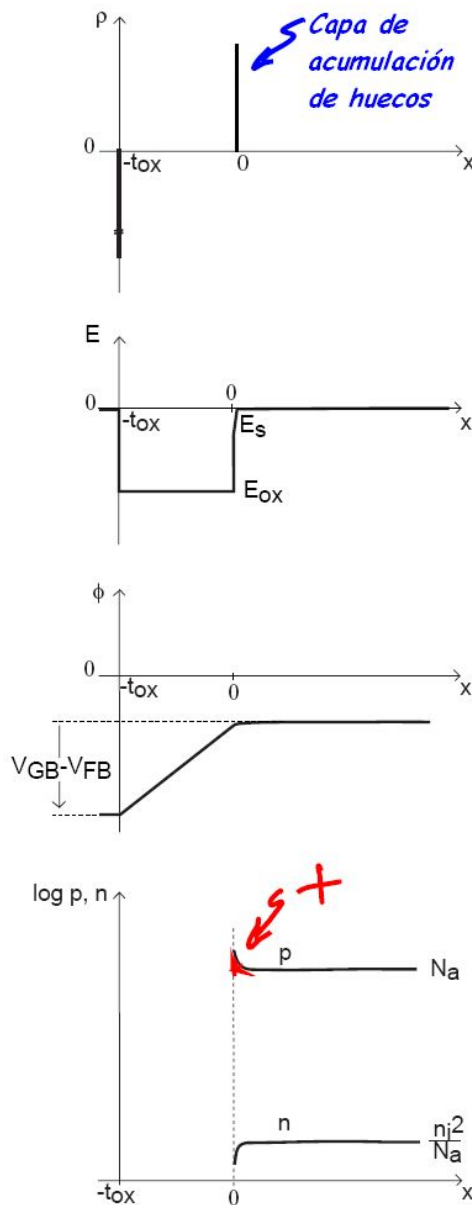


Voltaje de Flatband:

$$V_{FB} = -\phi_B$$

4. Regimen de acumulación

Si $V_{GB} < V_{FB}$ hay *acumulación* de huecos en la interfaz Si/SiO₂

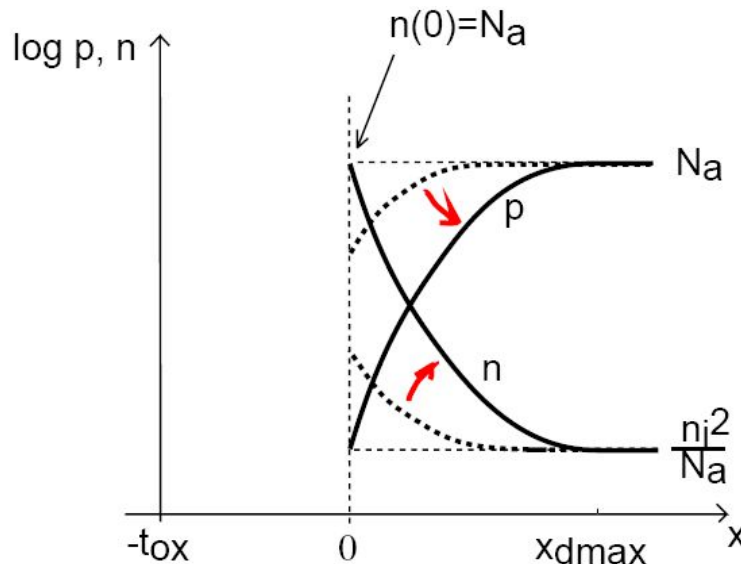


5. Tensión Umbral, *Threshold*

Volvamos a $V_{GB} > 0$.

Para $V_{GB} > 0$ suficientemente grande la electroestática cambia cuando $n(0) = N_a \Rightarrow \text{umbral}$.

Superado el *umbral*, no se puede despreciar la contribución de los electrones a la electroestática.



Calculemos el voltaje (*Tensión umbral*) que conduce a $n(0) = N_a$.

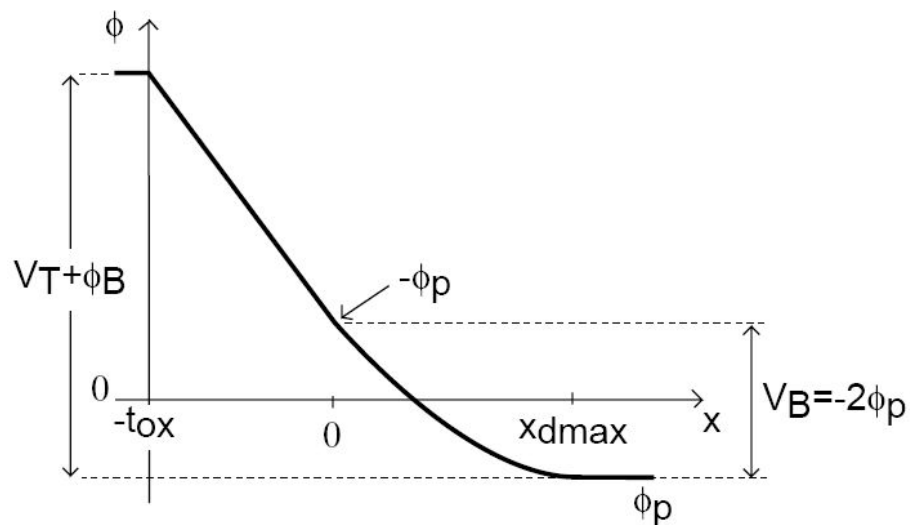
Principal hipótesis: utilizar la electroestática de vaciamiento (despreciar la concentración de electrones para tensión umbral).

□ Cálculo de la tensión umbral.

Require tres pasos:

- Primero, calculamos $\phi(0)$ para $V_{GB} = V_T$:

$$\phi(0)|_{V_T} = \frac{kT}{q} \ln \frac{n(0)}{n_i}|_{V_T} = \frac{kT}{q} \ln \frac{N_a}{n_i} = -\phi_p$$



Resultando:

$$V_B(V_T) = -2\phi_p$$

- Segundo, calculamos la caída de potencia potencial en el óxido para la tensión umbral.

Obtenemos $x_d(V_T)$ usando la relación entre V_B y x_d en vaciamiento:

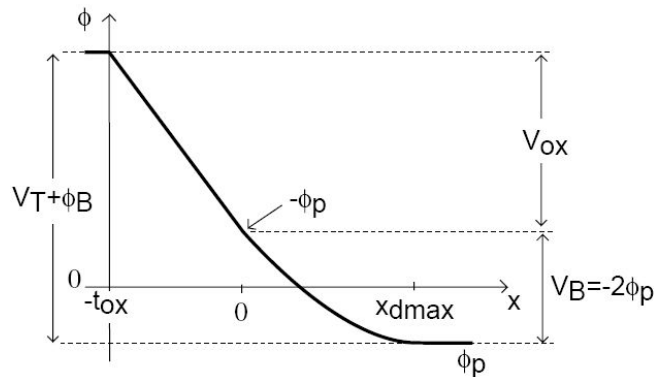
$$V_B(V_T) = \frac{qN_a x_d^2(V_T)}{2\epsilon_s} = -2\phi_p$$

Despejamos $x_d(V_T)$:

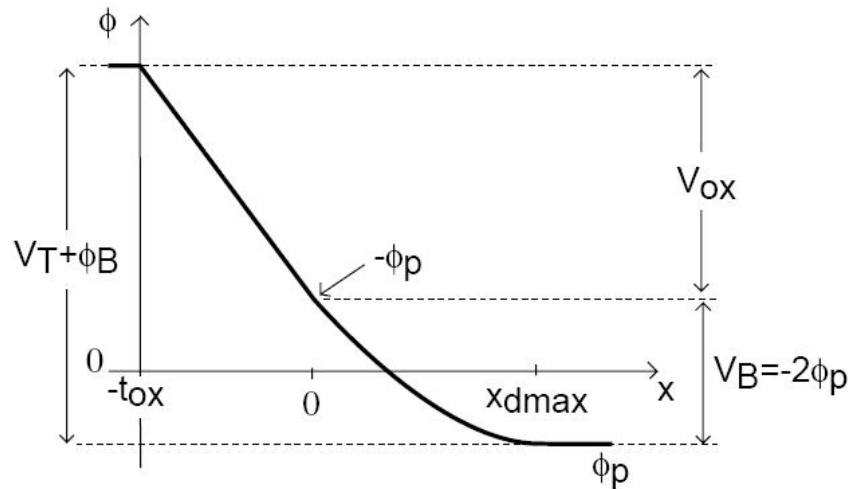
$$x_d(V_T) = x_{dmax} = \sqrt{\frac{2\epsilon_s(-2\phi_p)}{qN_a}}$$

Luego:

$$V_{ox}(V_T) = E_{ox}(V_T)t_{ox} = \frac{qN_a x_d(V_T)}{\epsilon_{ox}}t_{ox} = \gamma\sqrt{-2\phi_p}$$



- Finalmente, sumamos las caídas de potencial en toda la estructura.



$$V_T + \phi_B = V_T - V_{FB} = V_B(V_T) + V_{ox}(V_T) = -2\phi_p + \gamma\sqrt{-2\phi_p}$$

Despejamos V_T :

$$V_T = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p}$$

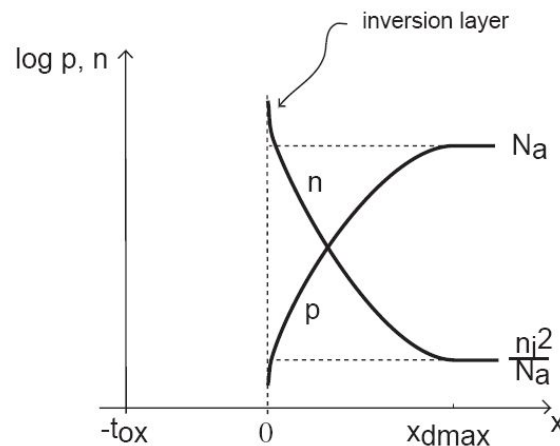
Principales dependencias:

- Si $N_a \uparrow \rightarrow V_T \uparrow$. A mayor dopaja, mayor tensión requerida para producir $n(0) = N_a$.
- Si $C_{ox} \uparrow$ ($t_{ox} \downarrow$) $\rightarrow V_T \downarrow$. Para oxido más delgado, es menor la caída de voltaje en él.

6. Inversión

¿Qué ocurre para $V_{GB} > V_T$?

Más electrones en la interfaz Si/SiO₂ que aceptores
 \Rightarrow *inversión*.



La concentración de electrones en la interfaz Si/SiO₂ está modulada por $V_{GB} \Rightarrow V_{GB} \uparrow \rightarrow n(0) \uparrow \rightarrow |Q_n| \uparrow$

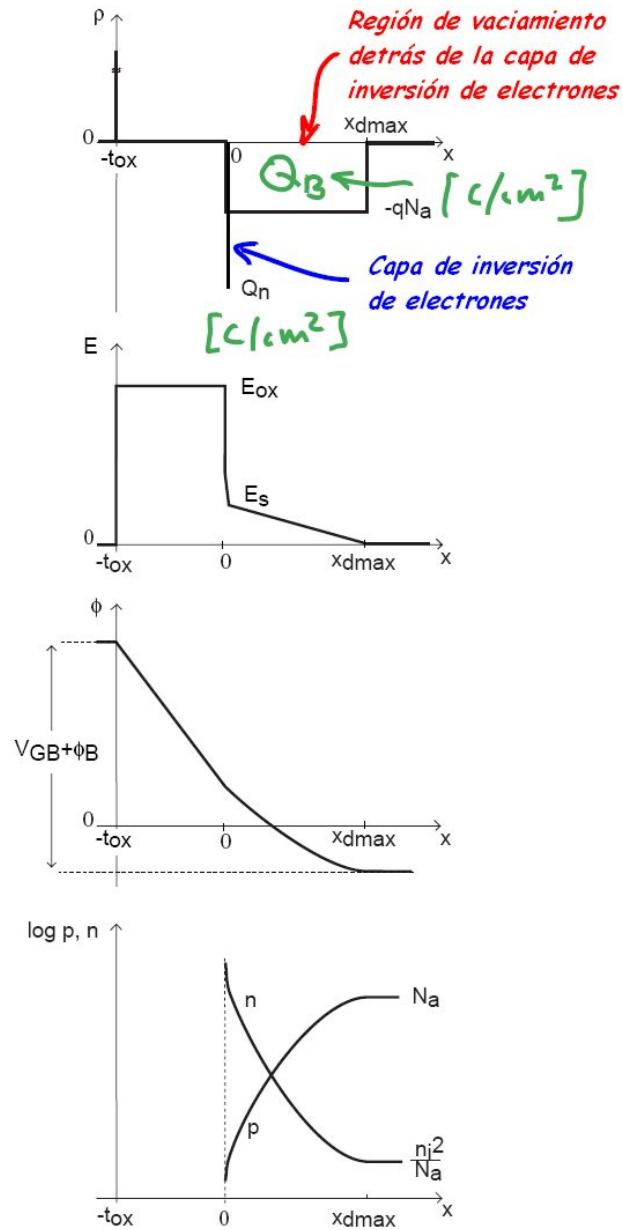
¡Control por campo eléctrico de la carga móvil!
 ¡Esta es la esencia del MOSFET!

Queremos calcular Q_n vs. V_{GB} [*relación de carga Vs. $V_{control}$*]

Hacemos la aproximación de carga superficial: La capa de electrones en la superficie del semiconductor es mucho más delgada que cualquier otra dimensión del problema (t_{ox} , x_d).

□ Relación de carga Vs. V_{control}

Veamos como es globalmente la electroestática del MOS:



Principal logro:

$$|Q_n| \propto n(0) \propto e^{q\phi(0)/kT}$$

$$|Q_B| \propto \sqrt{\phi(0)}$$

(Carga en la región de vaciamiento)

Entonces, a medida que $V_{GB} \uparrow$ y $\phi(0) \uparrow$, $|Q_n|$ cambiará mucho, pero $|Q_B|$ cambiará muy poco.

Varias consecuencias:

- x_d no aumenta demasiado después de superado el umbral:

$$x_d(inv.) \simeq x_d(V_T) = \sqrt{\frac{2\epsilon_s(-2\phi_p)}{qN_a}} = x_{dmax}$$

- V_B no aumenta demasiado después de $V_B(V_T) = -2\phi_p$ (una capa fina de electrones no contribuye demasiado con V_B):

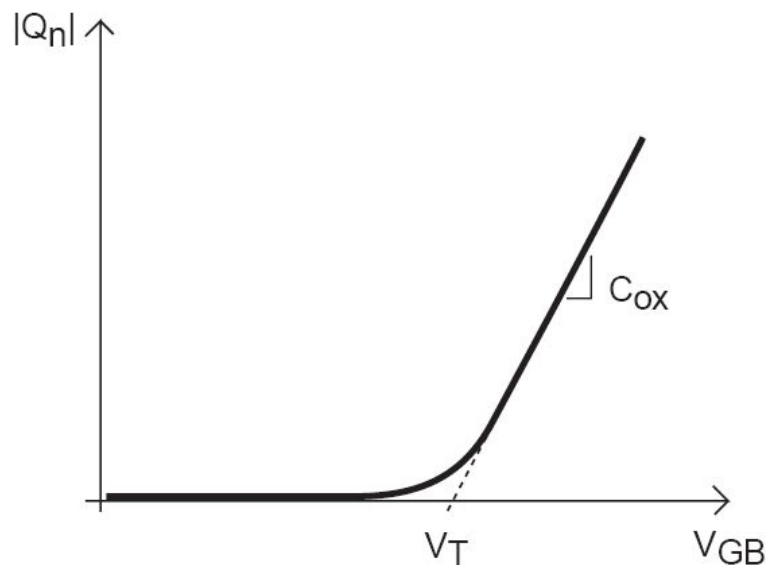
$$V_B(inv.) \simeq V_B(V_T) = -2\phi_p$$

- *Todo el voltaje adicional una vez superado V_T es utilizado para aumentar la inversión de carga Q_n . Pensemos en esto como en un capacitor:*
 - *cara superior: El gate de metal*
 - *cara inferior: La capa de inversión*

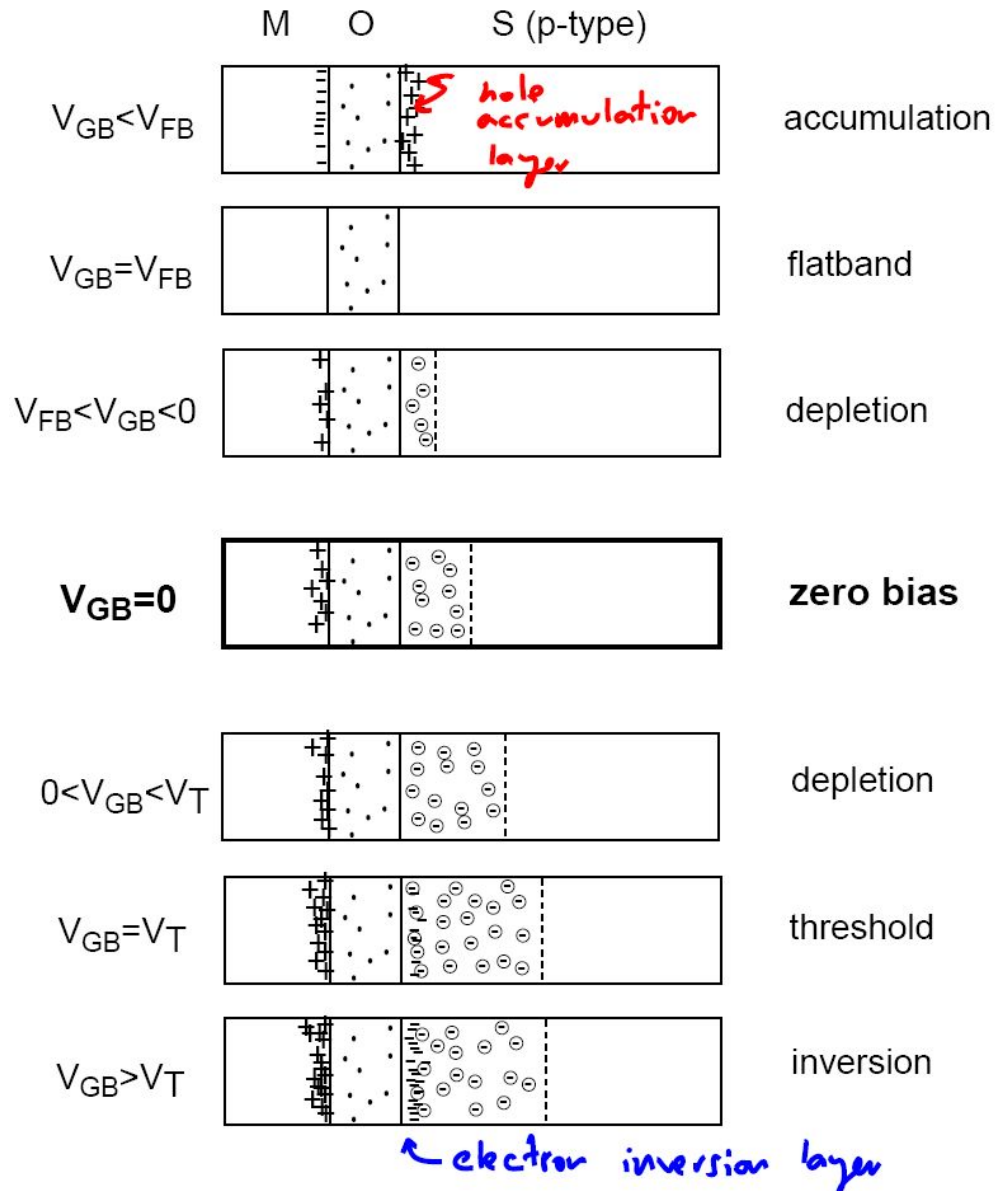
$$Q = CV$$

$$\Rightarrow Q_n = -C_{ox}(V_{GB} - V_T) \quad \text{for } V_{GB} > V_T$$

Existencia de Q_n y control de Q_n mediante $V_{GB} \Rightarrow$ la clave de la electronica del MOS



Principales conclusiones



En inversión:

$$|Q_n| = C_{ox}(V_{GB} - V_T) \quad \text{para } V_{GB} > V_T$$