

# Temario

1. Introducción
2. Tecnología de Procesos CMOS
3. Teoría del Transistor MOS
4. Los inversores CMOS
5. Caracterización de circuitos
6. Lógica Combinacional estática
7. Lógica Combinacional dinámica
8. Diseño Secuencial
9. Diseño de Subsistemas de Memoria
10. Introducción al TEST de circuitos integrados

# Tema 3: Teoría del transistor MOS

El Transistor MOS

Transistor NMOS de Enriquecimiento

Transistor PMOS de Acumulación

Ecuaciones Básicas de los dispositivos MOS

Potencial Umbral

Efecto cuerpo

Efectos de Segundo Orden

Variaciones del potencial umbral

Conducción Subumbral

Saturación de la velocidad de los portadores

Degradación de la movilidad

Túnel Fowler-Norheim

Perforación de Canal

Electrones Calientes, Ionización de Impacto

# POTENCIAL UMBRAL

$V_{GS}$  POR DEBAJO DEL CUAL  $I_{DS} = 0$

ES FUNCIÓN DEL

MATERIAL CONDUCTOR DE LA PUERTA

MATERIAL AISLANTE DE LA PUERTA

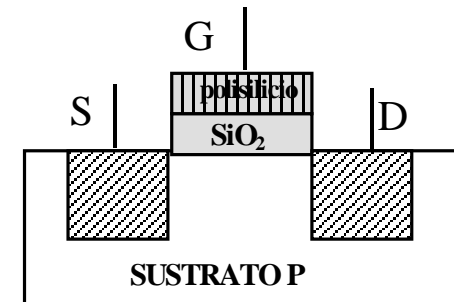
GROSOR DEL AISLANTE

POTENCIAL FUENTE SUSTRATO

TEMPERATURA, SU VALOR DISMINUYE

4 MV / °C EN SUSTRATOS MUY DOPADOS.

2 MV / °C EN SUSTRATOS POCO DOPADOS.



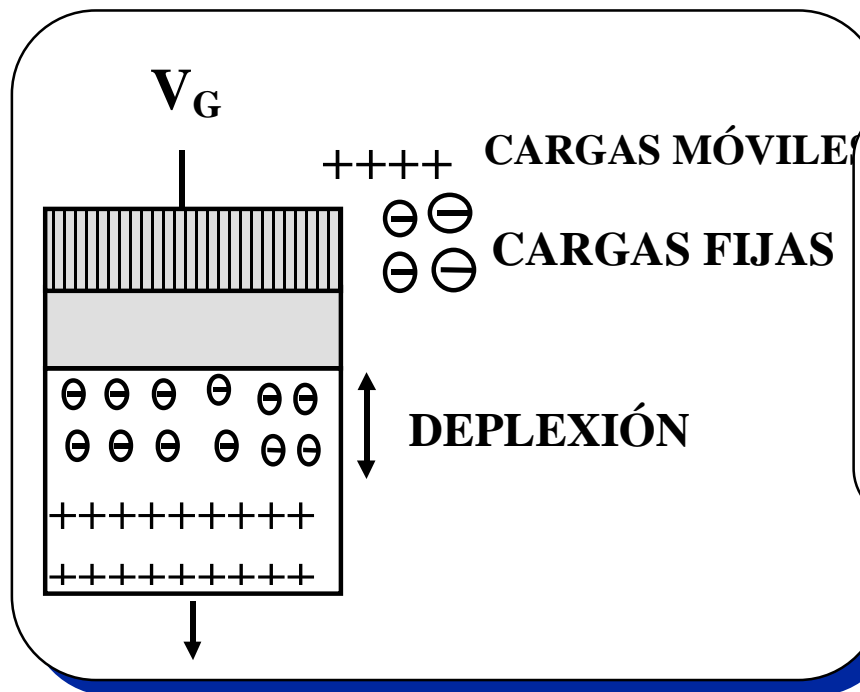
$$V_T = V_{TMOS} + V_{FB}$$

$V_{TMOS}$ : POTENCIAL UMBRAL DEL CAPACITOR MOS.

$V_{FB}$ : POTENCIAL DE FLAT-BAND

Potencial umbral  
potencial de bulk

$f_B = f_S$  PARA ALCANZAR LA MÁXIMA PROFUNDIDAD DE DEPLEXIÓN



$$f_B = 2|f_F|$$

$f_F$  = POTENCIAL DE FERMI

$$f_F = -KT/q \ln[N_A/n_i]$$

# Potencial Umbral

- La inversión fuerte del semiconductor se produce a un voltaje que es dos veces el Potencial de Fermi.
- $\phi_F = -KT/q \ln[N_A/n_i]$
- Fermi  $\Rightarrow$  relaciona la concentración de portadores relativa y el nivel de Fermi.
- Recordemos: la ley de acción de masas:  $n \times p = n_i^2 \Rightarrow$ 
  - $p = n_i^2 / n$
  - $n = N_A - N_D$
  - $n_i$  =concentración intrínseca de portadores
- Y el potencial termal:  $\phi_T = \frac{kT}{q}$
- Un incremento en el voltaje ya no produce un aumento en la deplexión

- En la presencia de la inversión fuerte la estructura Metal-óxido-semiconductor se convierte en un condensador.
- El Voltaje del condensador  $\Rightarrow$

$$V_{OX} = Q_B / C_{OX}$$

- La carga almacenada en el capa de inversión:

$$Q_B = \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A \cdot f_F}$$

- Permitividad  $\Rightarrow$  capacidad del material a oponerse al influjo de un campo eléctrico.
- $N_A$  = concentración de átomos aceptores
- El condensador MOS no es perfecto porque está formado por materiales diferentes
  - $f_{MS} \Rightarrow$  función de trabajo entre el polisilicio(puerta) y silicio (sustrato)

# Potencial umbral caída de potencial en el oxido

$$V_{OX} = Q_B / C_{OX}$$

$$V_T = V_{TMOS} + V_{FB}$$

$$V_{TMOS} = f_s + V_{OX}$$

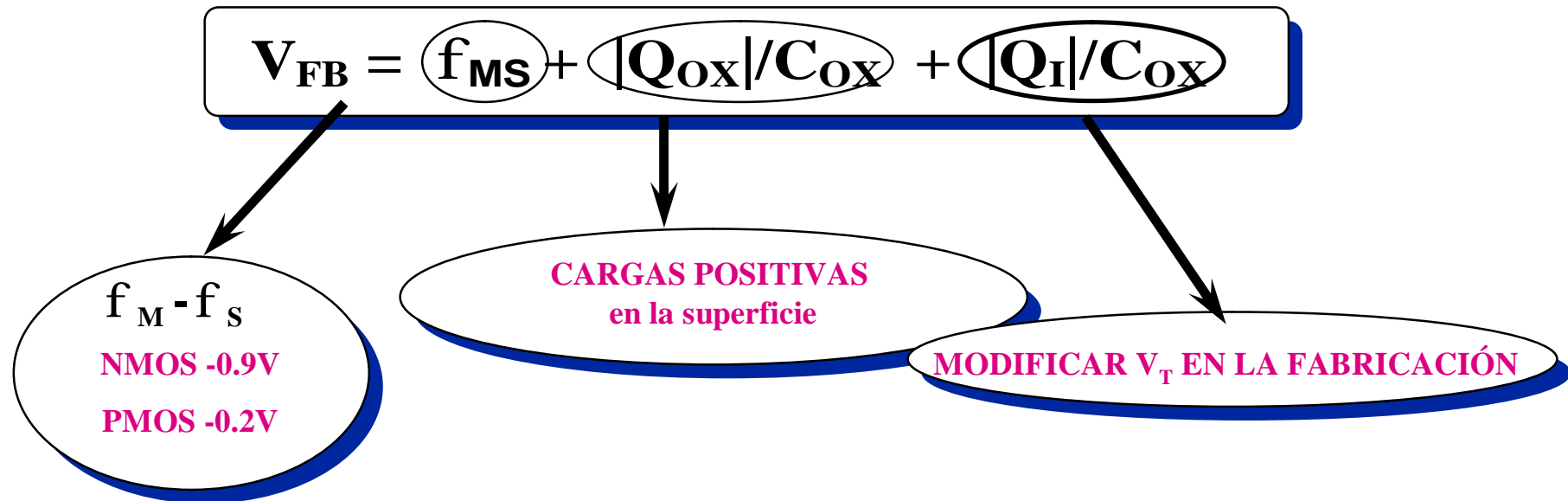
$$Q_B = \sqrt{2 \cdot q \cdot \epsilon_{si} \cdot N_A \cdot 2|f_F|}$$

$$V_{TMOS} = 2f_F + \frac{Q_B}{C_{OX}}$$

$$V_{TMOS} = 2f_F + \frac{\sqrt{2q\epsilon_{si}N_A 2f_F}}{C_{OX}}$$

## Potencial umbral. Potencial de flat-band

$$V_T = V_{TMOS} + V_{FB}$$



$$V_T = 2|f_F| + |Q_B|/C_{OX} + |Q_{OX}|/C_{OX} + |Q_I|/C_{OX} + |f_{MS}|$$



## Efecto cuerpo

- El impacto del potencial fuente-sustrato se calcula empíricamente y fundamentalmente depende del proceso de fabricación.

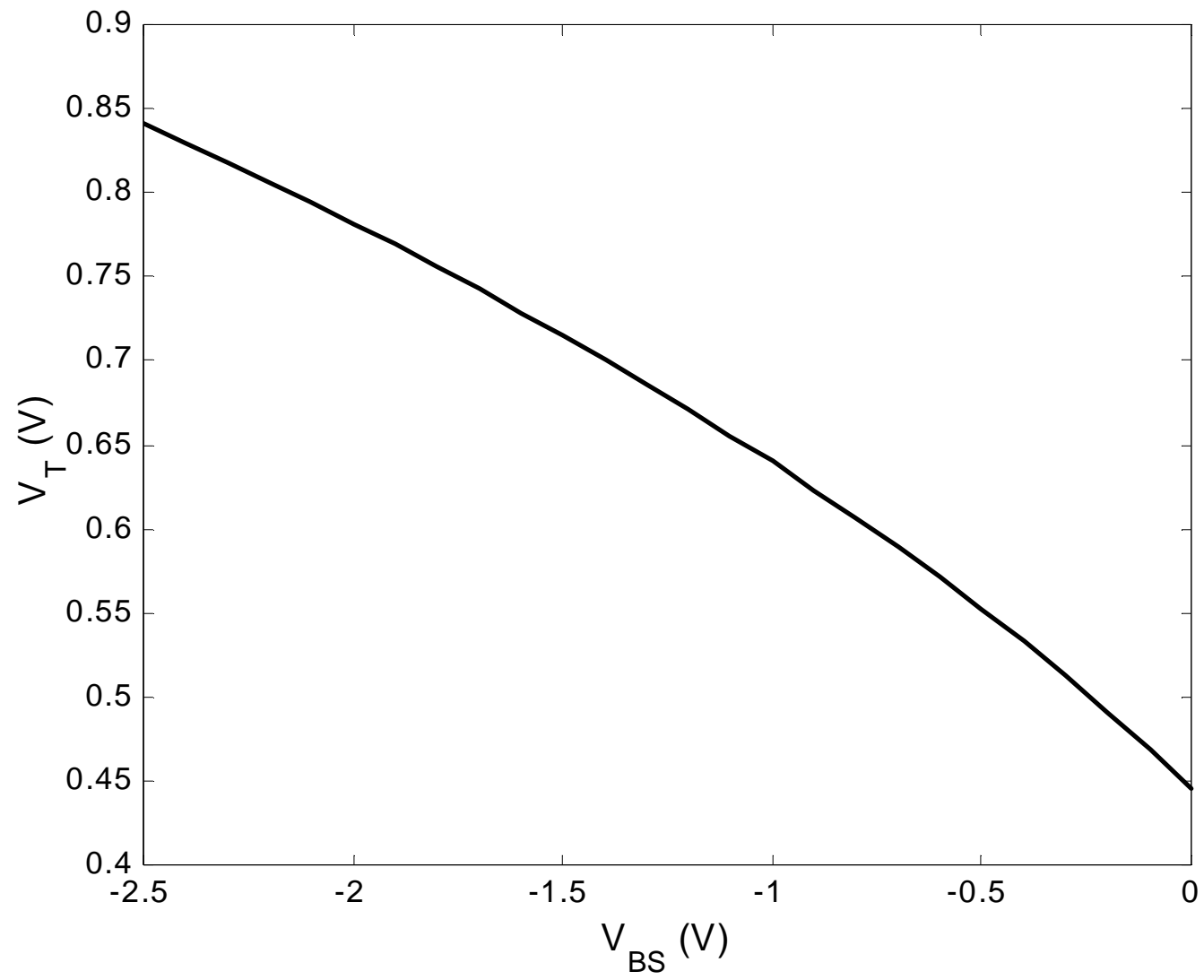
–  $V_{T0}$  a para  $V_{SB} = 0$

- Para otros valores de  $V_{SB}$ , se puede calcular  $V_T$ :

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

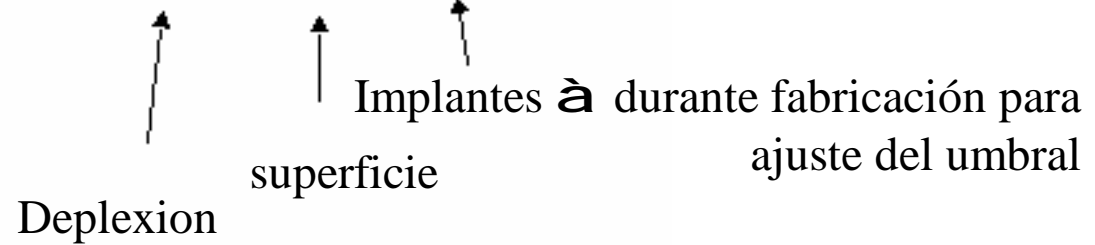
- En teoría de este modo se podría aumentar el voltaje umbral al valor que quisiésemos, pero en la práctica, valores de  $V_{SB}$  inferiores a -0.6, provocan que el diodo fuente-sustrato se polarice en inversa a influencia en la zona de deplexión y por consiguiente degradación del comportamiento del transistor
- El potencial umbral es negativo para NMOS y positivo para PMOS

## Efecto Cuerpo



# Voltaje Umbral

$$V_T = \phi_{ms} - 2\phi_F - \frac{Q_B}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$


 Deplexion      superficie      Implantes à      durante fabricación para ajuste del umbral

Coeficiente efecto cuerpo

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

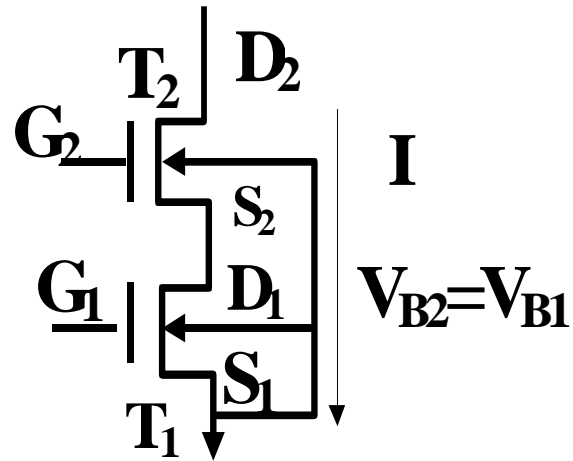
$$V_{T0} = \phi_{ms} - 2\phi_F - \frac{Q_{B0}}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}}$$

Coeficiente efecto cuerpo

# Efecto Cuerpo

## INCREMENTO DEL POTENCIAL UMBRAL



$$V_{S2} > V_{S1} \quad V_{S2} = V_{S1} + K$$

$$\text{ADEMAS } V_{S1} = V_B$$

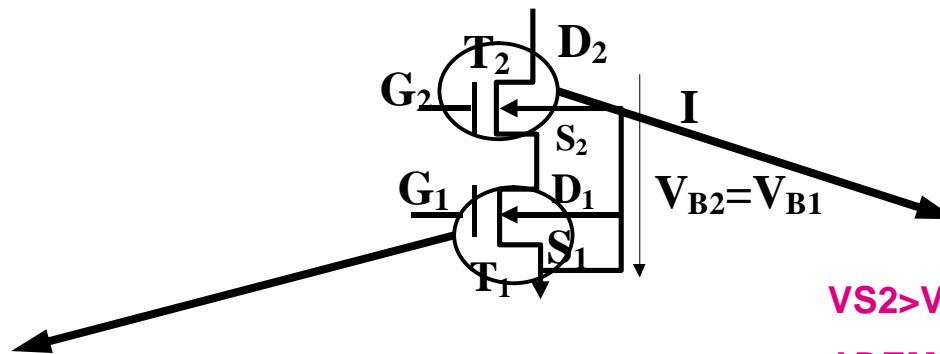
$$\text{CONDICIÓN DE CONDUCCIÓN } V_{GS} = V_T$$

$$V_G - V_{S2} = V_T$$

$$V_G = V_T + V_{S2}$$

# Efecto Cuerpo

## INCREMENTO DEL POTENCIAL UMBRAL



$$VS1 = VB1$$

LA CONDICIÓN DE CONDUCCIÓN  $V_{GS} = V_T$

¿  $V_{GB}$  ?

$$V_G - V_S = V_T$$

$$\text{COMO } V_S = V_B \quad V_G - V_B = V_T$$

$$V_{GB} = V_T$$

$$VS2 > VS1 \quad VS2 = VS1 + K$$

ADEMAS  $VS1 = V_B$

CONDICIÓN DE CONDUCCIÓN  $V_{GS} = V_T$

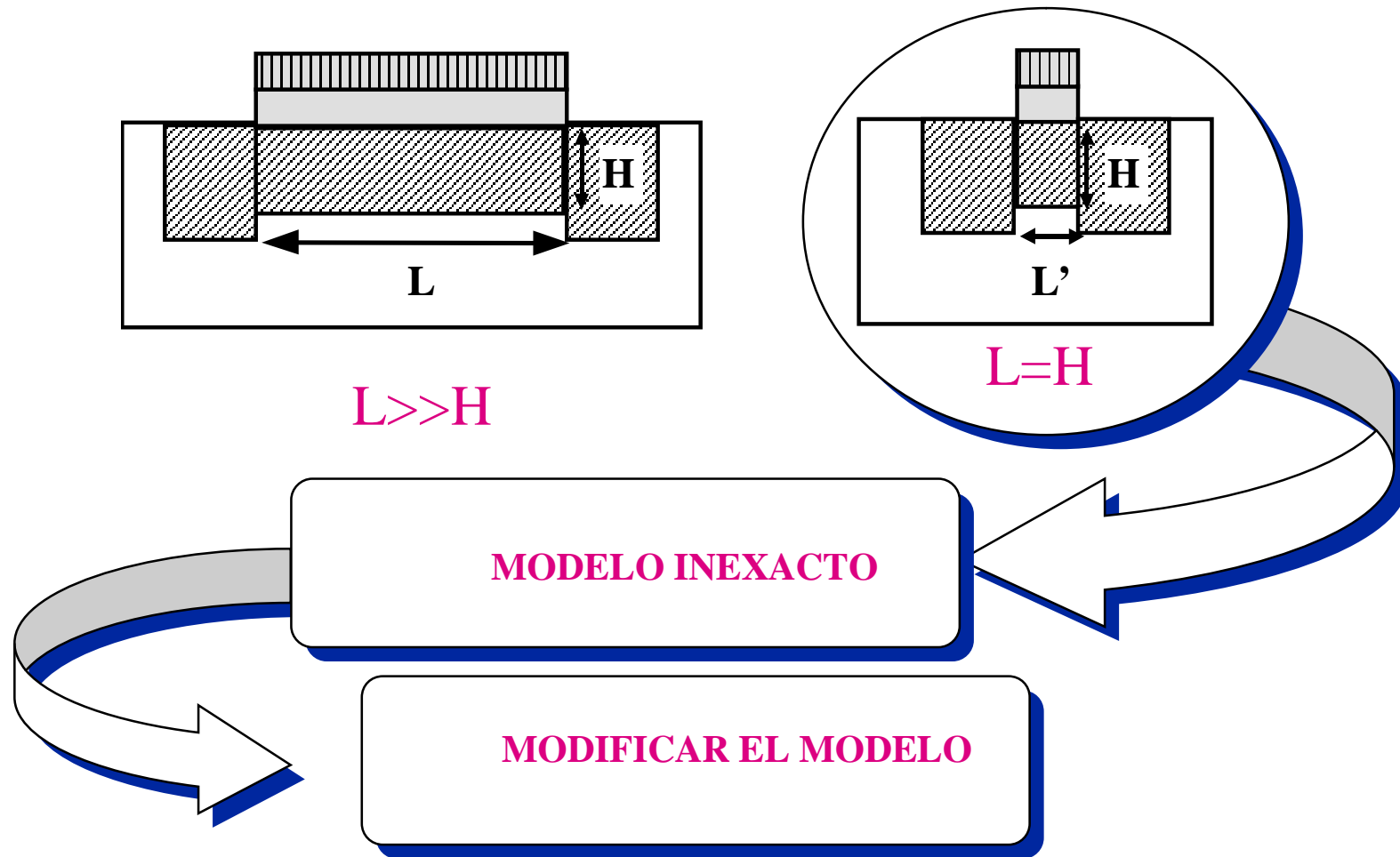
$$V_G - VS2 = V_T$$

$$V_G = V_T + VS2$$

$$V_G = V_T + VS1 + K \quad V_T + V_B + K$$

$$V_{GB} = V_T + K$$

# Efectos de segundo orden dispositivos de canal corto

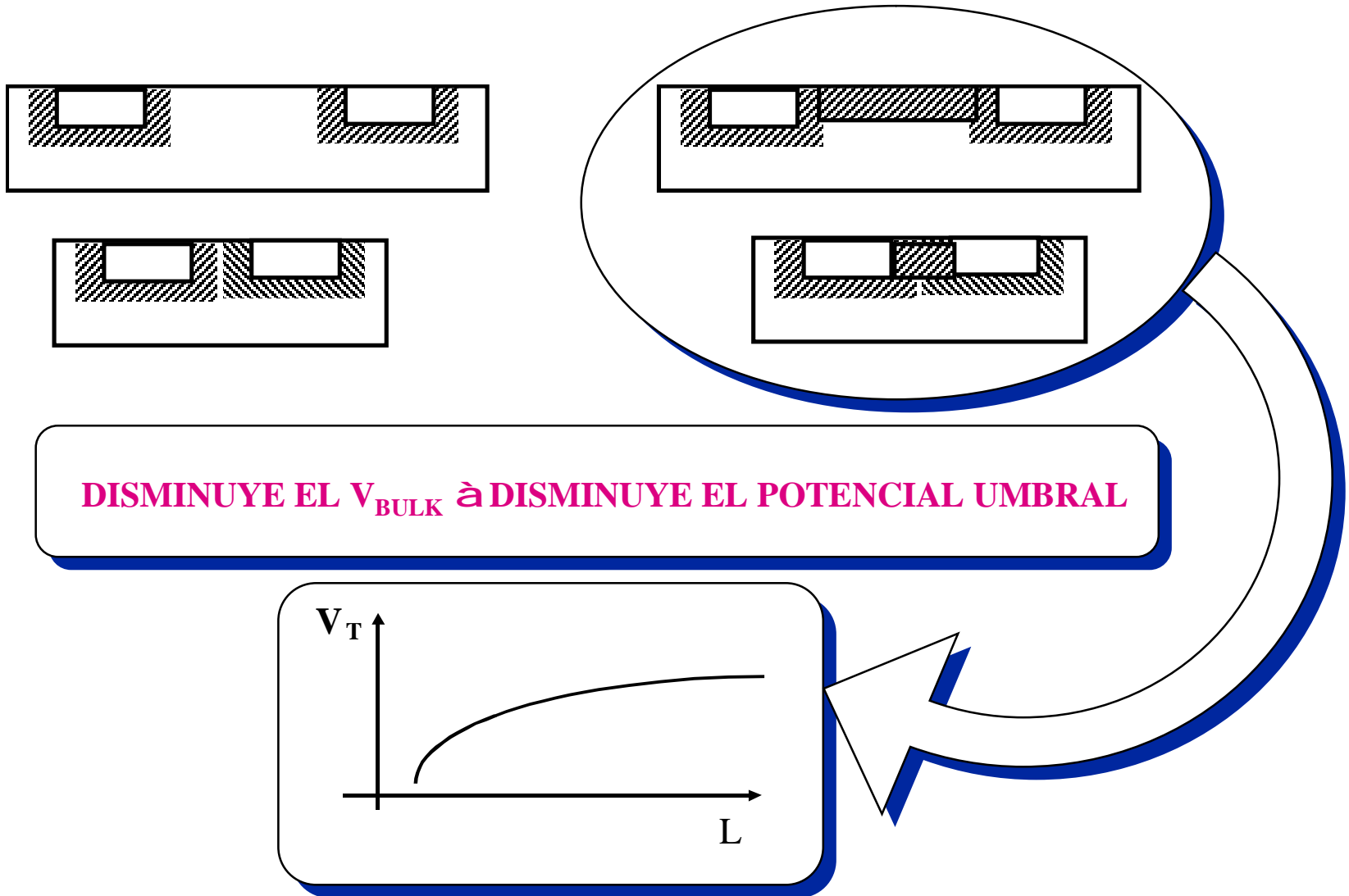


## Efectos de segundo orden. Variación del potencial umbral

1. Variación del potencial umbral debido al efecto cuerpo
2. Variación debido a la existencia de las zonas de deplexión en las difusiones
3. Variación debido al  $V_{DS}$

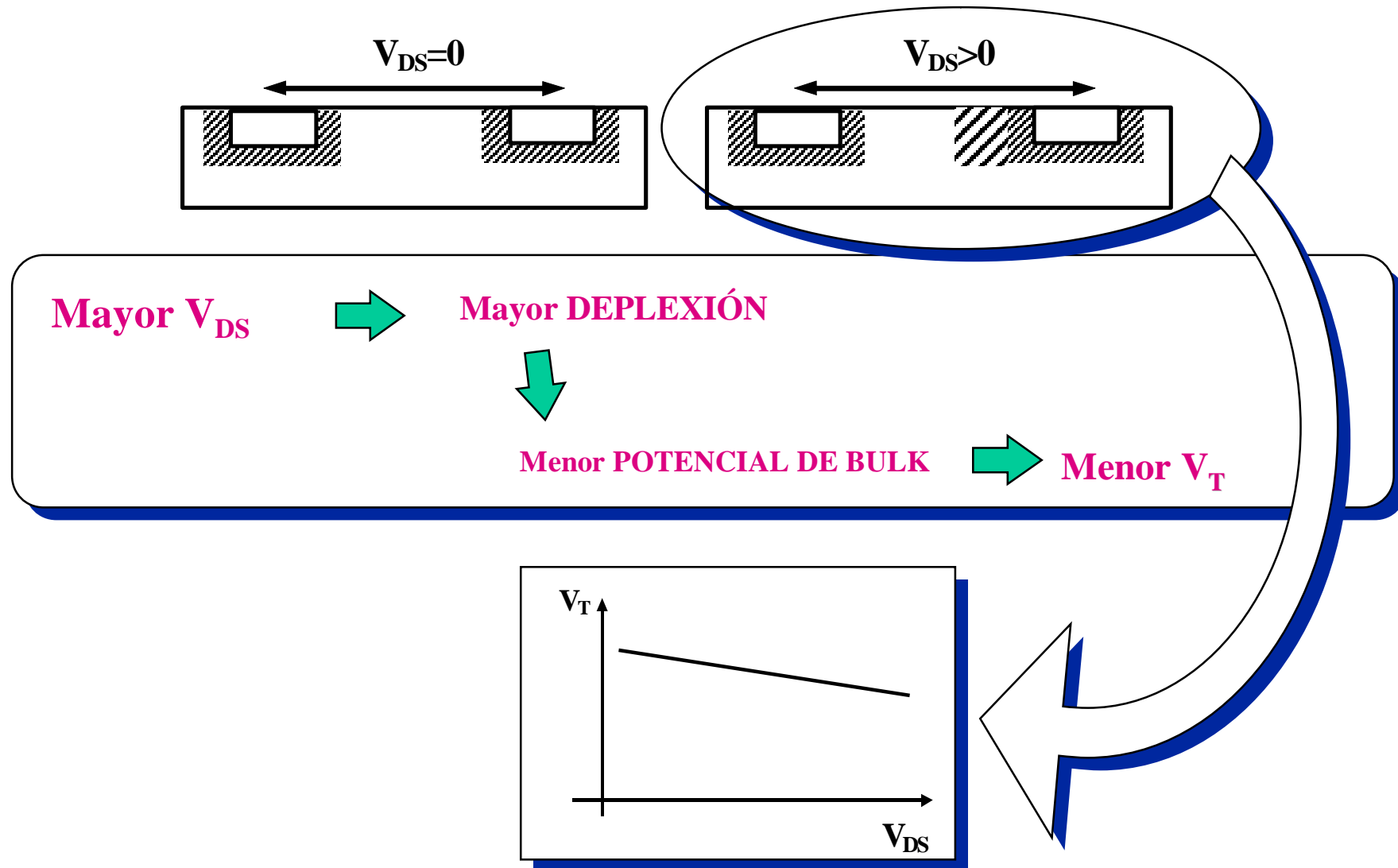
# Variaciones de potencial umbral

efecto deplexión de las difusiones

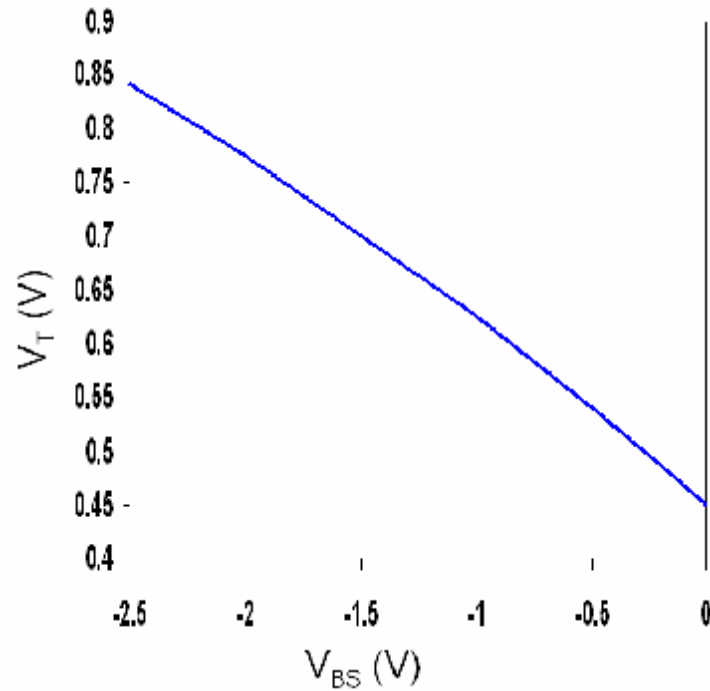




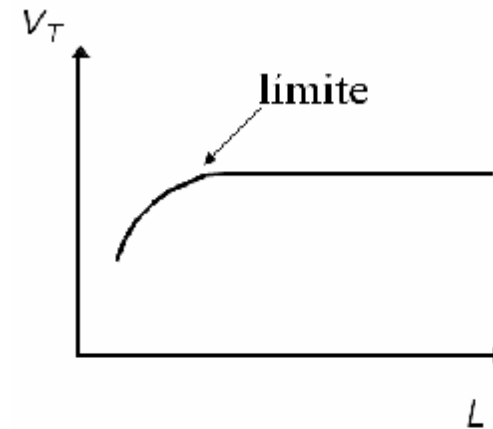
## Variaciones de potencial umbral con vds drain induced barrier lowering (DIBL)



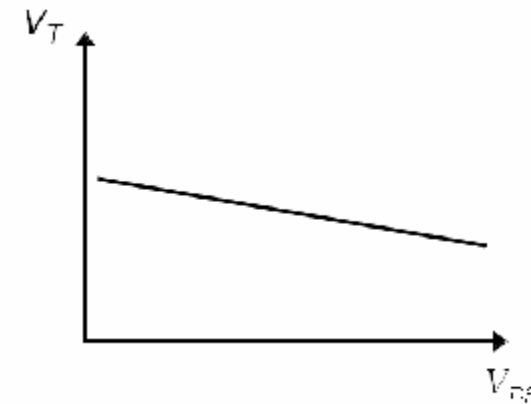
## Variaciones del potencial umbral à Resumen



Efecto cuerpo



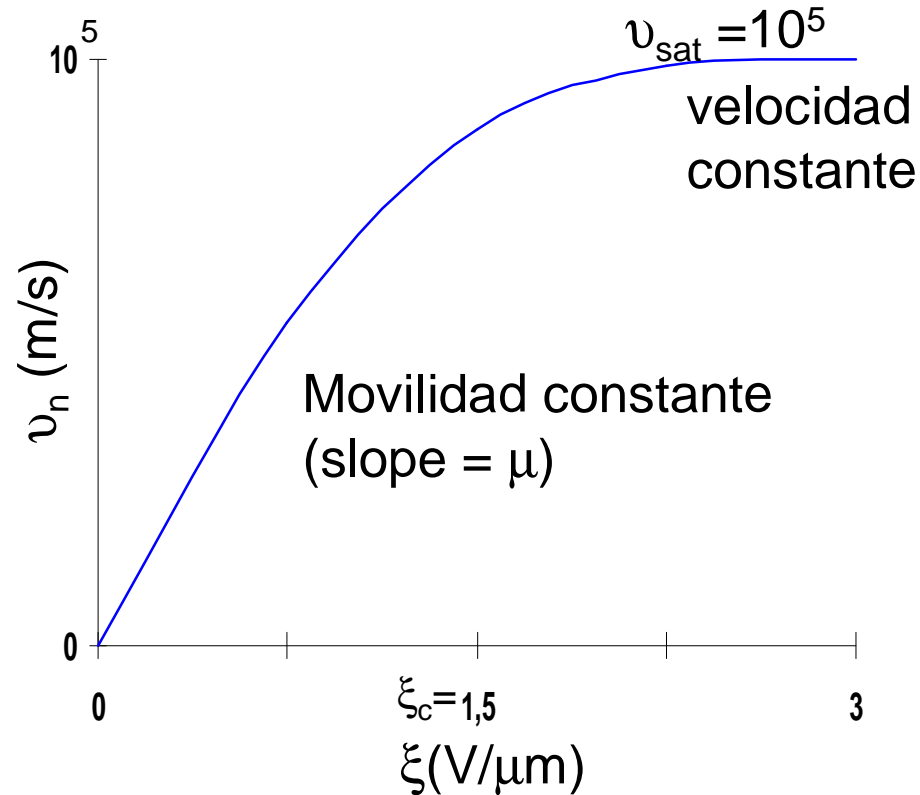
Umbral en función de la longitud (para  $V_{DS}$  bajo)



En función de  $V_{DS}$

Antes del límite de longitud

## Efecto de la longitud de canal a velocidad saturación

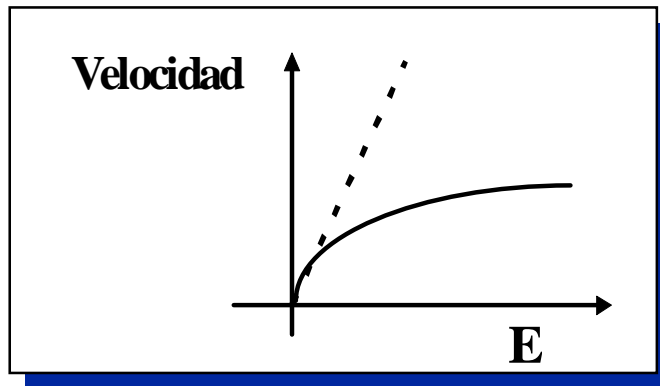


■ **velocidad saturación**  
la velocidad de los portadores se satura debido a los choques (scattering)

■ Para un dispositivo NMOS con  $L = .25\mu\text{m}$ , tan solo una diferencia de un par de voltios entre D y S bastan para alcanzar la velocidad de saturación

## saturación de la velocidad de los portadores

**LA VELOCIDAD DE LOS PORTADORES NO ES PROPORCIONAL AL CAMPO--> SE SATURA**



· EN EL CANAL N

\* CAMPO DE SATURACIÓN ES =  $1.5 \cdot 10^4$  VOL/CM

\* VELOCIDAD DE SATURACIÓN  $V_{SAT} = 10^7$  CM/SEG.

$$I_{DSAT} = V_{SAT} \cdot C_{OX} \cdot W (V_{GS} - V_{DSAT} - V_T)$$

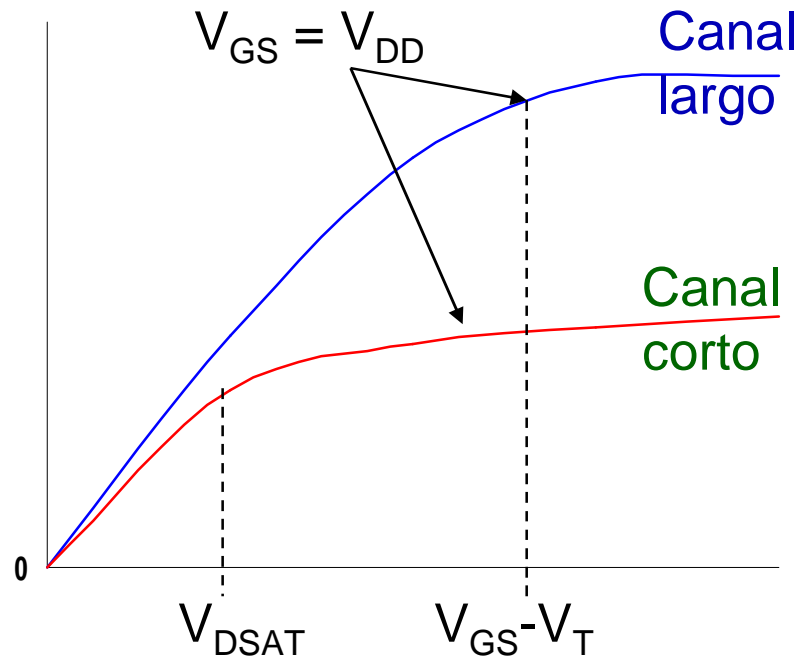
· CONSECUENCIAS:

\* LAS VARIACIONES DE  $V_{GS}$  NO AFECTAN TANTO A  $I_{DS}$ .

\*  $I_{DS} \npropto F(L)$ .

**EL DISPOSITIVO NO SE PUEDE MEJORAR REDUCIENDO EL CANAL.**

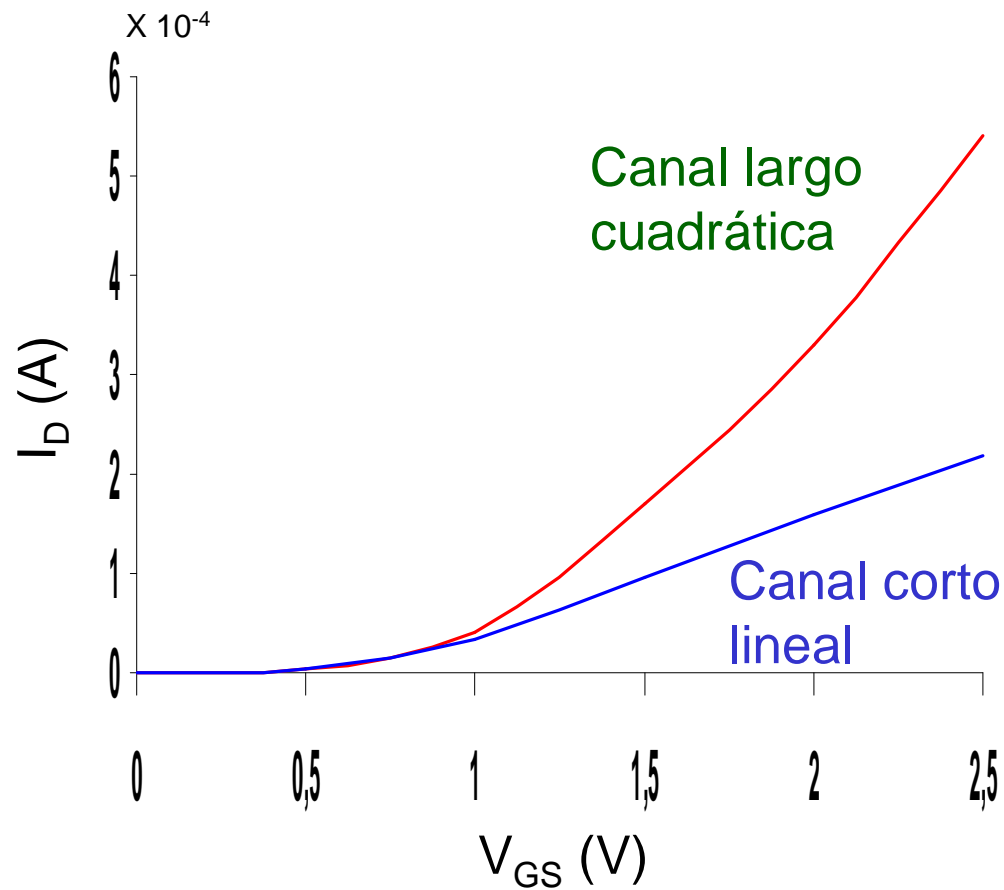
## saturación de la velocidad de los portadores à efecto



!  $V_{DSAT} < V_{GS} - V_T$  así que el transistor entra en saturación **antes** que  $V_{DS}$  supere a  $V_{GS} - V_T$

!  $I_{DSAT}$  tiene una dependencia **lineal respecto de**  $V_{GS}$  frente a la dependencia cuadrática que tiene en el caso de canal largo

## MOS $I_D$ - $V_{GS}$ ( $V_{DS}=cte$ ) à Dependencia lineal y cuadrática



(for  $V_{DS} = 2.5$  V,  $W/L = 1.5$ )

- Dependencia de  $I_D$  respecto a  $V_{GS}$  en saturación
  - Canal corto à lineal
  - Canal largo à cuadrática
- 
- La Velocidad de saturación causa que el transistor de canal corto se sature a valores de  $V_{DS}$  mucho más pequeños lo que implica a su vez valores menores de corriente

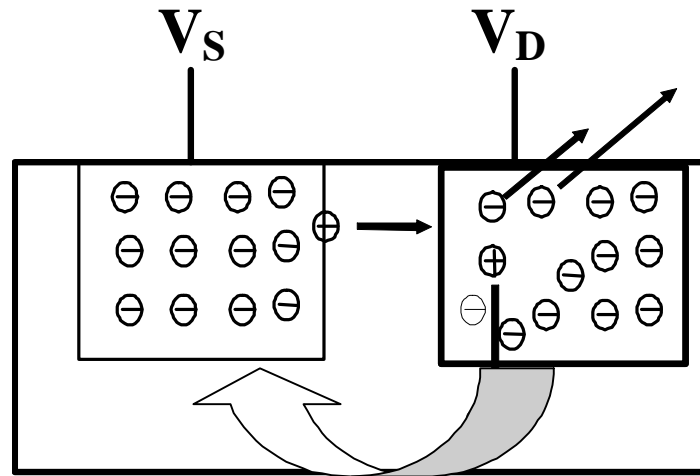
## Efectos de segundo orden. Electrón caliente

Ù Cuando la longitud del canal es muy reducida, los electrones al llegar al drenador tienen suficiente energía para chocar con otros electrones y generar huecos à ionización por impacto

Ù Los huecos son repelidos por el potencial positivo del drenador y atraídos por el potencial negativo de la fuente

Ù Se produce una corriente de huecos drenador à sustrato à fuente

## Efectos de segundo orden. Electrón caliente



• Tiempos de refresco pobres en las memorias dinámicas.

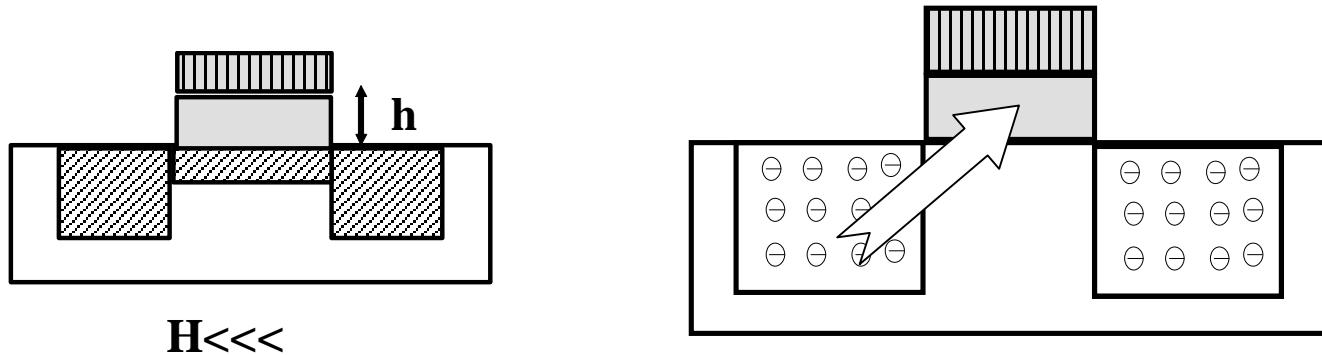
• Ruidos en los sistemas de señales mixtas.

• Posible generación de Latchup (veremos posteriormente).



## Efectos secundarios. Efecto túnel fowler-norheim

Cuando el grosor del óxido ( $h$ ) es muy pequeño puede aparecer un flujo de corriente entre puerta- fuente o puerta-drenador

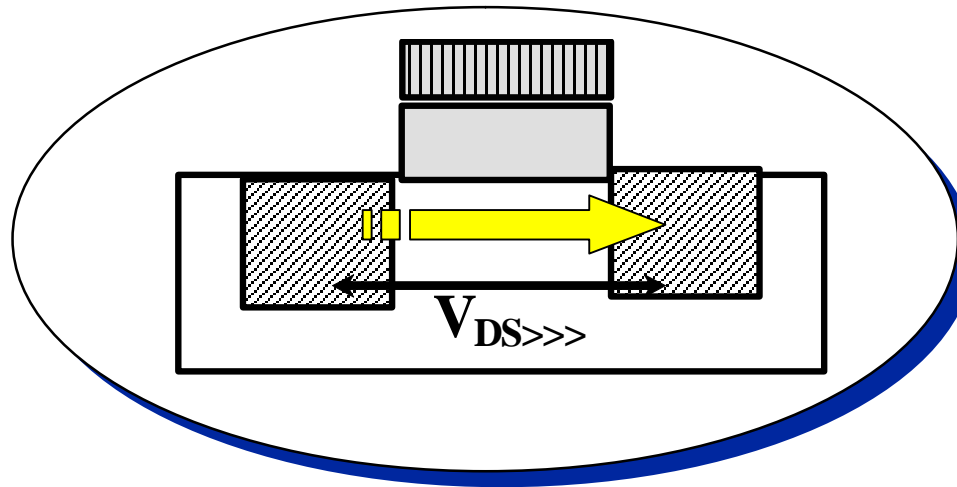


- $I_{FN} = C_1 WL C_{OX}^2 E^{[-EO/EOX]}$
- $E_{OX}$ ; CAMPO ELÉCTRICO A TRAVÉS DEL OXIDO.
- $E_{OX} = V_{GS} / T_{OX}$ .

LIMITA LA ANCHURA MÍNIMA DEL OXIDO

## Efectos de segundo orden. Perforación de canal. Punch-Through

Cuando el potencial  $V_{DS}$  es lo suficientemente elevado aparece una  $I_{DS}$  independiente de  $V_G$

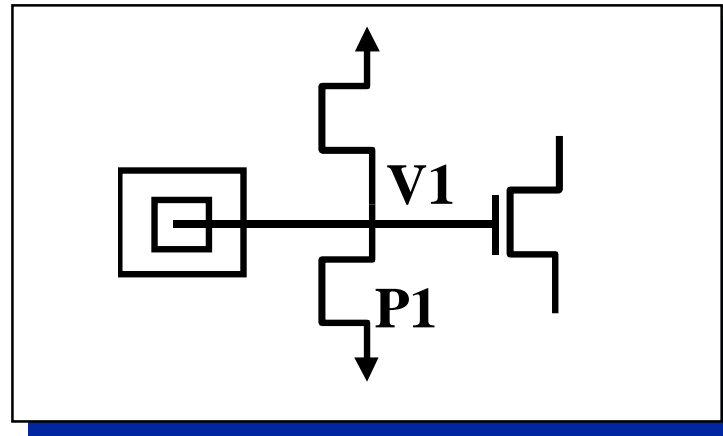


La  $I_{DS}$  aumenta linealmente con la densidad de dopaje y cuadráticamente con la inversa de  $L$

El máximo potencial puede variar entre 40 y 100V

## Efectos de segundo orden. Perforación de canal

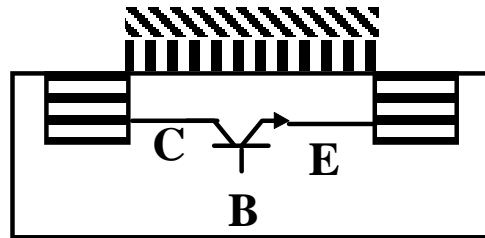
Este efecto se usa para la protección de circuitos.



**Se colocan transistores de Punch-through sin puerta que rompen a conducir con potenciales próximos a 50 V**

# Efectos de segundo orden

conducción subumbral (cuando  $V_{GS} < V_T$ )



**TRANSISTOR PARÁSITO QUE CONDUCE EN INVERSA**

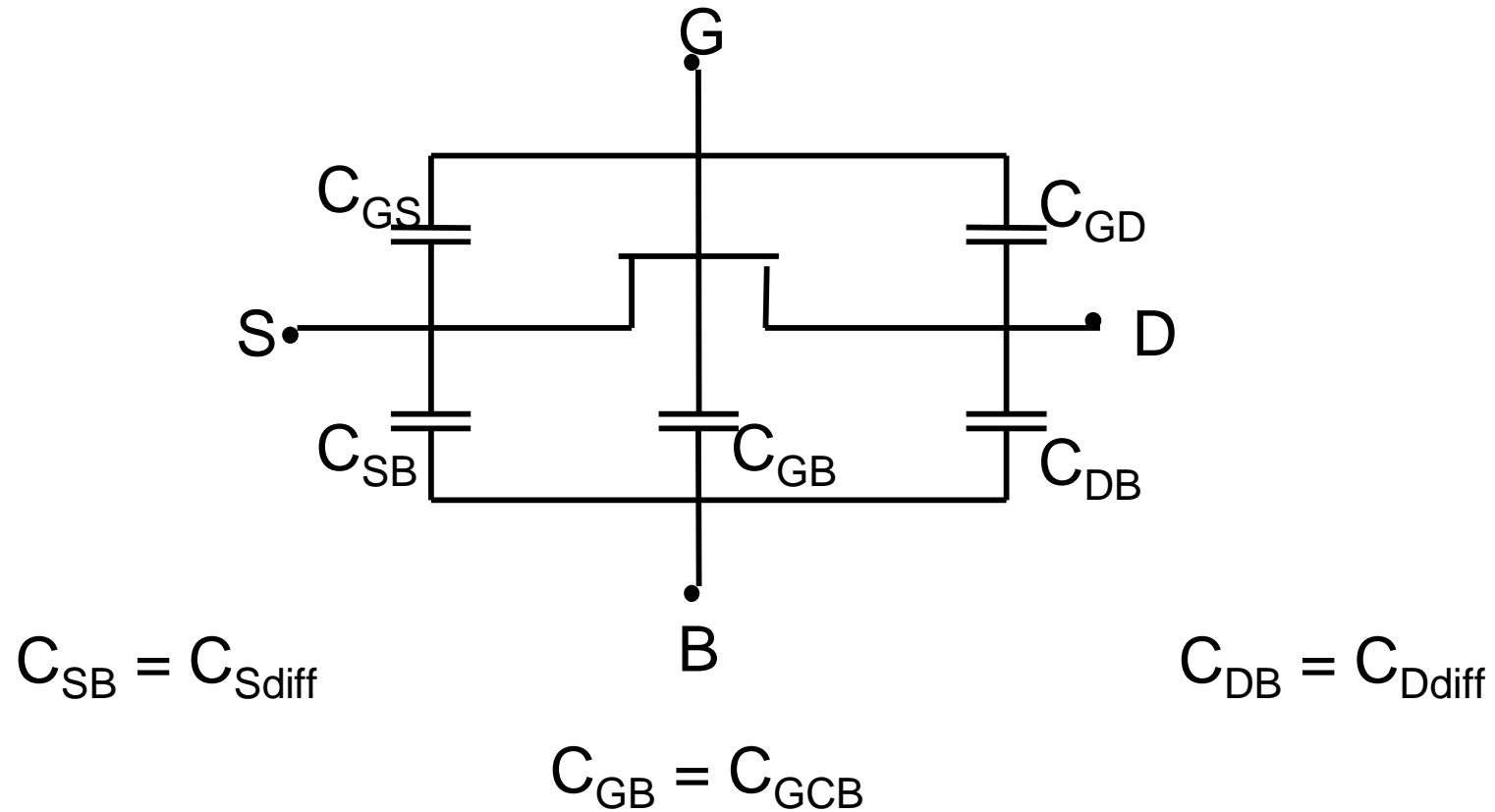
$$V_{BE} = V_B - V_E = 0 - V_D$$

**LA  $I_{DS}$  INCREMENTA EXPONENCIALMENTE CON  $V_{DS}$  Y  $V_{GS}$ .**

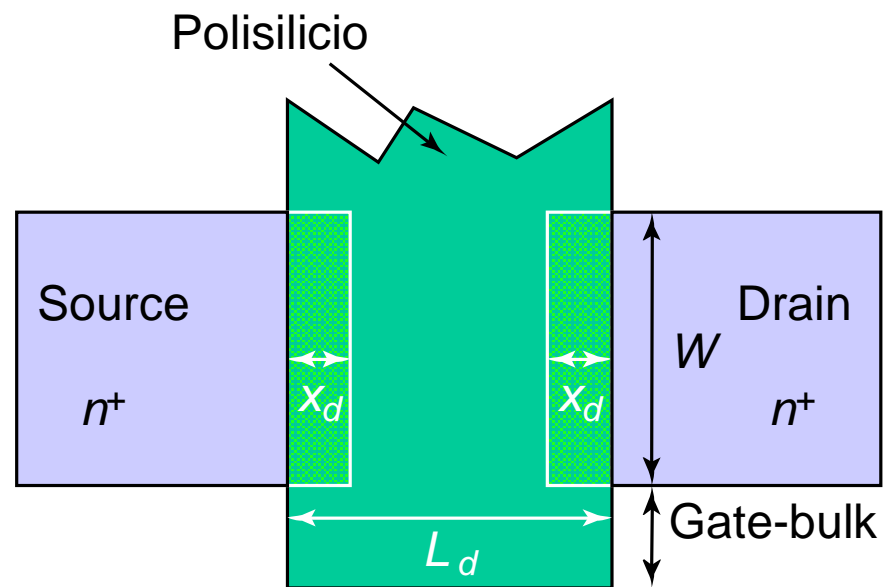
**DISEÑO DE BAJA POTENCIA**

**MAL FUNCIONAMIENTO EN DISPOSITIVOS DINÁMICOS**

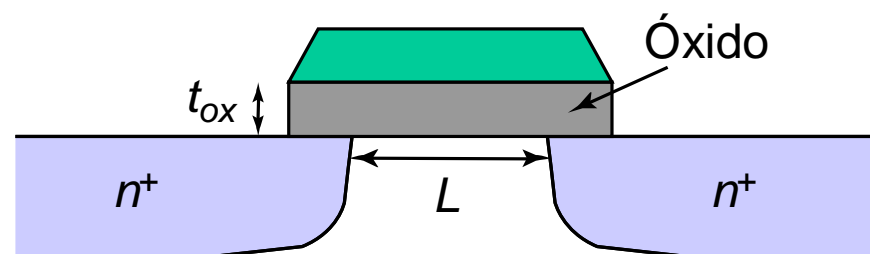
## Modelo Capacidad para MOS – Comportamiento dinámico



## Capacidad de la puerta



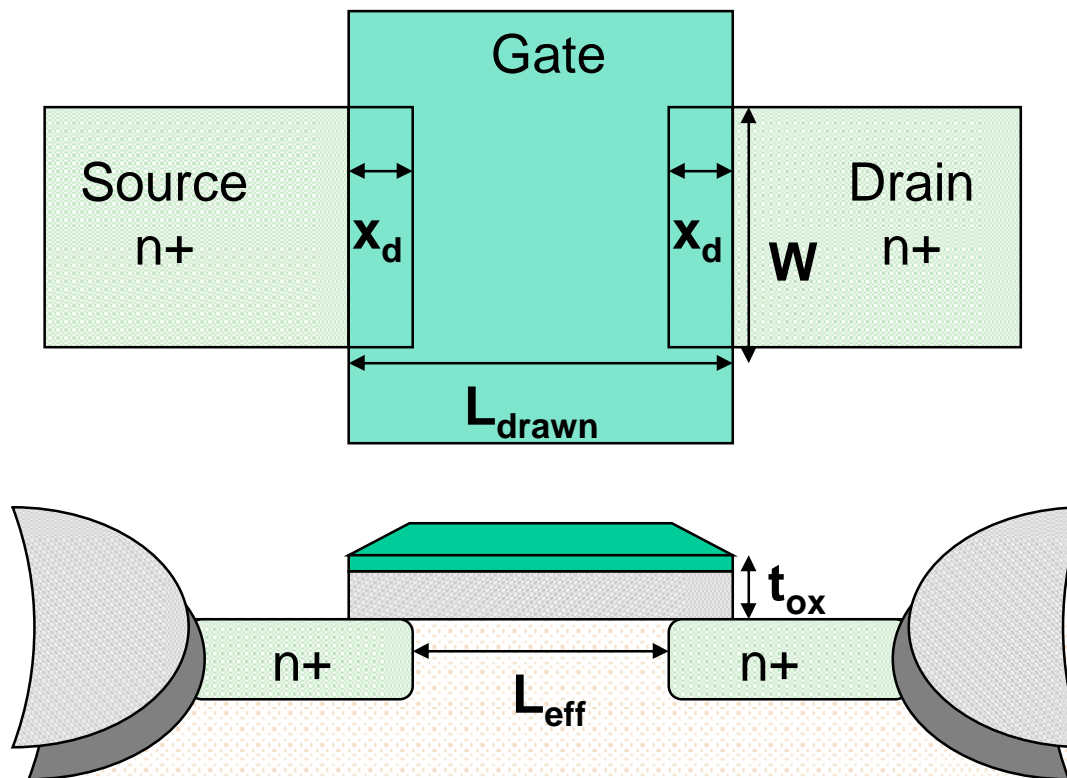
**Vista aérea**



**Corte vertical**

$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

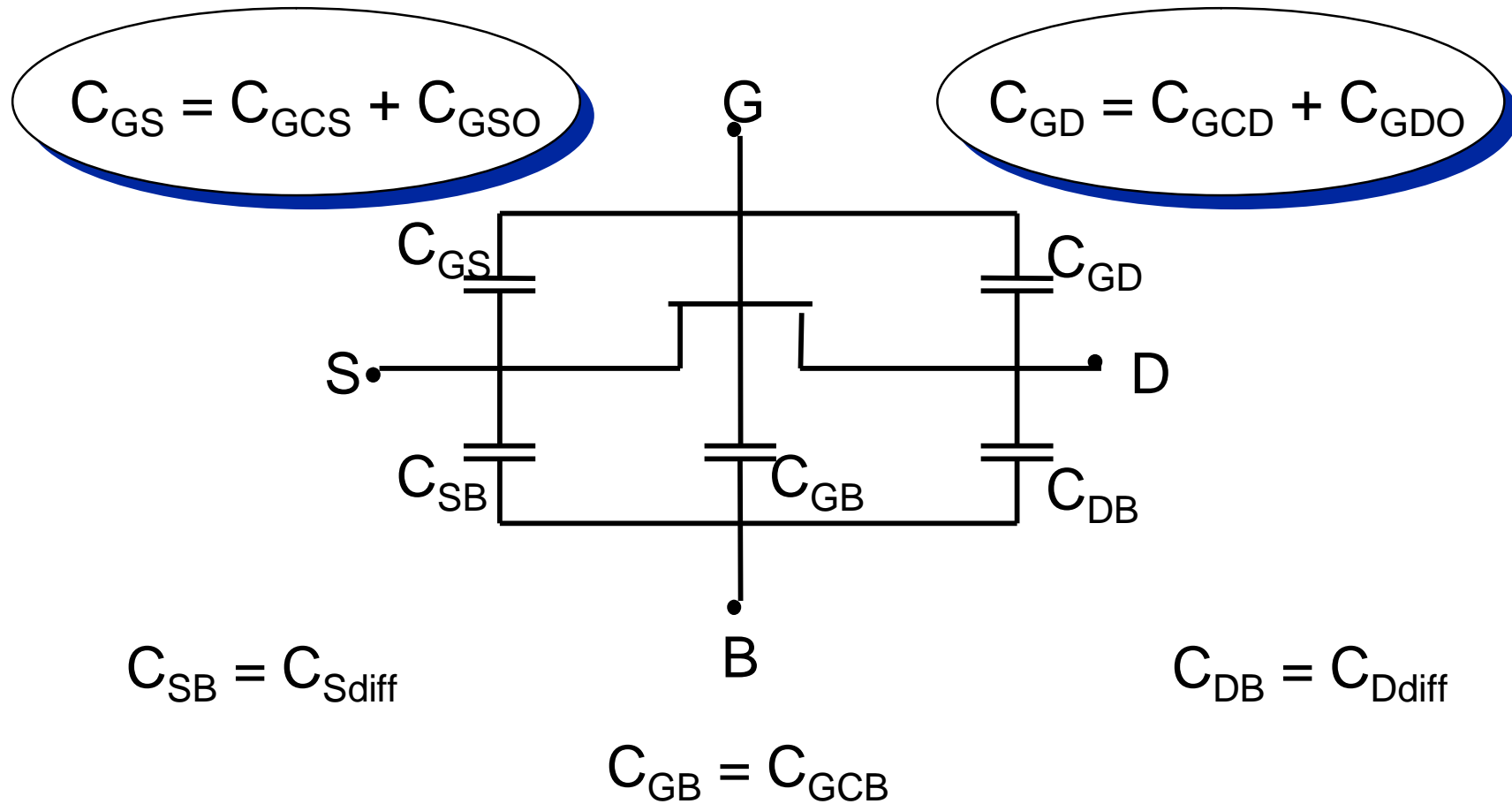
## Modelo Capacidad para MOS y superposición



Capacidad **de superposición** (overlap)

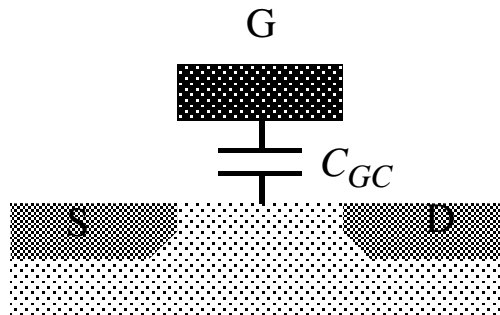
$$C_{GSO} = C_{GDO} = C_{ox} x_d W = C_o W$$

## Modelo Capacidad para MOS

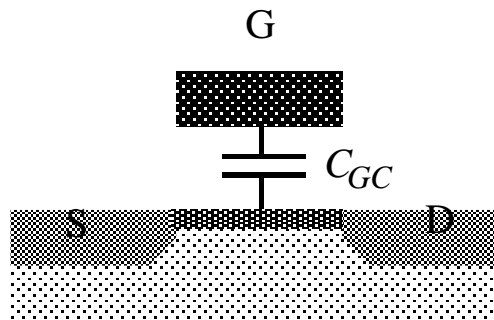




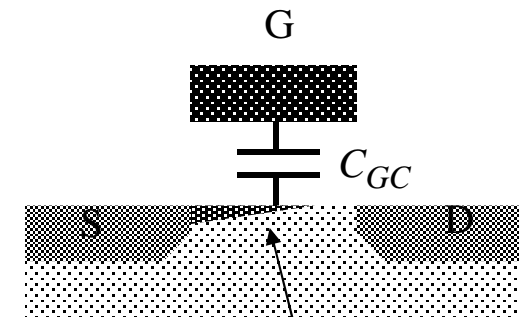
Corte



Resistivo



Saturación



2/3 del  
canal

Región de operación	$C_{GC}$
corte	0
lineal	$C_{ox}WL$
Saturacion	$(2/3)C_{ox}WL$

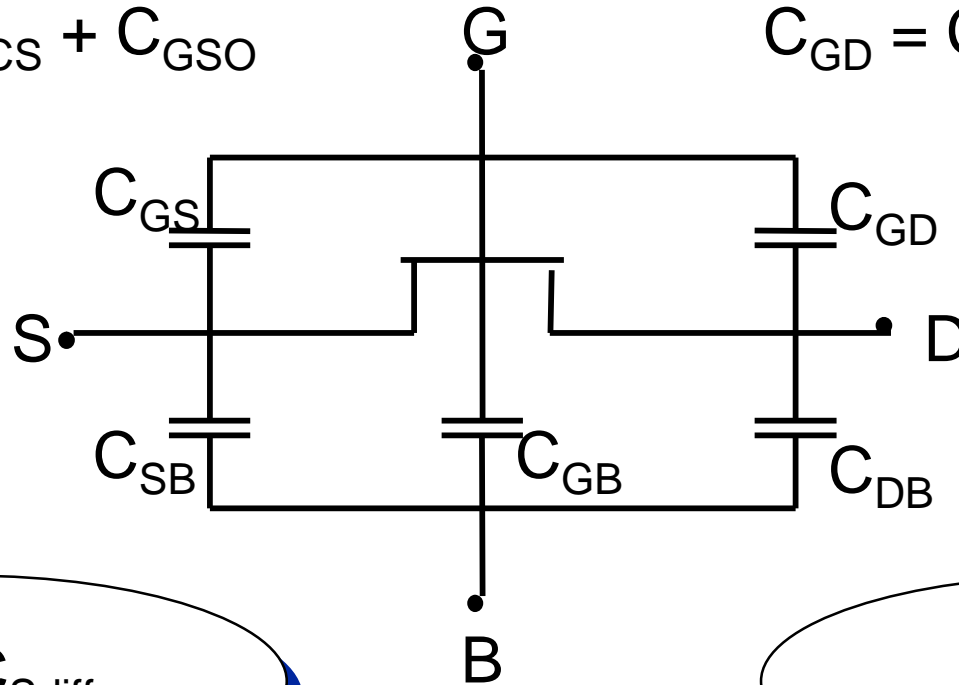
## Modelo Capacidad para MOS con canal y superposición

Región de operación	$C_{GCB}$	$C_{GCS}$	$C_{GCD}$	$C_{GC}$	$C_G$
corte	$C_{ox}WL$	0	0	0	$C_{ox}WL + 2C_oW$
lineal	0	$C_{ox}WL/2$	$C_{ox}WL/2$	$C_{ox}WL$	$C_{ox}WL + 2C_oW$
Saturacion	0	$(2/3)C_{ox}WL$	0	$(2/3)C_{ox}WL$	$(2/3)C_{ox}WL + 2C_oW$

## Modelo Capacidad para MOS

$$C_{GS} = C_{GCS} + C_{GSO}$$

$$C_{GD} = C_{GCD} + C_{GDO}$$



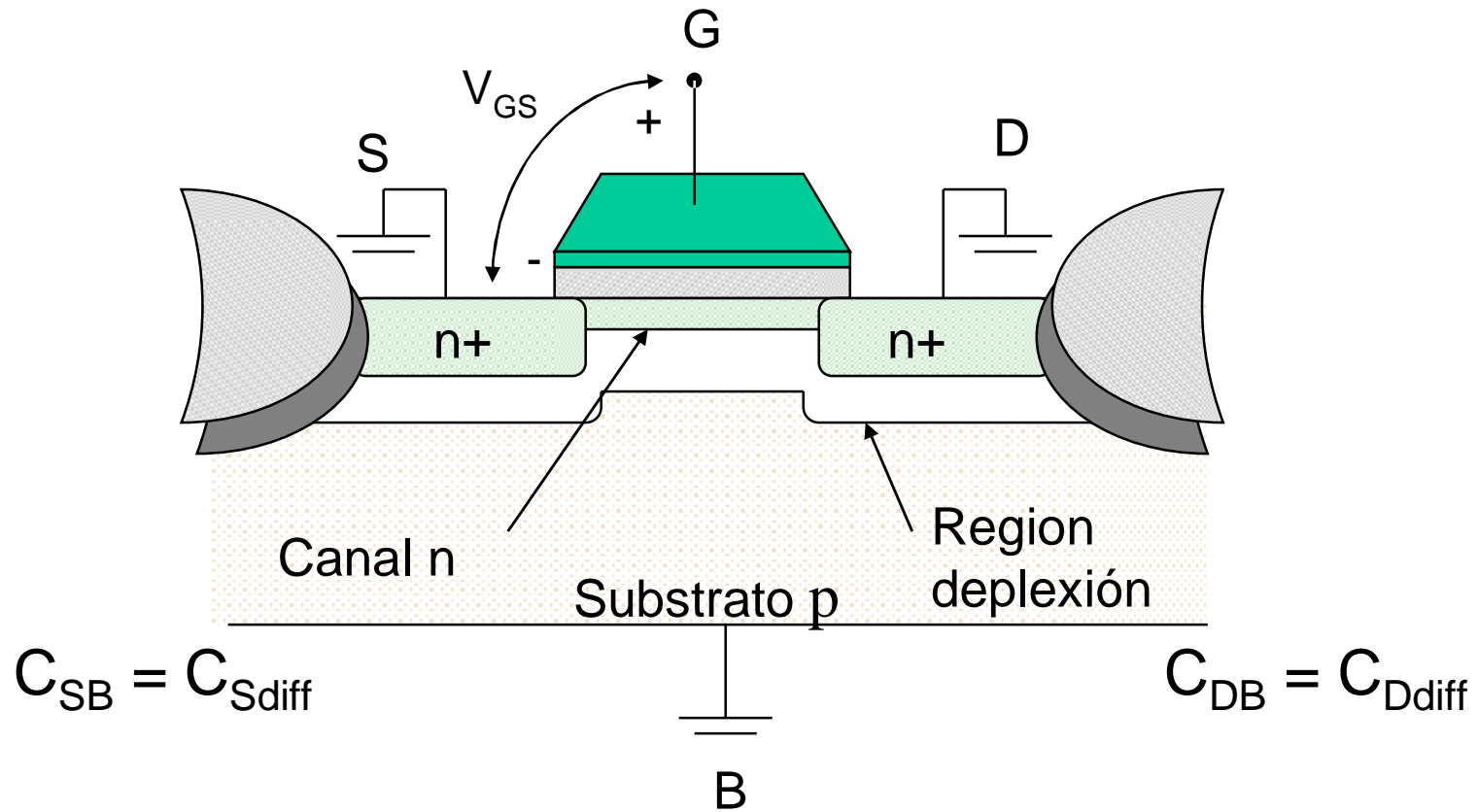
$$C_{SB} = C_{Sdiff}$$

$$C_{DB} = C_{Ddiff}$$

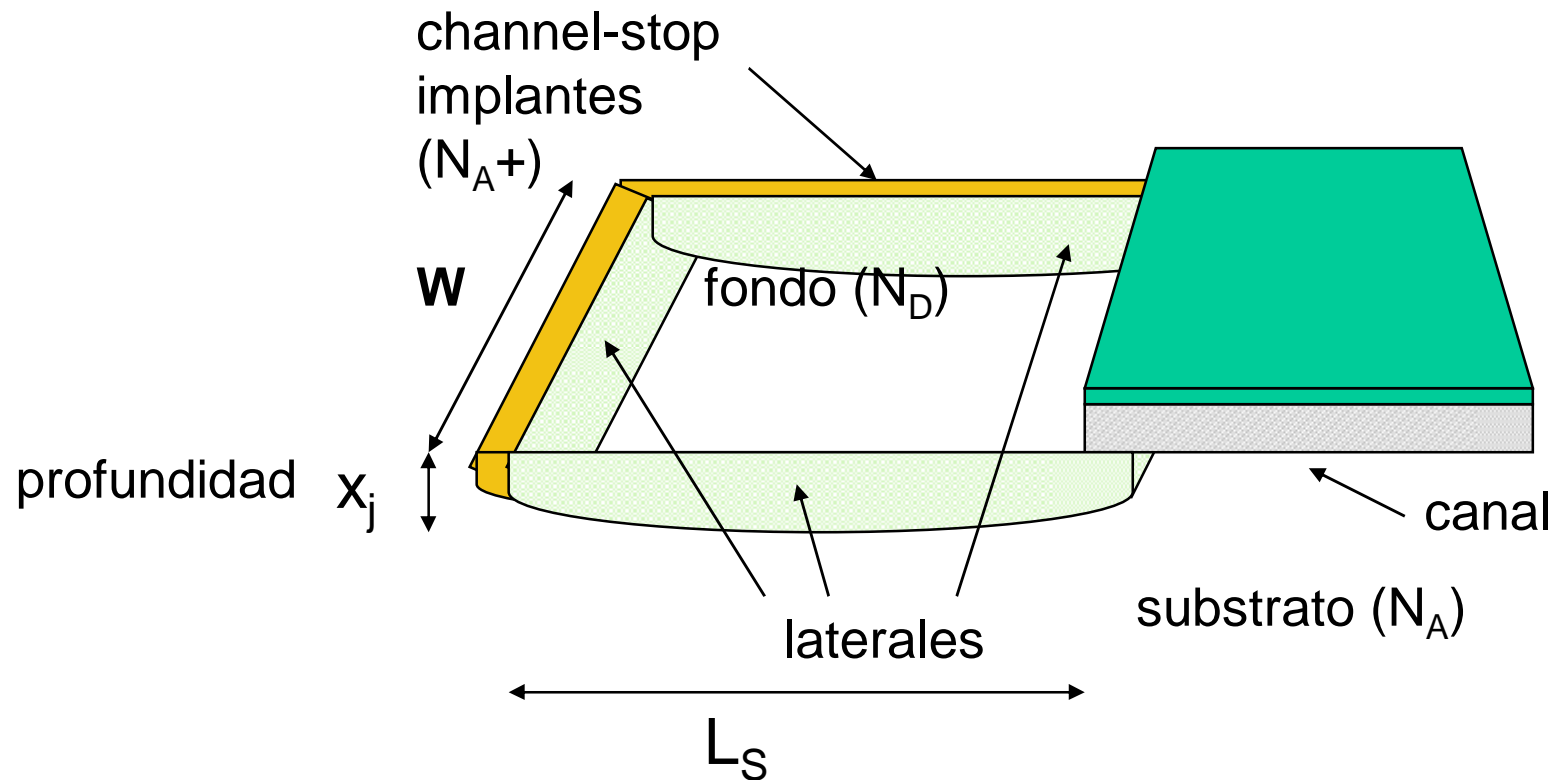
$$C_{GB} = C_{GCB}$$

## Modelo Capacidad para MOS, difusiones

- La capacidad de las difusiones se produce por las uniones pn fuente-substrato y drenador-substrato



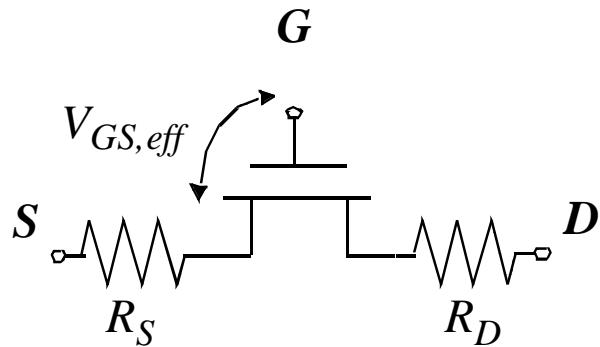
## Modelo Capacidad para MOS, difusiones



$$C_{\text{diff}} = C_{\text{bp}} + C_{\text{sw}} = C_j \text{ AREA} + C_{j\text{sw}} \text{ PERIMETRO}$$
$$= C_j L_S W + C_{j\text{sw}} (2L_S + W)$$

El muro solo tiene tres componentes ( no se cuenta la cara del canal)

## Resistencias Parásitas



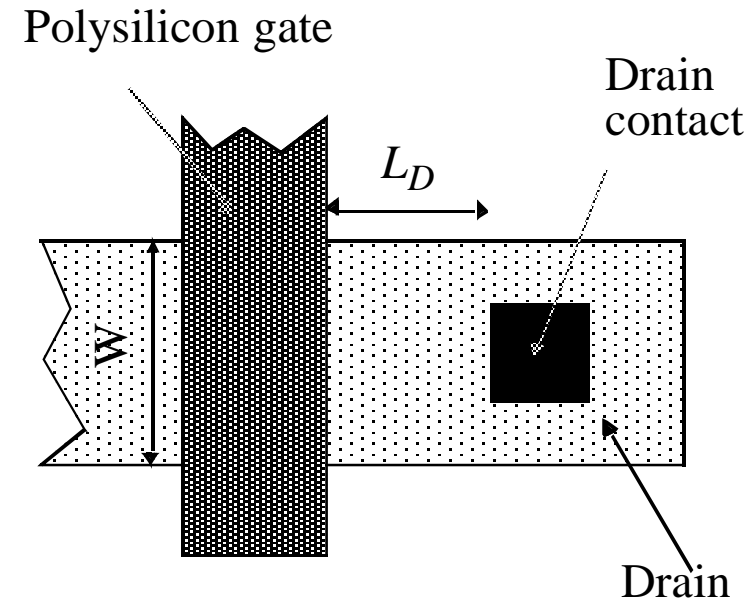
$$R_{S/D} = L_{S/D} R_{sheet} / W + R_C$$

$R_{S/D}$  = Resistencia en fuente o drenador

$L_{S/D}$  = longitud de la región fuente o drenador

$R_C$  = Resistencia del contacto

$R_{sheet}$  = Resistencia de la difusión  $\rightarrow$  área



silicidation  $\rightarrow$  reducir  $R_{sheet}$  cubriendo fuente y drenador con un metal de baja resistividad