

HE

REVISTA DIGITAL

"INVESTIGACIÓN Y EDUCACIÓN"

NÚMERO 18

SEPTIEMBRE DE 2005

ISSN 1696-7208

La conversión A/D y D/A.

Ricardo Valerio Bautista Cuéllar

La importancia en los receptores de RF de las distintas etapas en el procesamiento de la señal es obvia. Sin embargo, existe una etapa cuyas prestaciones determinarán la elección de una determinada arquitectura u otra.

Los receptores modernos están empezando a alcanzar escalas de integración inimaginables años atrás, que no sería posible si no fuera por la translación de gran parte del procesado de la señal al dominio digital. Ello ha sido posible por el desarrollo de nuevos conversores, sobre todo los sobremuestreados y especialmente el Sigma-Delta, que han posibilitado la consecución de unos requerimientos de prestaciones necesarios para la implementación de ciertas arquitecturas.

Este artículo pretende ofrecer una serie de conceptos básicos realiccionados con la conversión que serán necesarios para comprender

mejor un próximo artículo donde abordaremos la importancia de los conversores Sigma-Delta en los receptores RF actuales.

Introducción.

El muestreo ideal de una señal (tensión o corriente) continua en el tiempo $x = x(t)$ es la operación por la que se toman muestras de amplitud en instantes de tiempo equiespaciados T_s segundos. A T_s se le llama periodo de muestreo y a su inversa $f_s = 1/T_s$ frecuencia o tasa de muestreo.

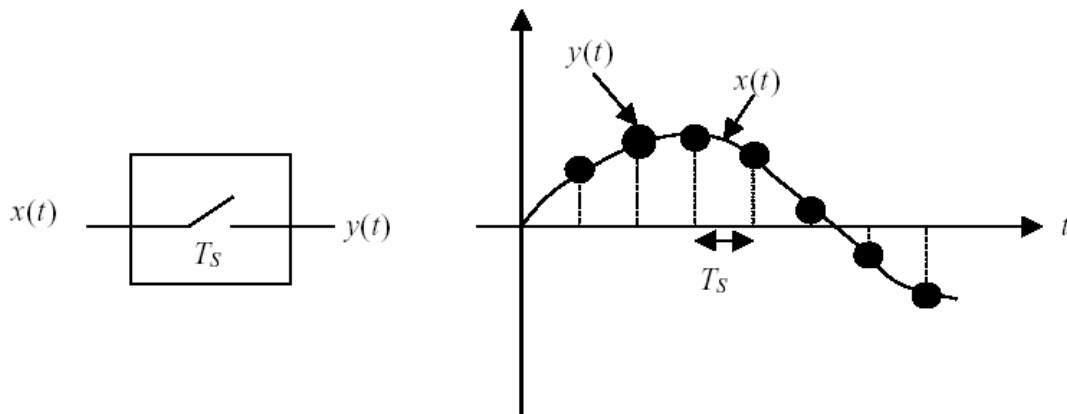
La señal resultante se puede representar matemáticamente como

$$y(t) = \begin{cases} x(nT_s) & \text{si } t = nT_s \\ 0 & \text{otro caso} \end{cases}$$

o utilizando la delta de Dirac $\delta(t)$

$$y(t) = \sum_{n=-\infty}^{+\infty} x(nT_s) \cdot \delta(t - nT_s) = x(t) \cdot \sum_{n=-\infty}^{+\infty} \delta(t - nT_s)$$

El proceso de muestreo se ilustra gráficamente en la Figura.



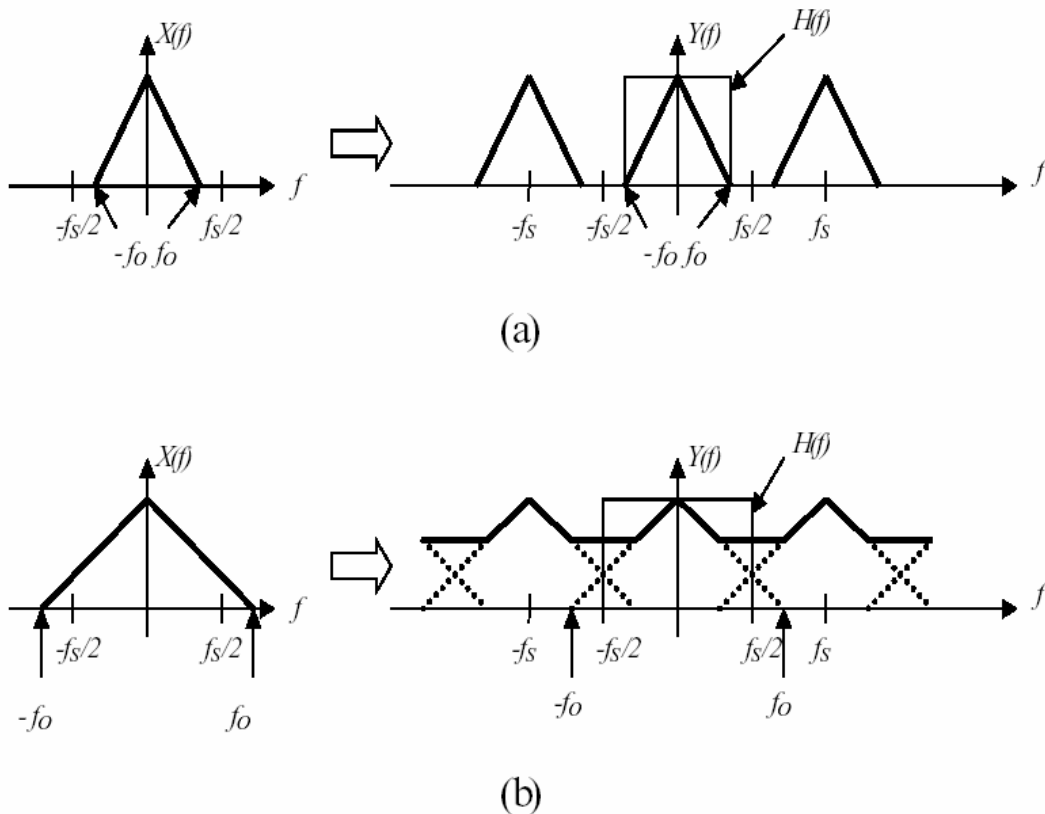
Si se calcula la transformada de Fourier a partir de $y(t)$, obtenemos:

$$Y(f) = X(f) * \left[\frac{1}{T_s} \sum_{n=-\infty}^{\infty} \delta(f - n \cdot f_s) \right] = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - n \cdot f_s)$$

Como se deduce de la expresión, el espectro $Y(f)$ de la señal muestreada es la suma de infinitas réplicas del espectro $X(f)$ desplazadas $n \cdot f_s$. De todas

las réplicas, la correspondiente a $n=0$ se denomina fundamental y al resto se les llama réplicas imágenes.

En la Figura 2 se representa gráficamente la aparición de las réplicas imágenes debidas al proceso de muestreo. Se observa que, si el ancho de banda f_0 de la señal $x(t)$ es menor que la mitad de la frecuencia de muestreo f_s , mediante un filtro paso bajo ideal de anchura f_0 y de entrada $y(t)$ se puede reconstruir $x(t)$. En el caso contrario se solapan las réplicas imágenes con la réplica fundamental (aliasing) y ya no es posible recuperar $x(t)$.



Teorema de Nyquist (o Teorema del Muestreo): Si se muestrea una señal con una frecuencia mayor que el doble de la componente espectral máxima de la señal, ésta se puede reconstruir a partir de las muestras.

La señal muestreada se puede representar también como la secuencia de números (v.s. una función del tiempo) $y(n) = y(nT_s)$ que pueden ser procesados analógicamente o cuantizados y manipulados por un procesador digital. El proceso de cuantización se estudia a continuación.

Cuantización de una variable analógica

Entendemos por variable analógica aquella que toma valores en un intervalo continuo (el conjunto de números reales) y por variable digital aquella que toma valores en un conjunto con un número finito de elementos.

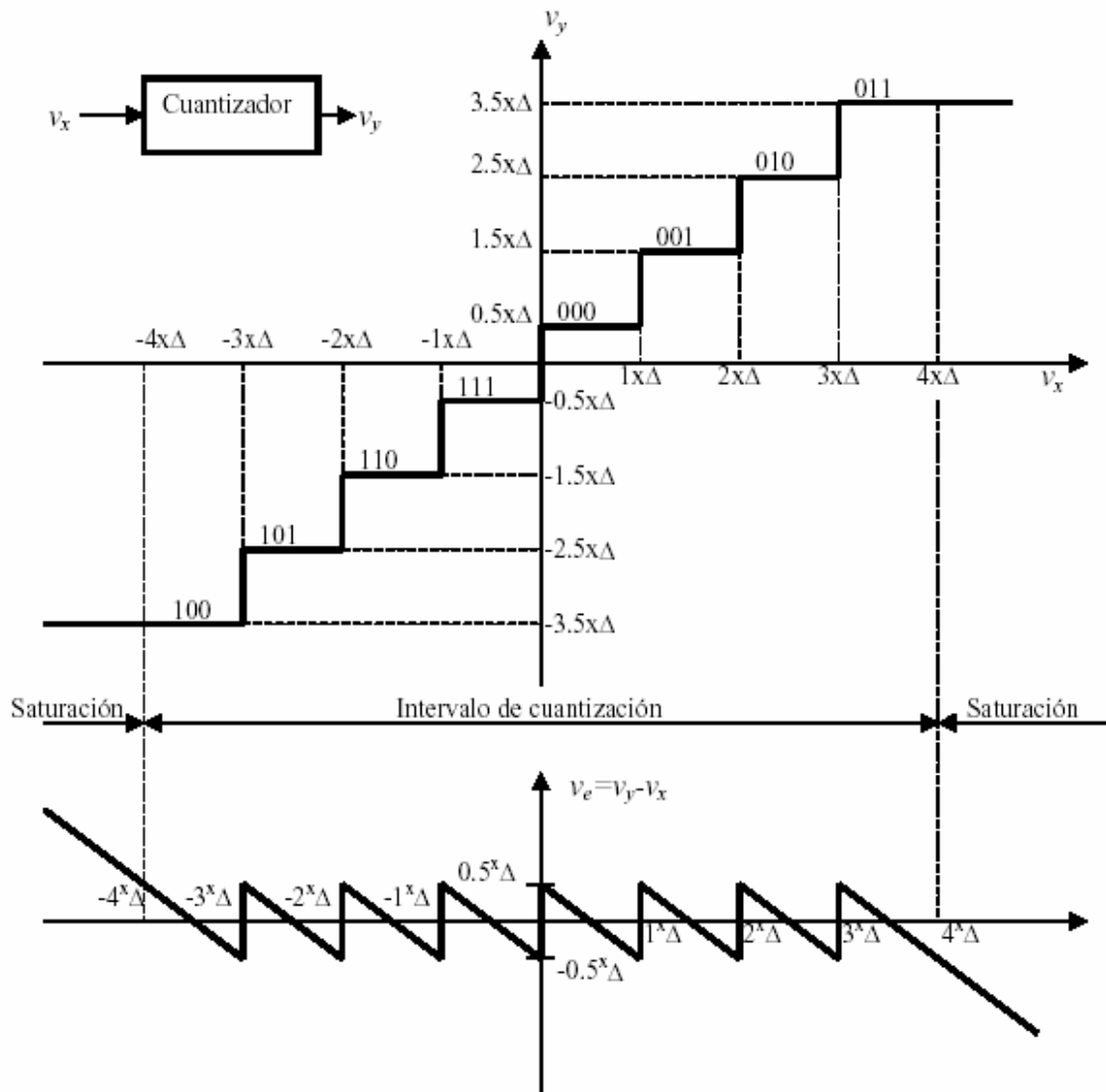
La cuantización es el proceso que permite que una señal analógica se represente digitalmente y cuantizador es el dispositivo que realiza el proceso de cuantización. Nos centramos aquí en señales representadas por tensiones, en cuantizadores realizados electrónicamente. La función de transferencia de un cuantizador se representa en la figura de la página siguiente. La señal de entrada v_x puede tomar cualquier valor real del eje horizontal, sin embargo la señal de salida v_y sólo puede tomar valores discretos. En el ejemplo de la figura:

$$v_y \in \{-3.5 \times \Delta, -2.5 \times \Delta, \dots, 2.5 \times \Delta, 3.5 \times \Delta\}$$

donde Δ es el paso de cuantización o resolución del cuantizador. En la mayoría de los casos prácticos los valores discretos que toma la variable de salida están equiespaciados, tal y como ocurre en la figura.

A cada nivel de la tensión de salida se le puede asignar el valor de un código binario. En la figura se ha elegido el código complemento a dos. El valor digital puede ahora ser leído por un microprocesador y procesado

convenientemente. Como se necesitan tres bits para representar una palabra se dice que el cuantizador de la figura es de tres bits.



Se define el error de cuantización como la diferencia entre las señales de salida y entrada, $v_e = v_y - v_x$.

Existe un intervalo de valores de entrada, llamado intervalo de cuantización, en el que el error está limitado al intervalo $[-\Delta/2, \Delta/2]$. En los intervalos de saturación el error crece proporcionalmente al valor de la entrada y puede hacerse muy grande. Por ello, siempre se debe procurar

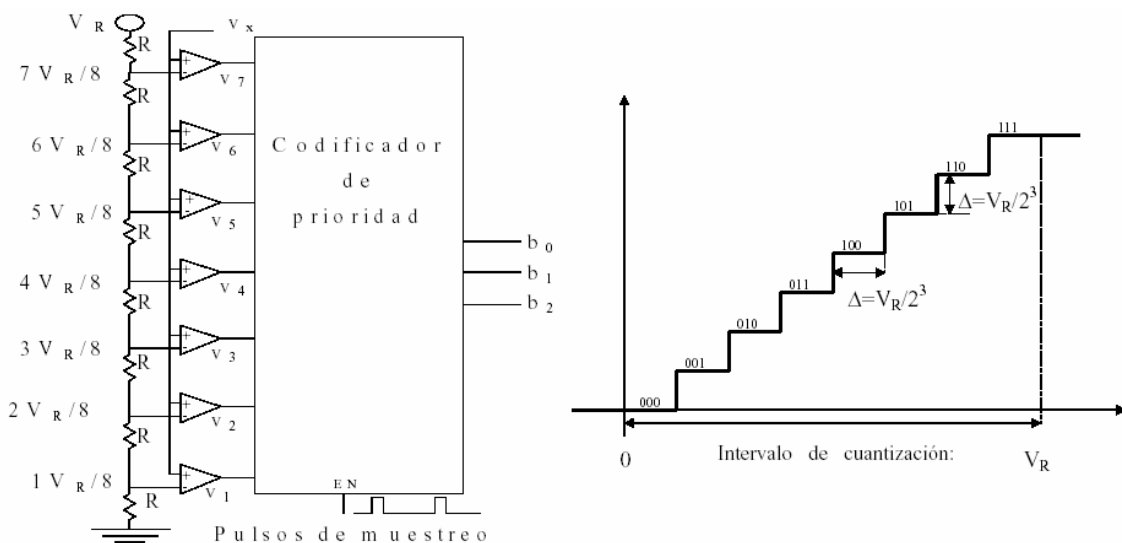
que la entrada ocupe todo el intervalo de cuantización pero que no lo exceda.

En el ejemplo de la figura se ha elegido un intervalo de cuantización simétrico respecto del origen de coordenadas. En el caso más general el intervalo se puede definir como $[-V_R, V_S]$.

Si el cuantizador es de n bits, su resolución es:

$$\Delta = \frac{(V_S + V_R)}{2^n}$$

A modo de ejemplo, un cuantizador puede construirse comparando la tensión de entrada con las tensiones generadas en un divisor resistivo, tal y como se ilustra en figura para el caso de tres bits de resolución. Como todas las resistencias son de igual valor, en cada una de ellas cae un octavo de la

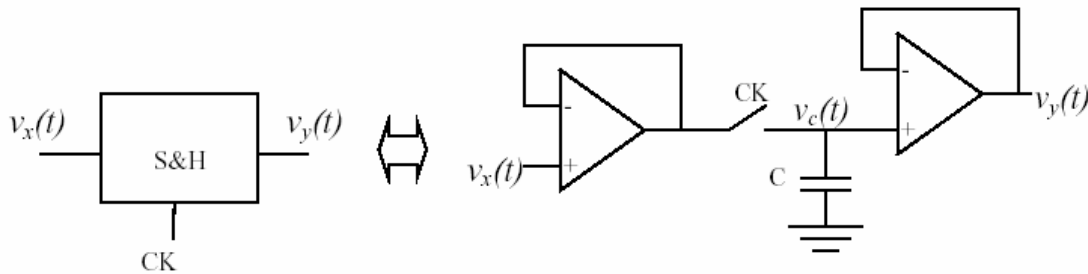


tensión de referencia. Si $j \cdot V_R/8 < v_x < (j+1) \cdot V_R/8$ todas las tensiones v_i con i menor o igual a j toman un valor alto de tensión (1 lógico). En caso contrario las tensiones v_i toman un valor de tensión bajo (0 lógico). El codificador de prioridad transforma el código termométrico de entrada en una palabra binaria de tres bits en el instante en que hay un pulso de

muestreo. La función de transferencia del cuantificador se puede observar en la misma figura

El circuito de muestreo y retención (S&H)

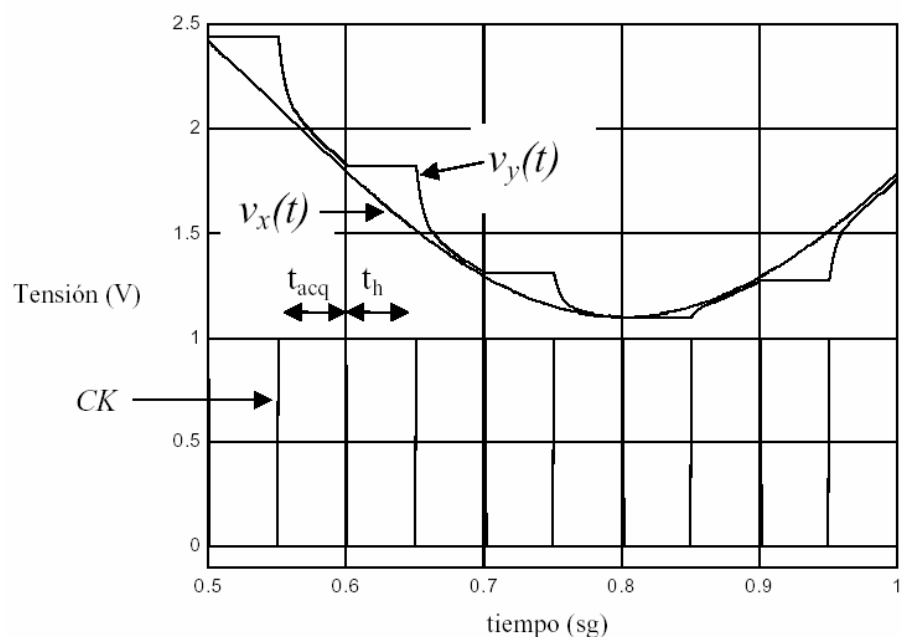
Algunos de los circuitos de cuantización que se verán en apartados posteriores requieren un determinado tiempo de conversión durante el cual la tensión de entrada $v_x(t)$ debe mantenerse constante. Un circuito que permite realizar esta operación se presenta en la figura. Para comprender



bien el funcionamiento del circuito nos remitimos a la figura siguiente donde se representa la evolución temporal de sus tensiones de entrada (línea

discontinua) y salida (línea continua).

Los dos amplificadores están en configuración seguidor y las tensiones a sus salidas



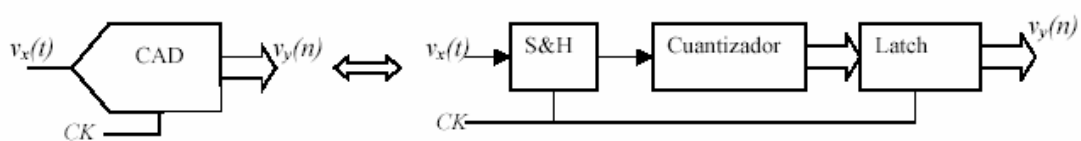
son iguales a sus respectivas entradas. Cuando el reloj CK pulsa a tensión alta se cierra el interruptor y la tensión en el condensador se carga a la

tensión en la entrada. Cuando el reloj tenga un valor bajo, entonces el interruptor se abre y la tensión del condensador permanece constante. Como se observa de la figura, la tensión de salida del circuito es siempre igual a la del condensador, por despreciarse idealmente cualquier tipo de fuga en este montaje (interruptores y amplificadores ideales).

Son por tanto dos las operaciones que realiza este circuito. Por un lado, un seguimiento de la tensión de entrada durante un tiempo denominado de seguimiento o de adquisición (t_{acq}). Por otro, una retención de la tensión leída (t_h).

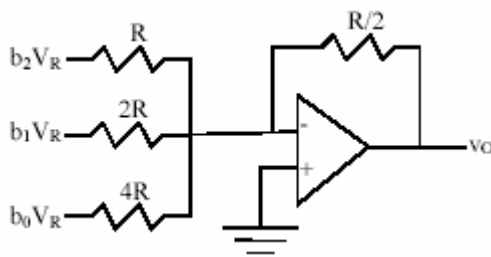
Los conversores A/D y D/A.

Un conversor analógico a digital (CAD) es un circuito electrónico cuyo propósito es convertir una señal de entrada analógica a la entrada en una versión digital de la misma, discreta en el tiempo. Ya podemos intuir la utilidad que para este menester puede tener el circuito S&H mostrado con anterioridad o cualquiera de las diversas versiones de circuitos S&H existentes. En la figura podemos observar un diagrama de bloques de lo que es un CAD.



Como se observa, la primera etapa realiza el muestreo y retención de la señal analógica de entrada. Luego, un módulo cuantizador realiza la conversión del valor analógico existente a la salida del primer módulo a un valor digital. La importancia del circuito S&H radica en la necesidad de mantener estable durante un tiempo la señal analógica leída por el cuantizador, pues este último tiene un retardo inherente a su funcionamiento que si no se tuviera en cuenta podría causar conversiones

erróneas. Por último, un latch almacena el valor digital suministrado por el cuantizador, de forma que en el momento oportuno (regido por el reloj CK) vuelque la información digital en el destino deseado (p.e. un bus de datos) . Para la operación inversa se utilizan los denominados conversores digitales/analógicos (CDA). A diferencia del anterior, la entrada de un CDA es una secuencia de números codificados en binarios y su salida es una tensión (o corriente) continua en el tiempo. En la figura siguiente se muestra una posible implementación de dicho CDA. Como se observa, se



basa en una estructura simple sumadora con un amplificador operacional. En el caso de que uno de los bits sea uno, contribuirá a la señal de salida con un peso dado por

la resistencia que tenga asignada.

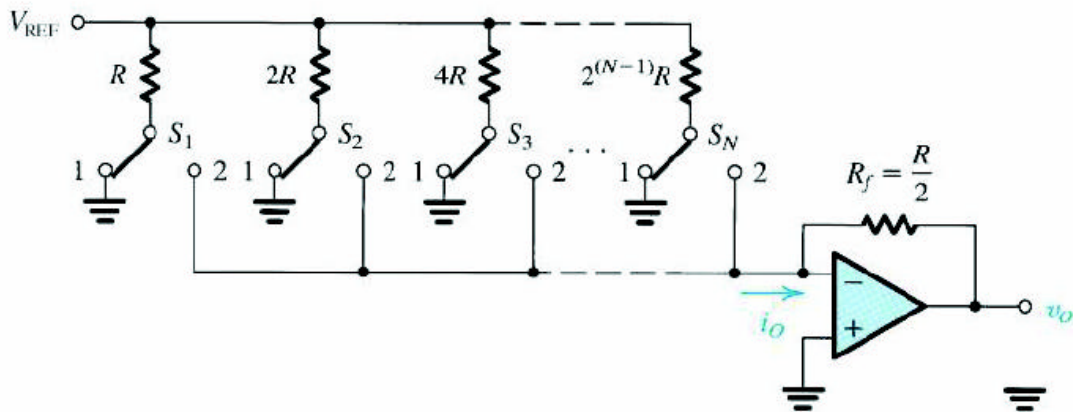
Como se observa, en este caso la señal de salida no cambia a no ser que la señal digital de entrada cambie, lo cual sólo será cuando el reloj lo indique. Sin embargo, en muchos casos donde la estabilidad del circuito conversor no es tan fiable, a la salida se emplea un circuito S&H de forma que se asegure la fiabilidad de la lectura.

Como podemos imaginar fácilmente, existe una gran diversidad de implementaciones de conversores. Aquí sólo mostraremos algunos de los más utilizados para dar una idea de cómo es el funcionamiento de los mismos.

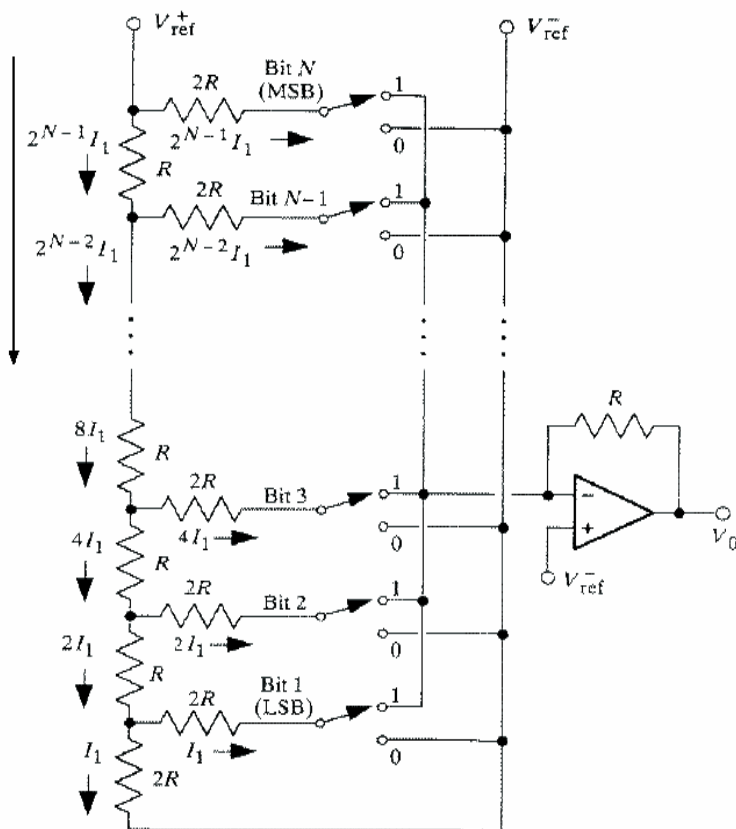
CDA con suma ponderada de pesos.

Es la implementación que hemos mostrado con anterioridad. El principal problema que tiene esta implementación es la dificultad de su construcción al necesitar una amplia variedad de resistencias así como el área que ocupa. Una versión aún más cercana a la implementación real de estas sumas ponderadas es la que se muestra a continuación. En este caso, los bits son

los responsables de activar los diferentes interruptores (normalmente FETs, si bien no vamos a entrar en la problemática de los interruptores, solamente debemos mencionar que la correcta implementación de un interruptor es vital para aproximar el funcionamiento del circuito a su comportamiento ideal).



CDA R-2R.

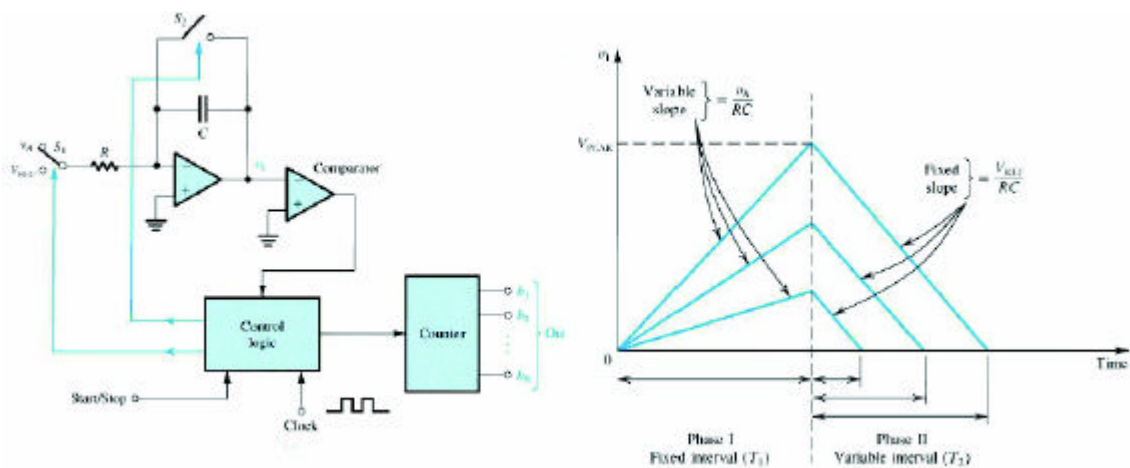


Este conversor trata de mejorar al anterior en cuanto al problema vinculado a la amplia gama de resistencias a emplear. Como podemos observar en la figura, la colocación alterna de resistencias de valor R y $2R$ permite obtener el mismo efecto que con el montaje anterior. Los interruptores permitirán el paso de la señal de

forma que a la salida del amplificador tengamos la salida analógica

deseada. Hacer notar como en la patilla positiva del amplificador tenemos la misma tensión de referencia que la empleada para alimentar o no (dependiendo del valor de los bits) a las resistencias del montaje. Como ejemplo del correcto funcionamiento del circuito podemos pensar en un código 000...001, es decir, en el que únicamente el bit menos significativo (LSB) esté activo. En ese caso, todos los interruptores salvo el correspondiente al LSB estarían en la misma posición por lo que la intensidad que tendríamos en I_1 es $(V_{\text{ref}+} - V_{\text{ref}-})/2^N R$ y la salida correspondiente del circuito será $R \cdot I_1$ al ser I_1 la única corriente que puede derivar por la resistencia de realimentación y teniendo en cuenta que $V_{\text{ref}-}$ va colocado a tierra.

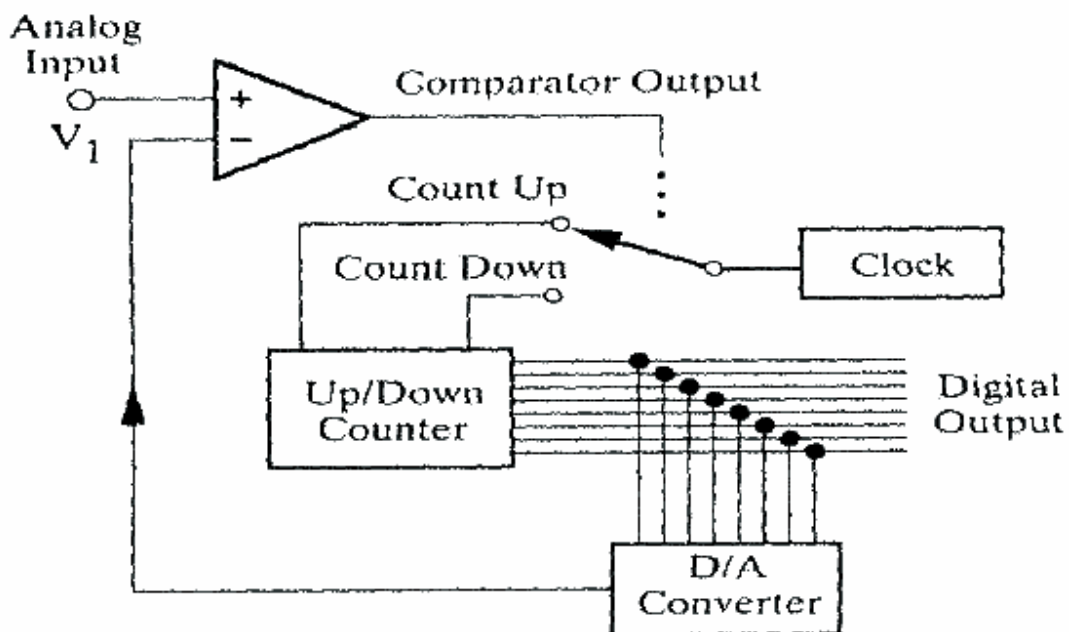
CAD de doble rampa.



En la figura se muestra el esquema de un conversor analógico digital de doble rampa. Hemos obviado el S&H puesto que nos queremos centrar en el funcionamiento básico de la etapa conversora. Como se observa en el gráfico temporal de evolución de la señal en el circuito, el condensador se irá cargando a una tensión de entrada suministrada durante un tiempo fijo T_1 . Como es previsible, mayor será la tensión (la carga) alcanzada en el condensador cuanto mayor sea la tensión de entrada, considerando R y C valores fijos y no programables. Por tanto, si tras ese periodo de tiempo de

carga del condensador descargamos el condensador por medio de una tensión negativa $-V_{ref}$, tendremos la seguridad de que la pendiente de la descarga será siempre la misma y por tanto el tiempo que tarda el condensador en descargarse dependerá de la tensión adquirida en la primera etapa. Por tanto, contando el tiempo que tarda en esa descarga podremos aproximar el valor analógico de la señal de entrada. Realizando cálculos relativamente simples podemos deducir que $V_{peak} = T_1 \cdot V_A / RC$ y que $T_2 = V_A \cdot T_1 / V_{ref}$. El principal problema que tiene esta implementación es el tiempo que necesita.

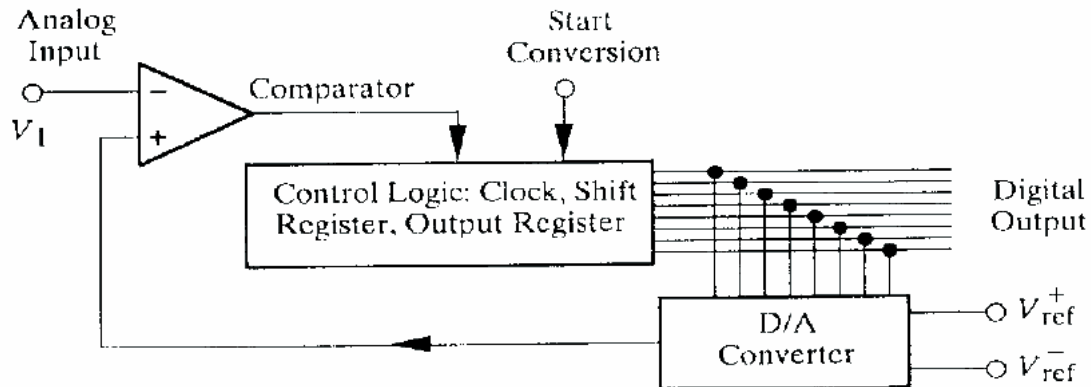
CAD de seguimiento.



Como se observa en la figura anterior, el concepto en que se basa es muy sencillo. Como su propio nombre indica, el dispositivo de forma sucesiva convierte la señal digital dada en un momento anterior por el sistema a una señal analógica (mediante un CDA) para luego compararlo con el valor actual de la señal analógica de entrada. Dicha comparación determinará un incremento o decremento del valor del contador que es el que suministra la conversión al exterior. Tal como podemos observar del funcionamiento del

circuito, la convergencia a un resultado fiable puede ser lenta y, si la señal de entrada varía rápidamente con el tiempo, los resultados que se pueden obtener con este sistema pueden ser nulos, por lo que es muy importante el conocer la característica temporal de la señal de entrada.

CAD de aproximaciones sucesivas.

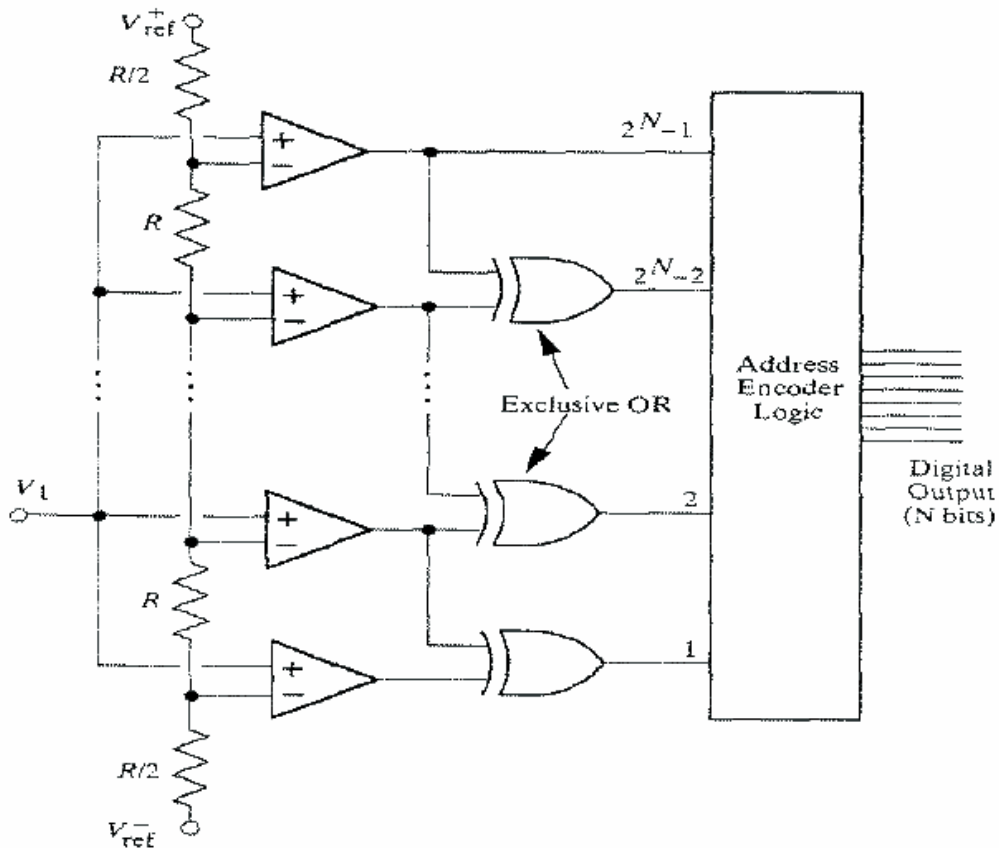


Esta otra implementación de los CADs trata de mejorar la etapa de convergencia inicial de la implementación anterior. Para ello lo que se basa es en una lógica de control que lo que básicamente hace es ir modificando los bits de salida del circuito en función de la salida del comparador. De esta forma, al poder cambiarse bits más significativos (no sólo el LSB como antes), la convergencia puede ser mucho más rápida. Sin embargo, el sistema sigue siendo tan lento como el anterior en cuanto se ha alcanzado la convergencia.

CAD tipo “flash”.

El “flash converter” es la implementación más rápida para los CAD si bien es también la más costosa en cuanto a necesidad de área de silicio a la hora de integrarse o, de otra forma dicha, la que mayor número de resistencias requiere por lo que su uso depende mucho de la exigencia de rapidez en la conversión. Como se observa en la figura, el funcionamiento es muy sencillo y se basa en comparar la señal de entrada con valores de tensión

que determinan los umbrales fijados teniendo en cuenta el uso de N bits. Esos valores de tensión se obtienen de una forma trivial mediante un simple divisor de tensión colocando en serie varias resistencias de valor R . Mediante una lógica añadida, el valor leído (2^N) se convierte en un código de N bits.



Para amortiguar el efecto en tamaño de este esquema se han ideado otras versiones basadas en fragmentar esta implementación o incluso combinar con otros tipos de implementaciones, si bien no vamos a tratar dichas configuraciones aquí.

Conclusión.

Existe una gran diversidad de configuraciones posibles para los conversores analógico/digital y digital/analógico, los cuales han ido tratando de mejorar ciertos inconvenientes de versiones anteriores. En la actualidad existe una nueva generación de conversores cuyas bases de

funcionamiento son distintas a estos pero que comparten muchos conceptos relacionados con los estudiados aquí. Estos conversores modernos los trataremos próximamente.

BIBLIOGRAFÍA:

- “Communication Systems.”, Simon Haykin. John Wiley & Sons.
- Ricardo Bautista, “Nuevas arquitecturas de receptores RF.” Revista Digital Investigación y Educación.
- “Digital & Analog communication systems”, Leon Couch, Prentice Hall.
- “RF Microelectronics”, B. Razavi, Prentice Hall.