



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

66.61 - Tecnología de Circuitos Integrados

Trabajo Práctico N°2

Figuerola, Gonzalo

84255

2.º cuatrimestre 2009

1. Enunciado

- a** Describir brevemente las etapas de proceso necesarias para fabricar un dispositivo CMOS, indicando tiempos y temperaturas aproximadas para cada etapa. Describir más extensamente la difusión de boro.
- b** Determinar el V_{th} de un transistor utilizando los siguientes datos:
- $N_a = 2,0 \times 10^{14} \text{ 1/cm}^3$.
 - $t_{ox} = 15 \text{ nm}$.

2. Introducción

CMOS (*Complementary Metal Oxide Semiconductor*) es una tecnología para la fabricación de circuitos integrados. Esta tecnología se utiliza en microprocesadores, microcontroladores, RAM estáticas, y otros circuitos lógicos digitales. También se utiliza para una amplia variedad de circuitos analógicos, tales como sensores de imagen, convertidores de datos, y transceptores altamente integrados para muchos tipos de comunicación.

Su principal característica consiste en la utilización conjunta de transistores de tipo pMOS y tipo nMOS configurados de tal forma que, en estado de reposo, el consumo de energía es únicamente el debido a las corrientes parásitas. Habrá potencia significativa sólo cuando los transistores en el dispositivo CMOS cambien de estado. En consecuencia, dichos dispositivos no producen tanto calor como otras familias lógicas.

Otra característica importante de los dispositivos CMOS es la inmunidad al ruido alto. CMOS también permite una alta densidad de funciones lógicas en un chip. Fue principalmente esta razón por la cual CMOS ganó la carrera en los años ochenta y se convierte en la tecnología más utilizada para ser aplicada en los chips VLSI.

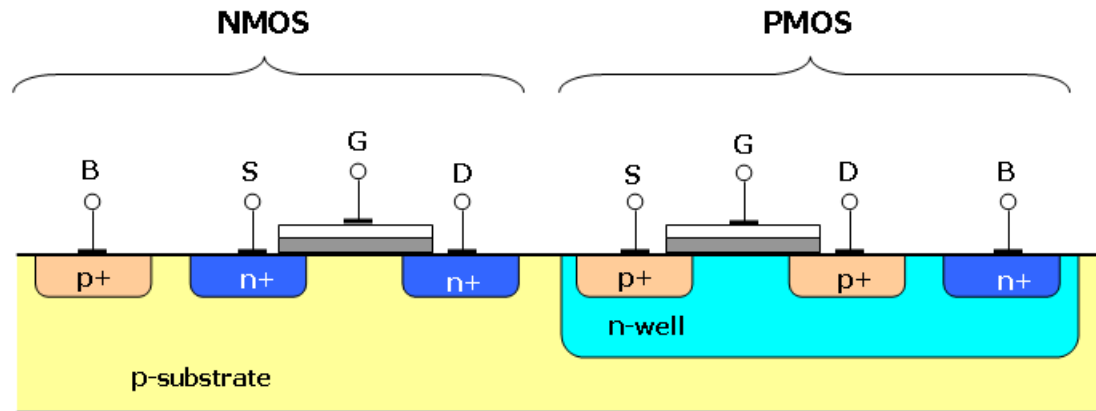
En la actualidad, la inmensa mayoría de los circuitos integrados que se fabrican son de tecnología CMOS. Esto incluye microprocesadores, memorias, DSPs y muchos otros tipos de chips digitales.

En función de todas las características citadas anteriormente, resulta necesaria la descripción del proceso de fabricación de esta tecnología que permitirá, posteriormente, comprender la complejidad de los circuitos digitales de hoy en día.

3. Proceso de fabricación

La fabricación de un par complementario MOS requiere que los transistores nMOS y pMOS sean construidos en la misma pieza de silicio. Para lograrlo se deben crear regiones especiales, denominadas *wells*, donde el material semiconductor es opuesto al tipo de canal del transistor.

A continuación se muestra un corte del par CMOS construido:



En este caso se analizará el proceso de fabricación CMOS partiendo de una oblea de silicio contaminada con impurezas de tipo N (*p-well*), aunque el procedimiento de fabricación partiendo de una oblea tipo P es similar.

Se parte de la oblea tipo N protegida por una capa de óxido de silicio que permite la aislación del material útil del agua y otros factores.

Se comienza con la difusión de pozo N. Para esto se realiza un proceso fotolitográfico para exponer sólo la región a difundir. Esta difusión se realiza a una temperatura de entre 900°C y 1100°C, generalmente, con dopantes de fósforo.

Luego se realiza una oxidación de la oblea y luego una oxidación local para generar una capa de nitruro de silicio el cual es inmune al agua y otros agentes. El motivo de esta última capa es proteger la zona activa de la siguiente oxidación, que es en una atmósfera de agua para incrementar el espesor de los aislantes laterales.

A continuación se elimina el nitruro y el óxido fino general para volver a realizar una oxidación en una atmósfera de oxígeno y así obtener un producto parejo que será el utilizado en las compuertas del transistor.

Tras depositar polisilicio sobre el óxido, con la ayuda de un grabado anisotrópico, se elimina el mismo de las zonas no deseadas de modo de tener la compuerta ya construida.

Seguidamente se somete toda la superficie activa a una implantación iónica que también actúa sobre el polisilicio dopándolo aún más.

El paso siguiente es remover el óxido de compuerta que no este cubierto por el polisilicio mediante fotolitografía para efectuar la deposición de los contactos de aluminio.

Finalmente se hace crecer otra capa de óxido más y mediante grabado anisotrópico se remueve el óxido en ciertos lugares, para permitir el contacto de la segunda capa de aluminio con la primera.

Tras un pulido de la superficie, a veces se deposita óxido de silicio en forma de vapor para obtener un overglass pasivante.

3.1. Difusión de Boro

Muchos pasos dentro de la fabricación del MOS requieren de la concentración de impurezas en el semiconductor. Existen dos procesos que se encargan de realizar dicha operación: la difusión y la implantación iónica.

La difusión se realiza a temperaturas muy elevadas, entre 900 y 1100 °C, en un horno de cuarzo con una atmósfera rica en la correspondiente impureza. Generalmente se utiliza fósforo para dopado tipo N y boro para dopado tipo P.

El proceso de difusión consiste en el movimiento a altas temperaturas de átomos de impurezas desde la superficie de la muestra de silicio hasta la masa del material. Esto es, algunos átomos se difunden sobre la superficie sustituyendo átomos de silicio, moviéndose hacia el interior del cristal. Entonces, se producen las denominadas impurezas de sustitución debido a que éstas reemplazan átomos de silicio en la estructura del cristal. Cuando se enfría se forma una delgada capa de silicio de tipo P cuya profundidad puede controlarse variando el tiempo, la temperatura (900 °C - 1100 °C) y la atmósfera para la difusión.

Hay dos tipos de difusión:

- Por concentración constante total: se deposita la cantidad final de impurezas en la superficie de la oblea y desde ahí se difunden.
- Por concentración constante en superficie: se mantiene constante la concentración de impurezas en la superficie del semiconductor y desde ahí son difundidas al interior.

3.2. Cálculo del V_T de un transistor MOS

Para el cálculo del V_T de un transistor MOS, teniendo en cuenta los datos, se partirá de un MOSFET de canal N con la fuente, el drenaje y el sustrato conectados a un potencial común. Y, con un potencia V_{GS} positivo. La compuerta y el sustrato forman un capacitor de placas paralelas con SiO_2 como dieléctrico. La carga que se almacena en el sustrato, de tipo p, se manifiesta por la creación de una región de agotamiento y la exclusión correspondiente de huecos bajo la compuerta.

Entonces se produce una región de agotamiento y la carga por unidad de superficie en dicha zona es:

$$Q = \sqrt{2qN_A \epsilon \Phi}$$

Donde:

- N_A es la densidad de impurezas tipo P en el sustrato.
- ϵ es la permitividad del silicio.
- Φ es el potencial de la capa de agotamiento en la interface óxido-silicio.

Cuando el potencial en el silicio P alcanza un valor igual a dos veces el nivel de Fermi se produce la inversión del canal. Esto produce una región continua de tipo N entre las regiones de la fuente y del drenaje denominada canal. Por lo tanto la carga almacenada en la región de agotamiento será:

$$Q_{b0} = \sqrt{2 q N_A \varepsilon 2 \Phi_F}$$

El potencial de compuerta VGS, requerido para producir una capa de inversión, se conoce como potencial de umbral VT y puede calcularse ahora como:

$$V_T = \Phi_{ms} + \frac{Q_b}{C_{ox}} + 2 \Phi_F$$

donde C_{ox} es la capacitancia por unidad de superficie del oxido de la compuerta. Y Φ_{ms} una función de diferencia de trabajo entre el metal de la compuerta y el silicio.

Si se aplica un potencial V_{SB} de polarización de sustrato, el potencial requerido para producir inversión se convierte en $(2 \Phi_F + V_{SB})$. Para el cálculo, en este caso, se considerará $V_{SB} = 0$.

Para calcular Φ_{ms} es preciso obtener Φ_f ¹:

$$q \Phi_f = \frac{E_C + E_V}{2} + k T \ln \left(\frac{m_p^*}{m_n^*} \right)^{0,75} \cong 4,71 \text{ eV}$$

Entonces:

$$q \Phi_f = -k T \ln \left(\frac{N_A}{n_i} \right) + q \Phi_f \cong 4,95 \text{ eV}$$

Para calcular el valor de la diferencia de la función trabajo es necesario conocer el material de la compuerta. Se utilizará en este caso POLY P cuyo $\Phi_{polyp} = 5,25 \text{ eV}$:

$$q \Phi_{ms} = q(\Phi_{polyp} + \Phi_f) \cong 0,3 \text{ eV}$$

Luego se calcula el nivel de Fermi:

$$\Phi_F = \frac{k T}{q} \ln \left(\frac{N_A}{n_i} \right) \cong 0,246 \text{ V}$$

Entonces:

$$Q_b = \sqrt{2 q N_A \varepsilon 2 \Phi_F} = 5,7 \frac{\text{nC}}{\text{cm}^2}$$

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = 230 \frac{\text{nF}}{\text{cm}^2}$$

Finalmente

$$V_T = \Phi_{ms} + \frac{Q_b}{C_{ox}} + 2 \Phi_F = 0,82 \text{ V}$$

¹se supone T = 300°K