

CONSIDERACIONES PARA EL DISEÑO:

Para diseñar el comparador, nos basamos en una arquitectura de dos etapas clásica.

Estructura tipo Miley sin compensación a lazo abierto (CMOS Analog Circuit Design de Allen y Holberg).

Teniendo en cuenta algunas consideraciones para el diseño y siguiendo algunas formulas de orientación, podemos describir el proceso de diseño de la siguiente manera:

- El voltaje máximo de salida, asumiendo que el GATE de M6 posee un mínimo voltaje definido como $V_{G6}(\min)$, podemos expresar al máximo voltaje de salida como:

$$V_{OH} = V_{DD} - (V_{DD} - V_{G6}(\min) - |V_{TP}|) \left[1 - \sqrt{1 - \frac{2I_7}{\beta_6(V_{DD} - V_{G6}(\min) - |V_{TP}|)^2}} \right]$$

- Con el mínimo voltaje de salida como:

$$V_{OL} = V_{SS} = \text{GND} = 0$$

- La ganancia de pequeña señal del comparador resultaría estar definida por:

$$A_v(0) = \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}} \right) \left(\frac{g_{m6}}{g_{ds6} + g_{ds7}} \right)$$

- Los polos de la primera p_1 y segunda p_2 etapa están expresado como:

$$p_1 = \frac{-(g_{ds2} + g_{ds4})}{C_I}$$

$$p_2 = \frac{-(g_{ds6} + g_{ds7})}{C_{II}}$$

Considerando a C_I como la sumatoria de todas las capacidades conectadas a la salida de la primera etapa y a C_{II} como la sumatoria de todas las capacidades conectadas a la salida de la segunda etapa.

- La respuesta en frecuencia del comparador de dos etapas puede ser expresado como: $A_v(s) = \frac{A_v(0)}{\left(\frac{s}{p_1} - 1\right)\left(\frac{s}{p_2} - 1\right)}$

COMPARADOR DE DOS ESTAPAS

Diseño de Miley sin compensación

DISEÑO Y SIMULACION:

El comparador fue diseñado, simulado, re-diseño y re-simulado en varias ocasiones hasta dimensionarlo y observar que su comportamiento era el adecuado para el uso que se le iba a dar, sin importar los niveles de consumo del mismo en un principio y con el fin de familiarizarse con la tecnología utilizada. Luego de resultados exitosos de pruebas en un diseño despreocupado por el consumo, lo modificamos nuevamente hasta obtener resultados complacientes como los anteriores, pero con la mayor optimización posible (menor consumo y tamaño del dispositivo).

- Esquemático del comparador:
- Simulación tipo Bias:
- Simulación tipo Transient:

CONSIDERACIONES A PARTIR DE LA SIMULACION:

- Ubicaciones de los Polos del circuito:
- Respuesta al Escalón:
- Propagación del Delay Time de Slewing:

Mientras más grandes hagamos la “Magnitud de los Polos”, menor va a ser nuestra “Propagation Delay Time of a Slewing”.

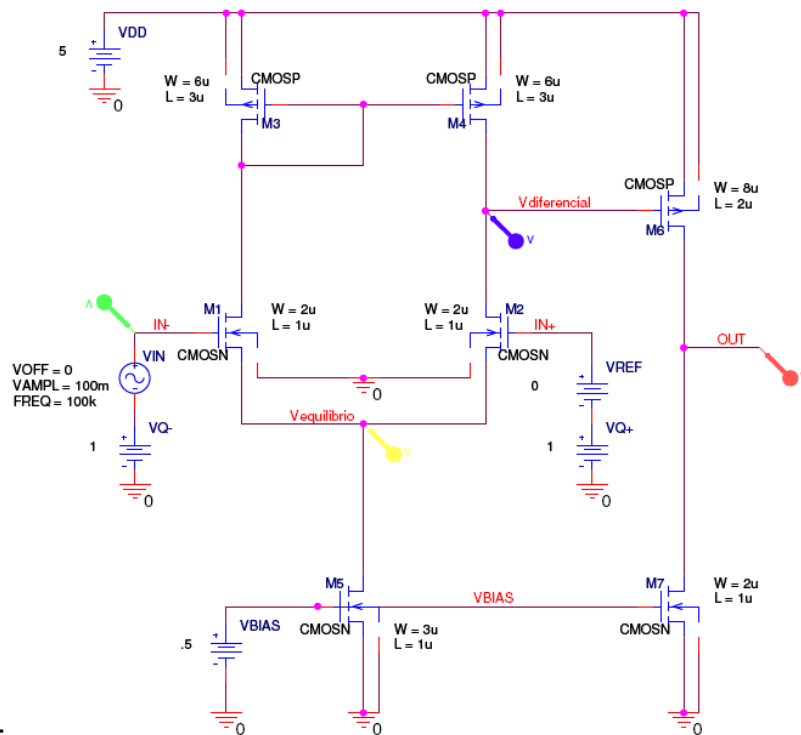
PRUEBAS DEL COMPARADOR

Características:

- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
-

Esquemático:

El diseño del comparador de arquitectura Miley sin compensación es el

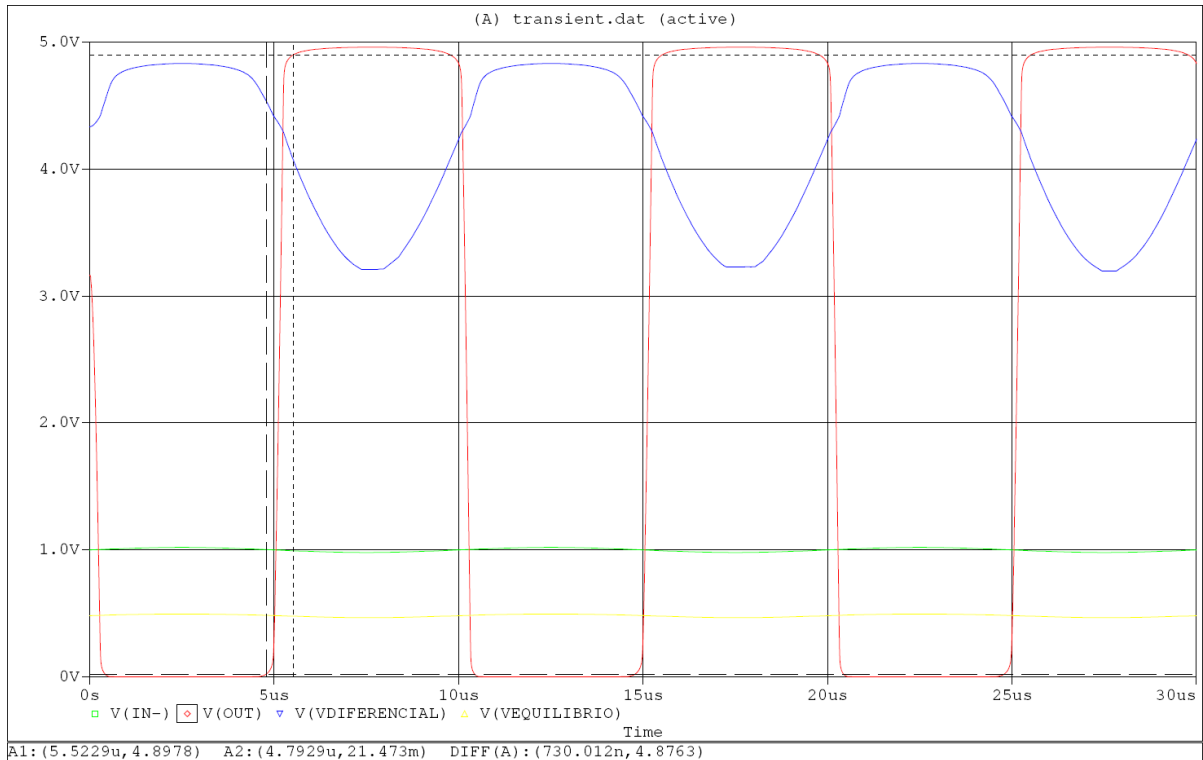


siguiente:

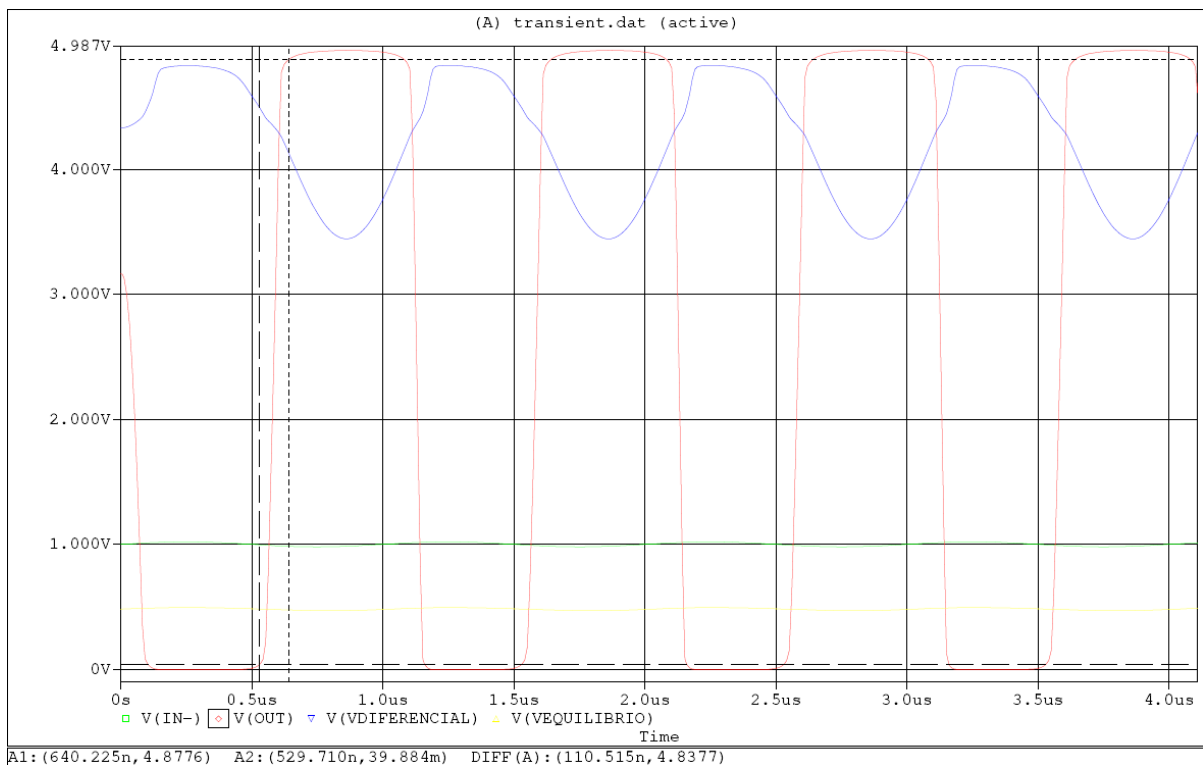
Al iniciar el diseño, los transistores fueron dimensionados en longitudes de 1μ y en anchos de 2μ , manteniendo siempre una relación entre ancho y largo de 2 en la mayoría de los casos para poder así compensar las variaciones generados por diseños de canal corto. También tuvimos en cuenta una relación de 3 veces mayores en tamaños los transistores CMOSP en relación a los CMOSN, para así compensar la disminución de movilidad de los primeros con respecto a los segundos.

Luego de dimensionarlos teniendo en cuenta estos factores, realizamos pruebas las cuales fueron exitosas con muy pequeños ajustes en el dimensionamiento, ya que el comparador funcionaba correctamente según nuestras exigencias.

Análisis transitorio a 100 KHz de frecuencia:

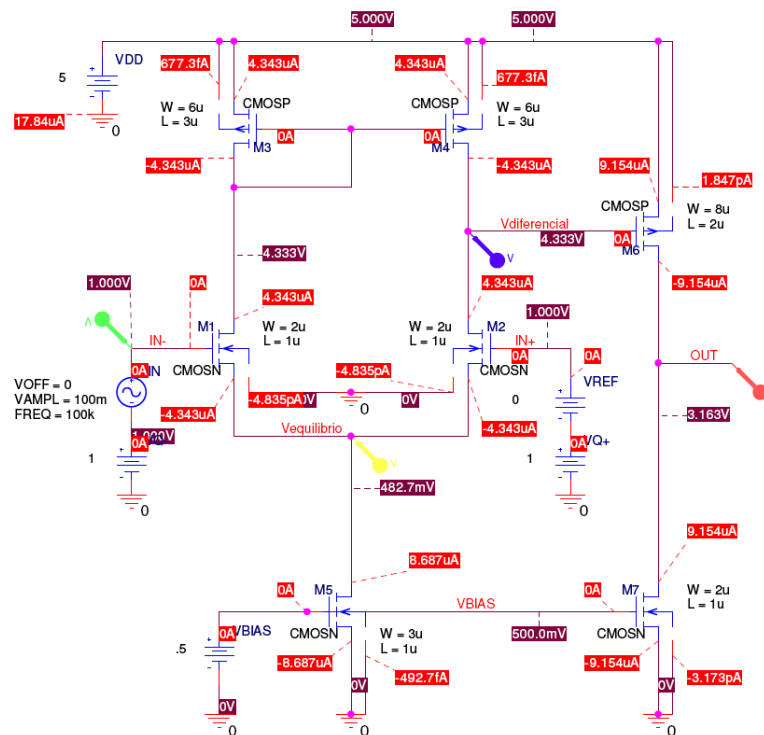


Análisis transitorio a 1 MHz de frecuencia:



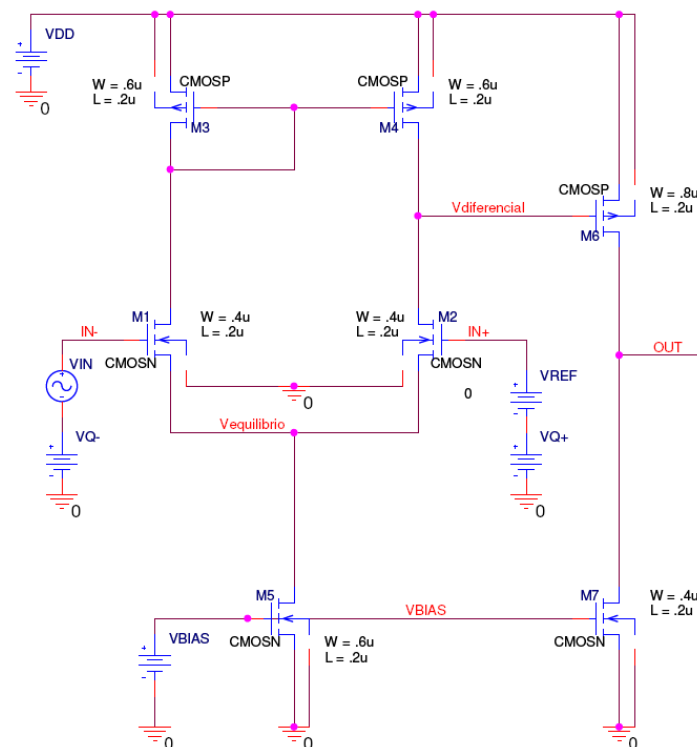
El problema era el alto consumo de potencia generado por una alimentación de 5 voltios y una excesiva cantidad de corriente que circulaba por las ramas

generales por las dimensiones de los transistores.



Como respuesta a esto, decidimos redimensionar los transistores disminuyendo sus tamaños, intentando mantener las reglas antes mencionadas para asegurar su correcto funcionamiento, y así reducir consumo y tamaño.

Luego de varias modificaciones y pruebas realizadas, obtuvimos el diseño a nivel de dimensionamiento de los transistores a continuación.

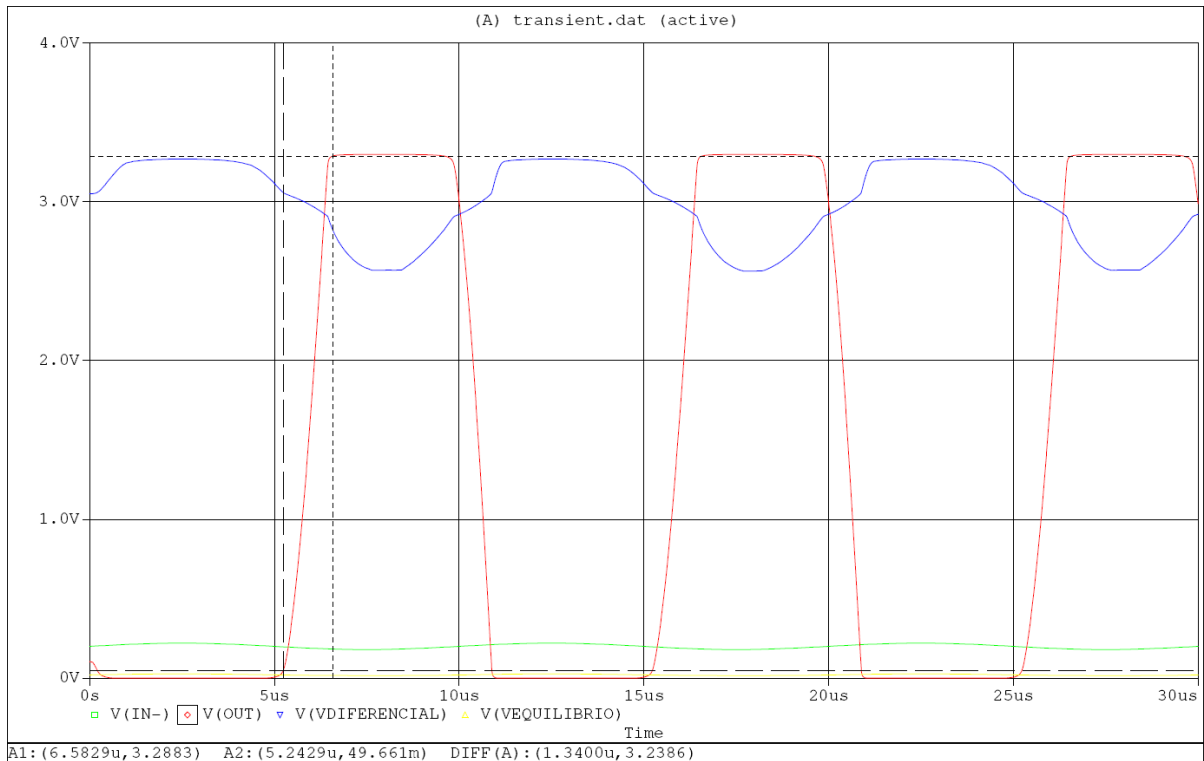


A este diseño lo evaluamos en las siguientes condiciones:

- VDD: 3.3 voltios
- VBIAS: 0.30 voltios
- VQ: variable en 0.2 y 0.35 voltios

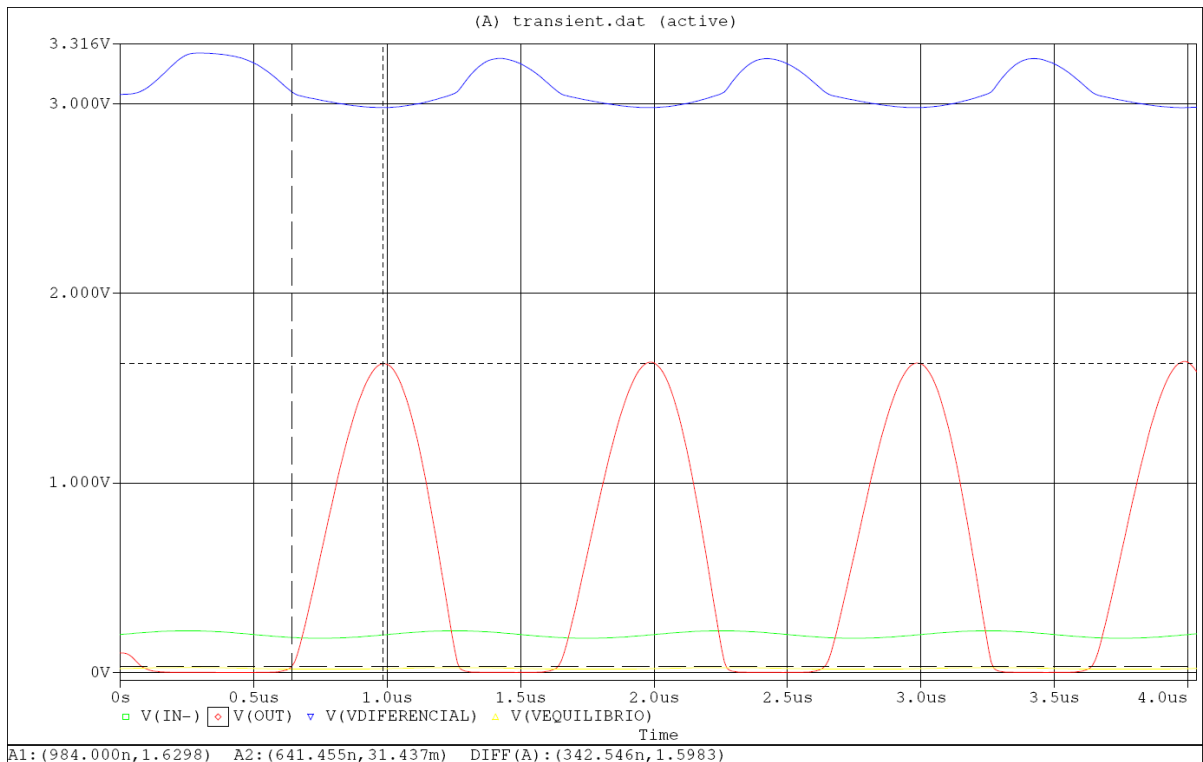
Las simulaciones obtenidas son las siguientes:

En este caso estamos con tensiones de VQ de 0.2 voltios y frecuencias de la señal de entrada a 100 KHz.



Observamos que las respuestas del comparador a la señal de entrada es lo suficientemente rápida y llega a los niveles de tensiones correctos, lo que nos indica que los transistores de entrada se encuentran en un punto de trabajo Q propicio para el buen funcionamiento a dicha frecuencia.

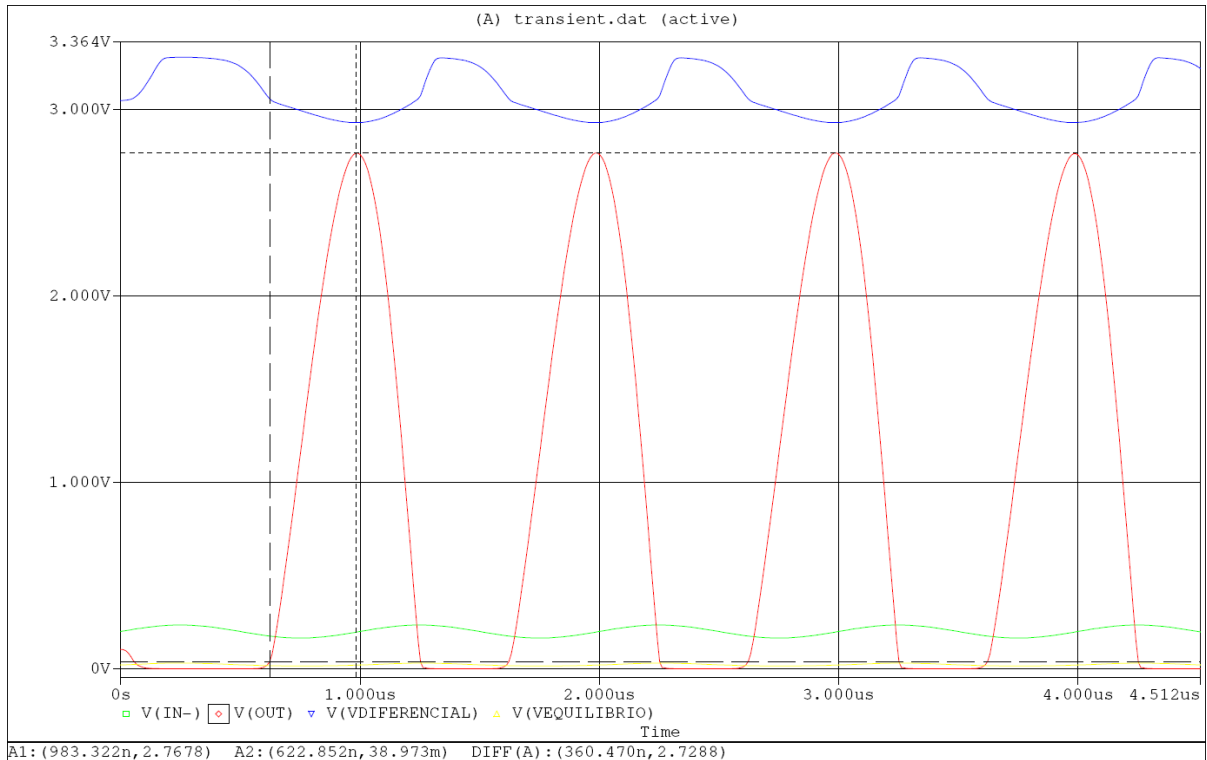
A continuación tenemos las simulaciones del mismo circuito pero con tensiones de VQ de 0.2 voltios (al igual que la simulación anterior) y con frecuencias de la señal de entrada unas 10 veces mayor a la anterior, lo que nos da una frecuencia de 1 MHz.



En la imagen anterior podemos apreciar que a causa del gran incremento de la frecuencia de la señal de entrada, el comparador no puede responder lo suficientemente rápido para elevar la tensión de salida a los niveles necesarios, ni mantenerla, para el uso de tecnología CMOS de 3.3 voltios.

Para intentar solucionar este problema, decidimos aumentar la tensión VQ a 0.35 voltios para así llevar el punto de trabajo Q de los transistores de entrada a niveles más altos de excitación, aumentando su velocidad de respuesta, y

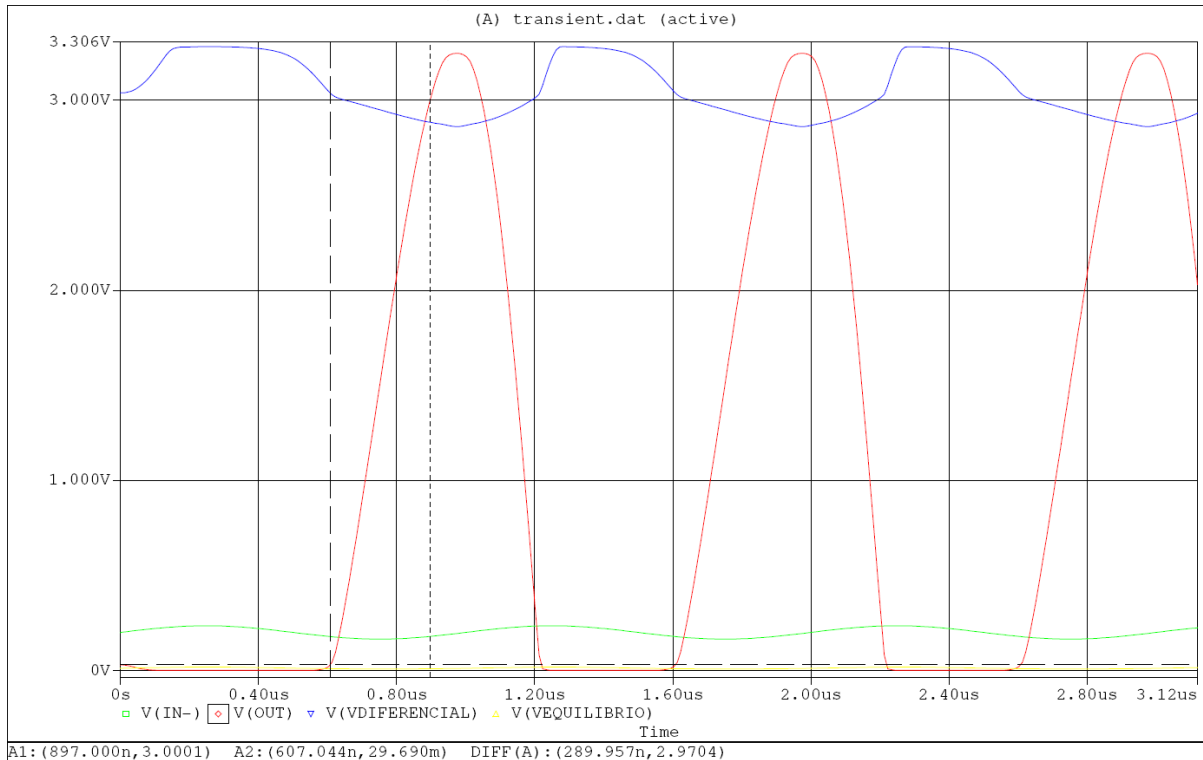
obtuvimos los siguientes resultados:



Como se parecía, de esta manera mejoramos los tiempos de respuesta del comparador, pero aun no son lo suficientemente rápidos para elevar y mantener la salida del mismo a los niveles necesarios, por lo cual decidimos realizar una modificación en la tensión de alimentación de VBIAS aumentando así la corriente que circularía en la rama, ayudando al aumento de velocidad del dispositivo.

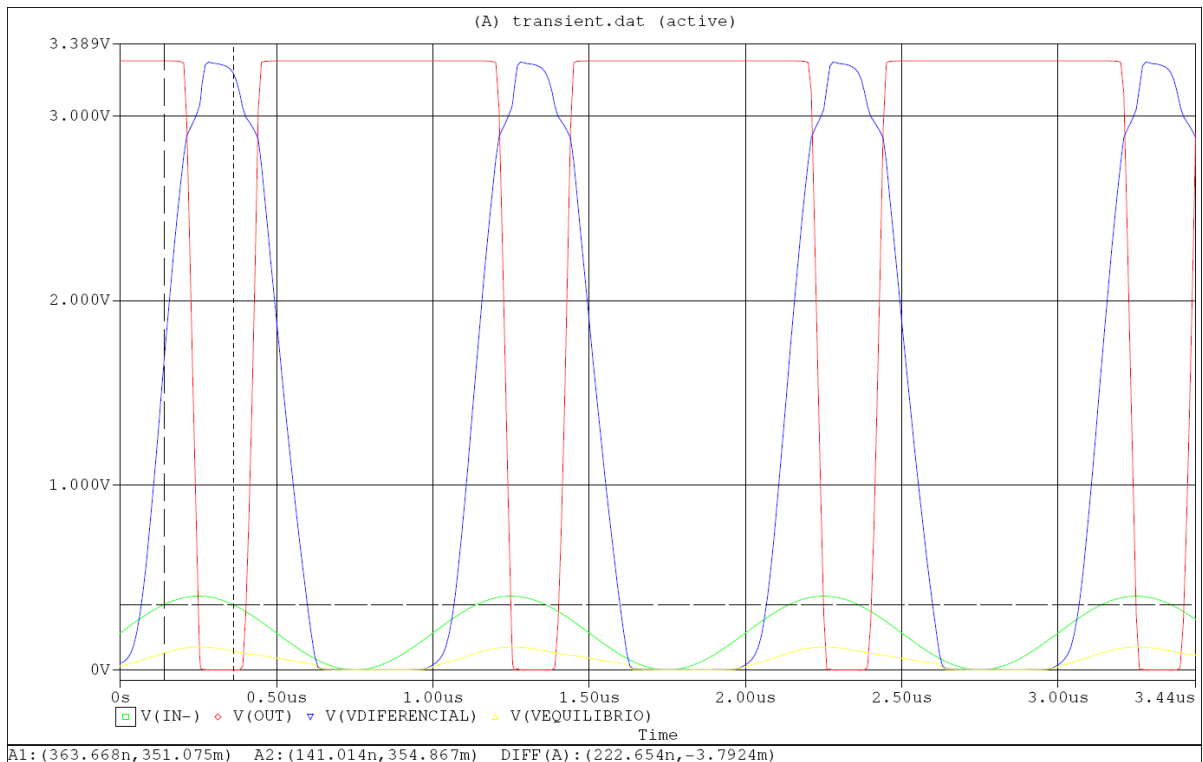
- VDD: 3.3 voltios
- VBIAS: 0.33 voltios
- VQ: 0.35 voltios
- FRECUENCIA: 1MHz

La simulación obtenida es la siguiente:



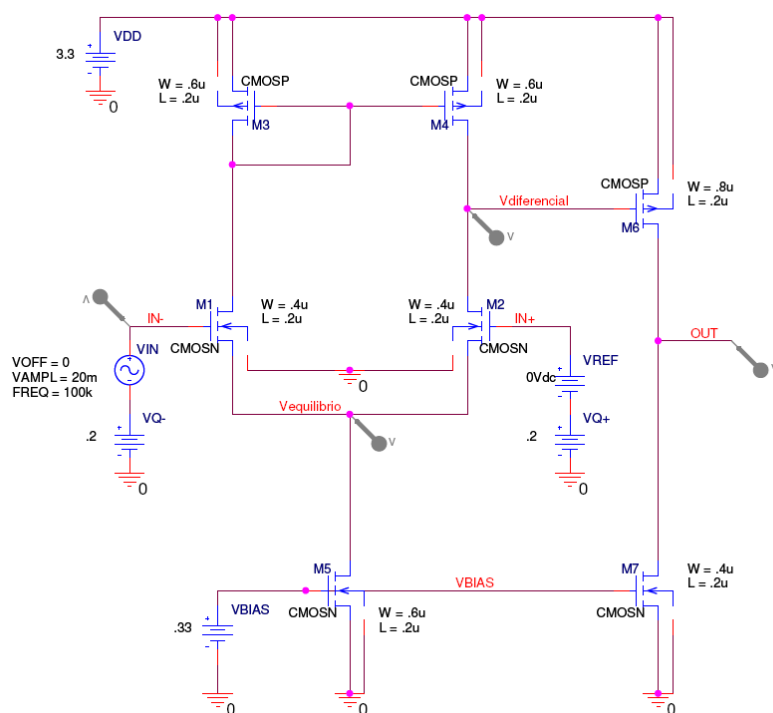
En este caso obtenemos los niveles necesarios, aunque estos no sean estables, igual son satisfactorios para el dispositivo a desarrollar más adelante, ya que a la salida del comparador va conectado un Flip-Flop, el cual puede interpretar de manera acertada las distintas tensiones que nos da el comparador a su salida como un nivel lógico alto en el lapso de tiempo en que dicha salida se encuentra por arriba de 2.8 voltios, el cual es lo suficientemente prolongado.

Como prueba de que dicho dispositivo funciona correctamente hasta el momento, realizamos una prueba a niveles de tensión de entrada de 200mV y una tensión de referencia de 150mV, ambas montados sobre 200mV los cuales son el resultado de la tensión de polarización de entrada VQ, dándonos como resultado un punto de cambio ubicado a los 350mv aproximadamente, y teniendo en cuenta que nuestro comparador posee una resolución de aproximadamente 25mV para generar un cambio significativamente rápido.

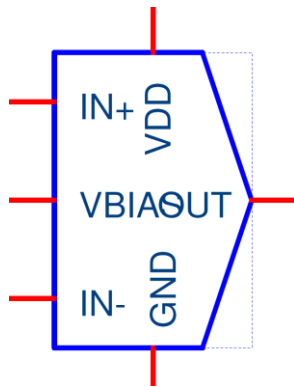


CONCLUSION:

Este diseño fue el resultado de reiteradas modificaciones y pruebas realizadas para obtener los niveles de tensiones necesarios para que la tecnología CMOS de 3.3 voltios la interprete. Para ello probamos dicho diseño con unas pequeñas modificaciones en la tensión VBIAS y en la tensión VAMPL para poder determinar con que configuración obteníamos la mayor resolución con exitosos valores de tensión y corriente en frecuencias de los 100KHz a 1MHz.

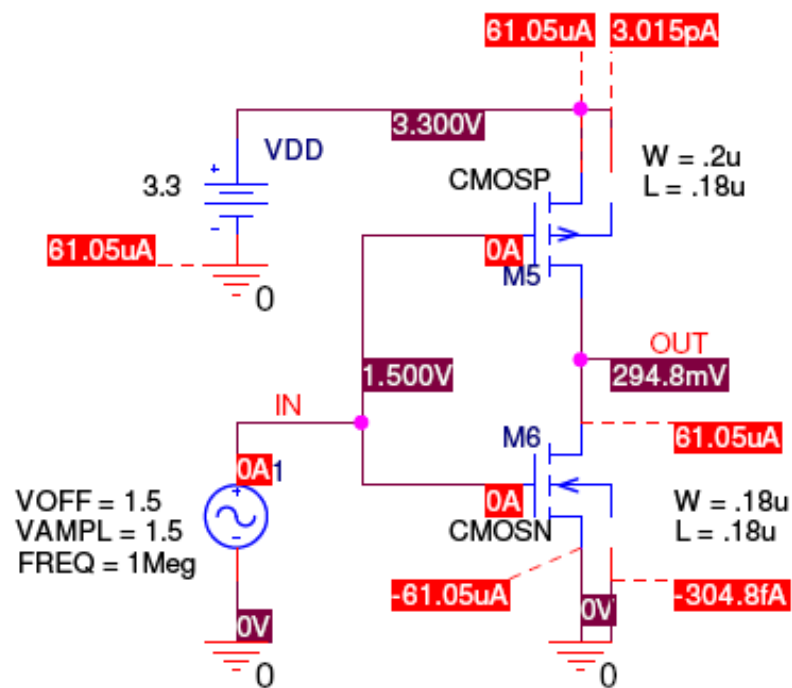


La representación del COMPARADOR a niveles superiores como componente es la siguiente:

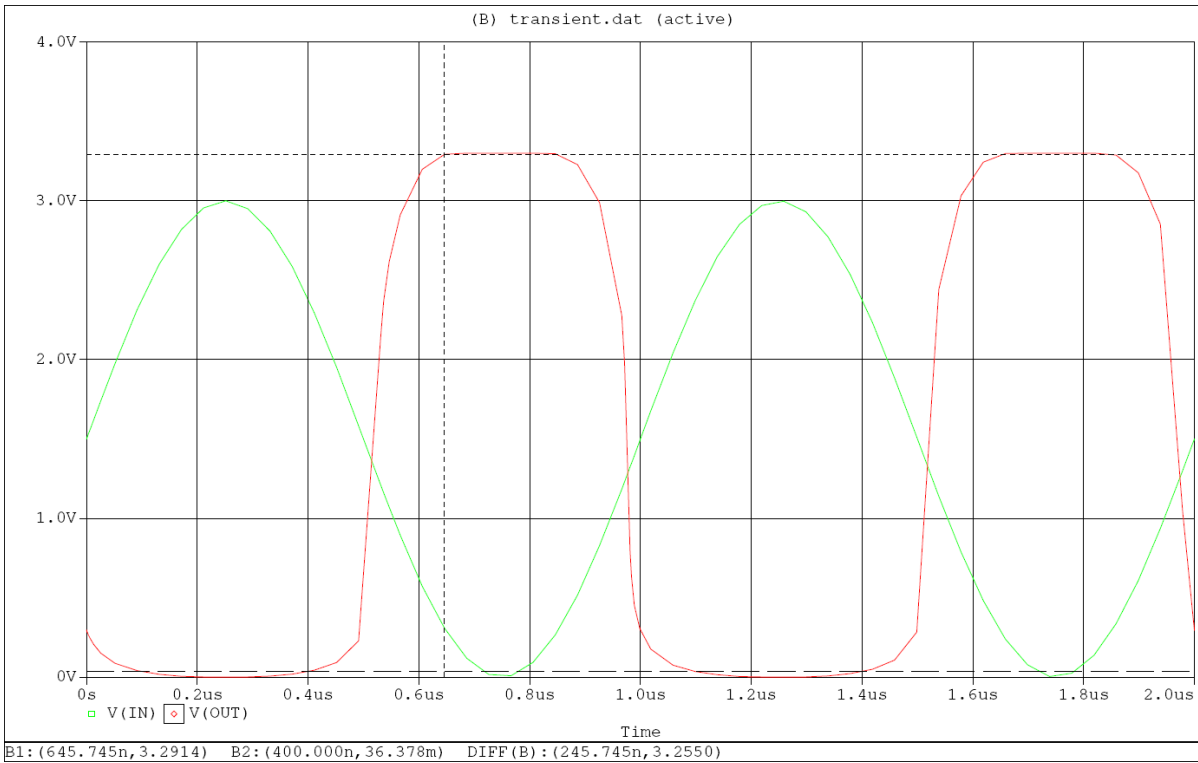


COMPUERTAS NOR

Esquemático y análisis de bias:



Análisis de transitorio:

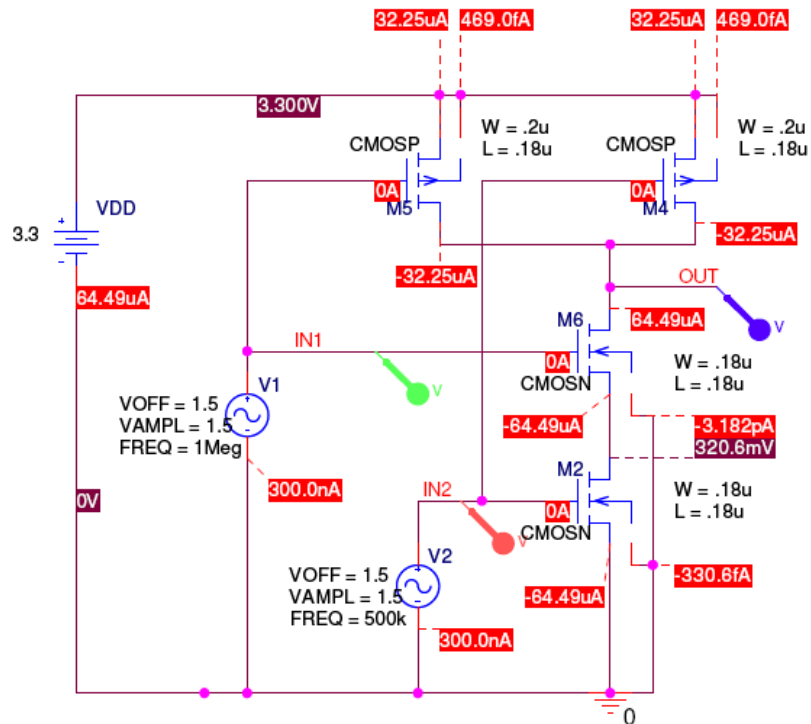


representacion

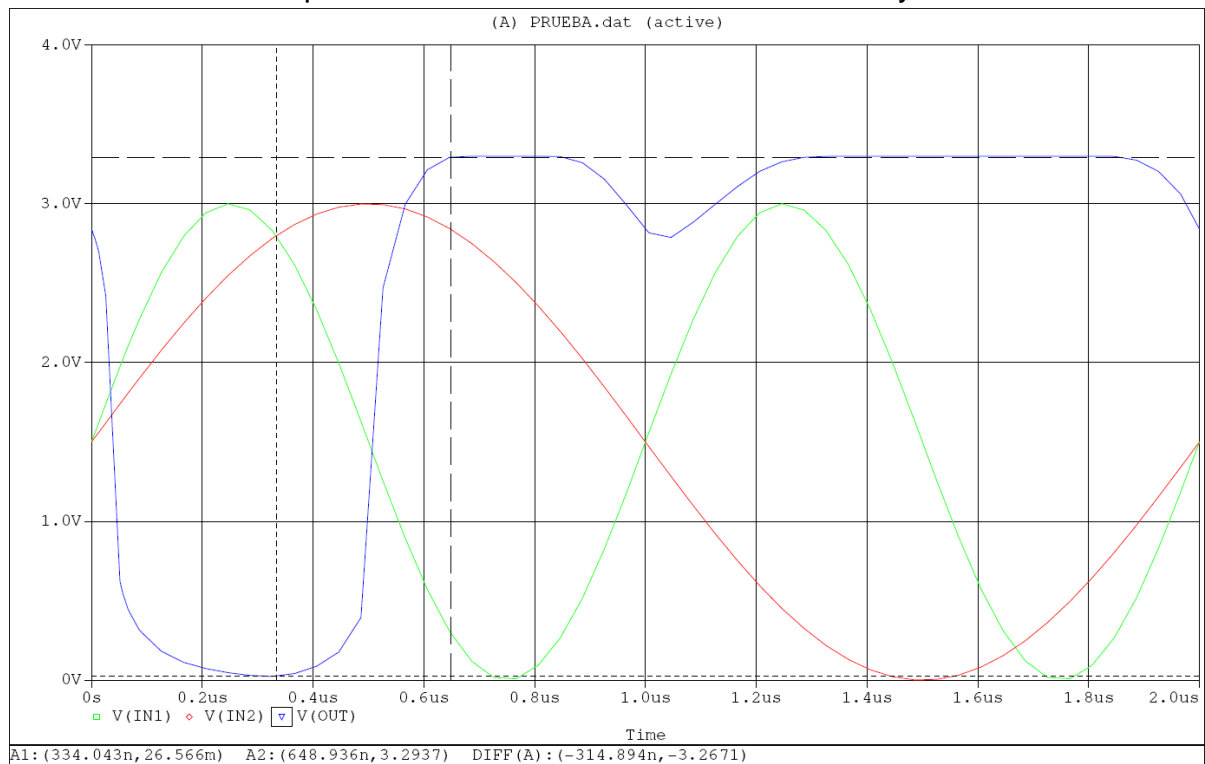
COMPUERTAS NAND

COMPUERTA NAND DE 2 ENTRADAS

Esquemático y análisis de bias:



Transitorio de la compuerta con señales de entradas de 1MHz y 500KHz:

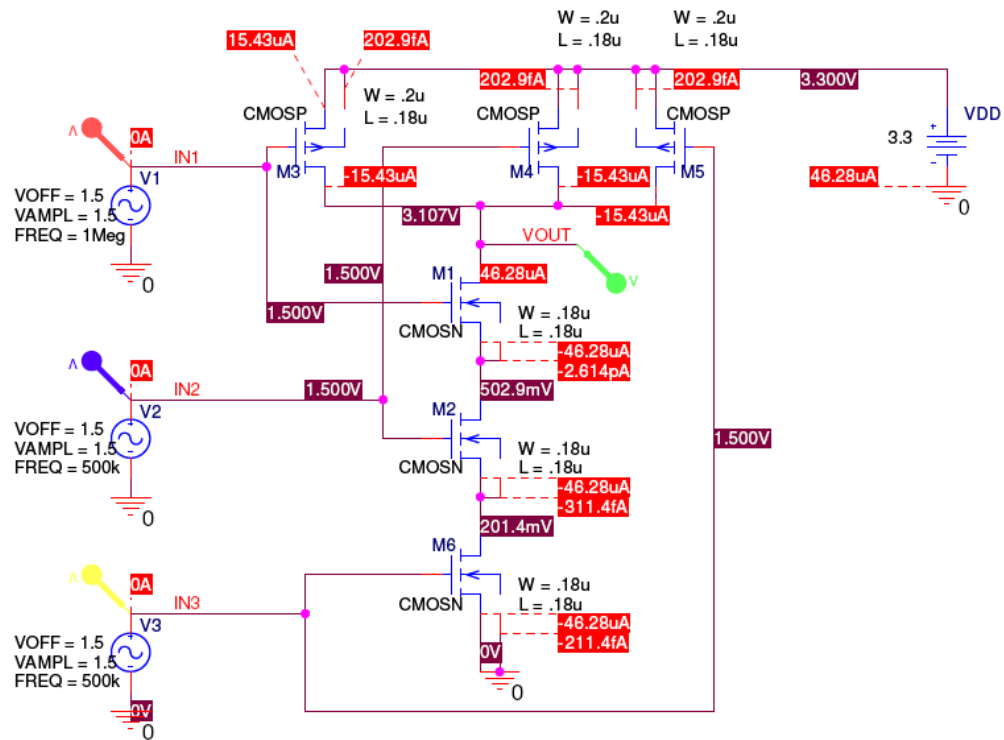


Observamos que los niveles de tensión de salida y la velocidad de respuesta de la compuerta son muy satisfactorios a estas velocidades. El único problema observado es el intento de cambio de estado ubicado en 1 microsegundo, el

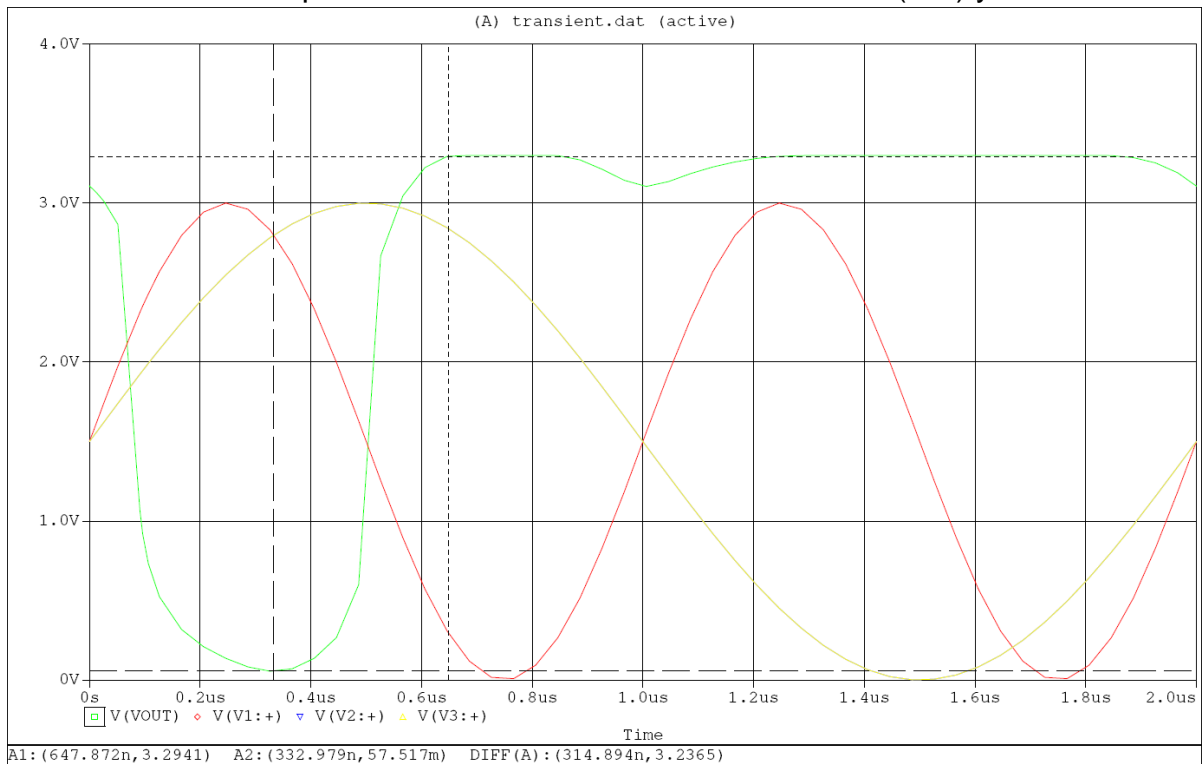
cual se genera durante el proceso de transición de ambos transistores CMOSN (M6 Y M2) que cambian su estado de reposo individual generado por las tensiones de entrada. Este intento de cambio puede más adelante generarnos algunas alteraciones en el sistema lógico, por lo cual habrá que tenerlo en consideración, igualmente, los niveles de tensión entre los que se hace presente dicha perturbación (2.8 y 3.3 voltios) son considerados por la tecnología CMOS de 3.3 voltios como un 1 lógico.

COMPUERTA NAND DE 3 ENTRADAS

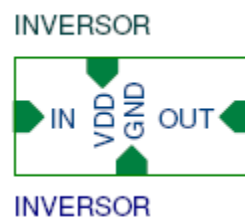
Esquemático y análisis de bias:



Transitorio de la compuerta con señales de entradas de 1MHz (IN1) y 500KHz:



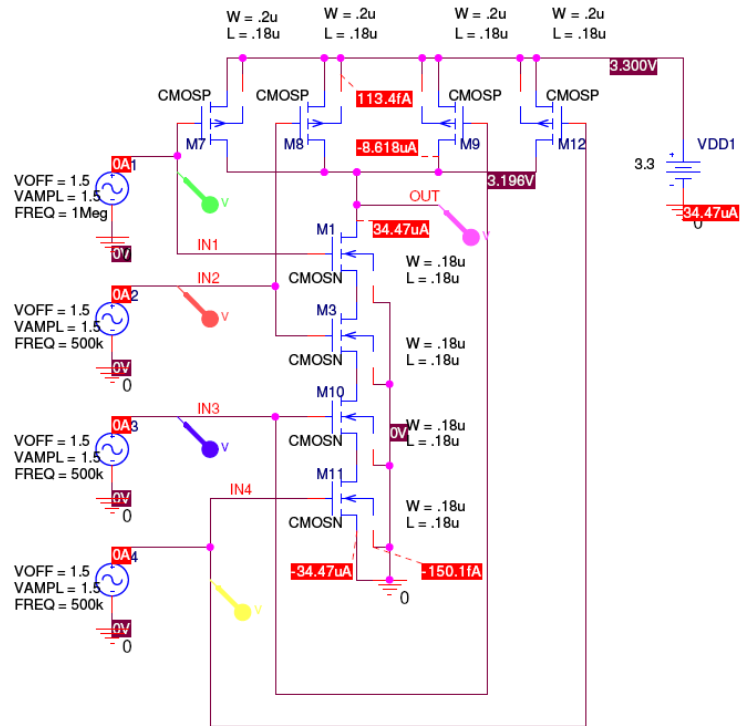
La representación en niveles jerárquicos superiores de las compuertas NOR



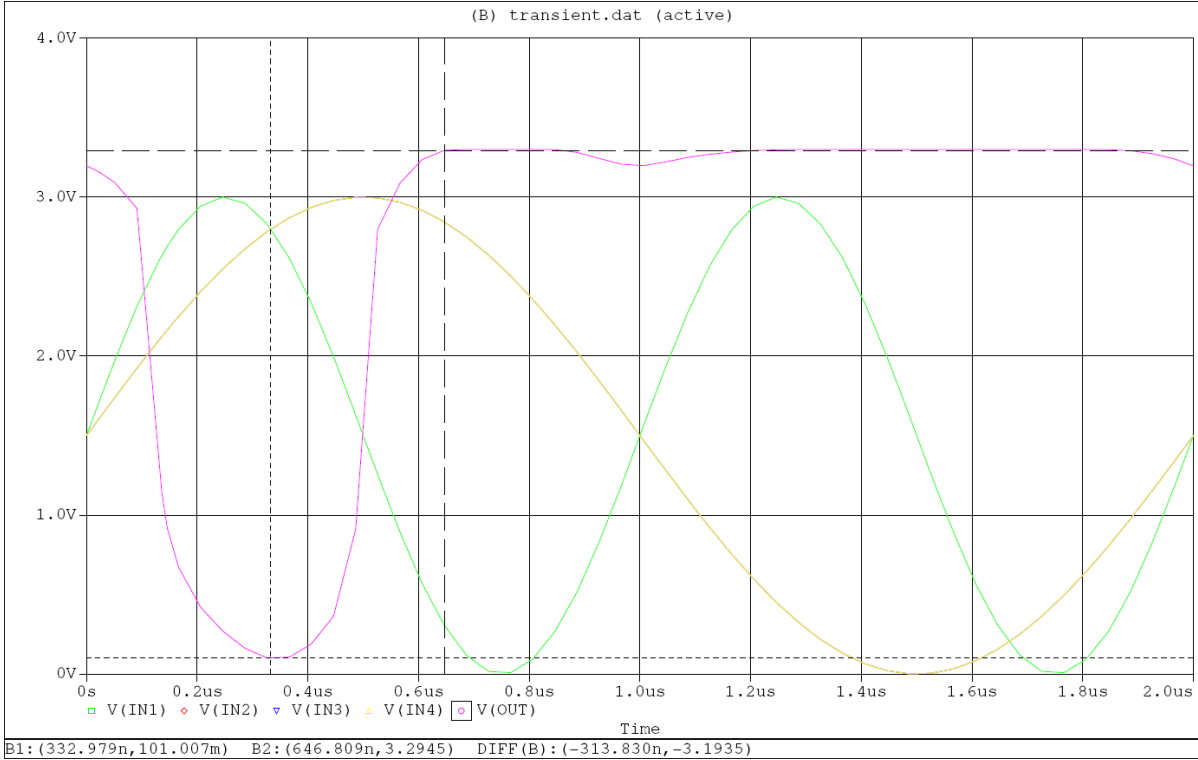
como bloque es la siguiente:

COMPUERTA NAND DE 4 ENTRADAS

Esquemático y análisis de bias:

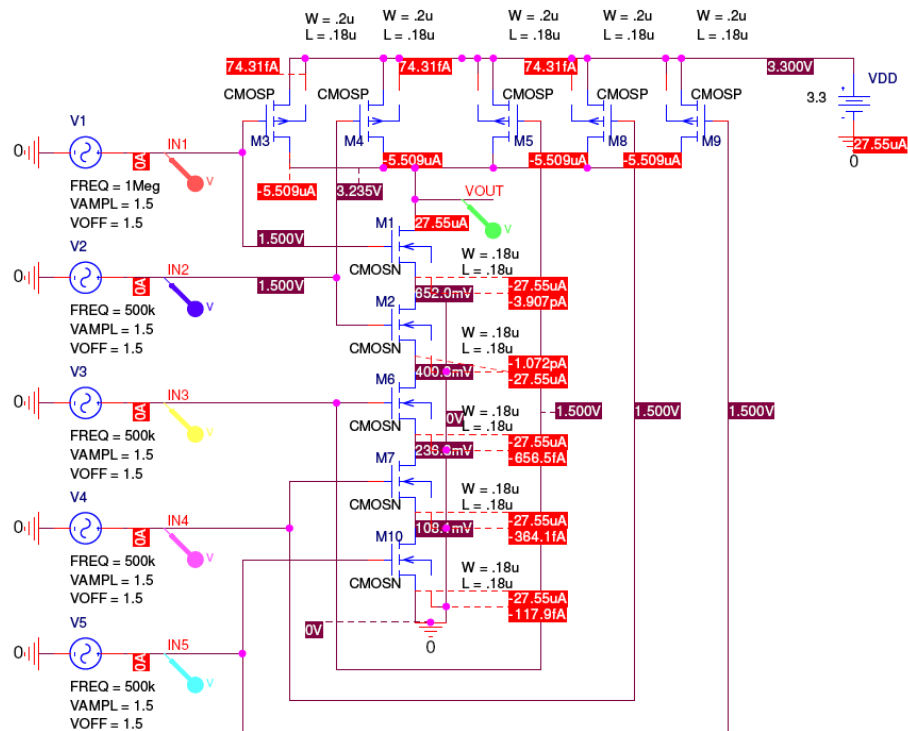


Transitorio de la compuerta con señales de entradas de 1MHz (IN1) y 500KHz:

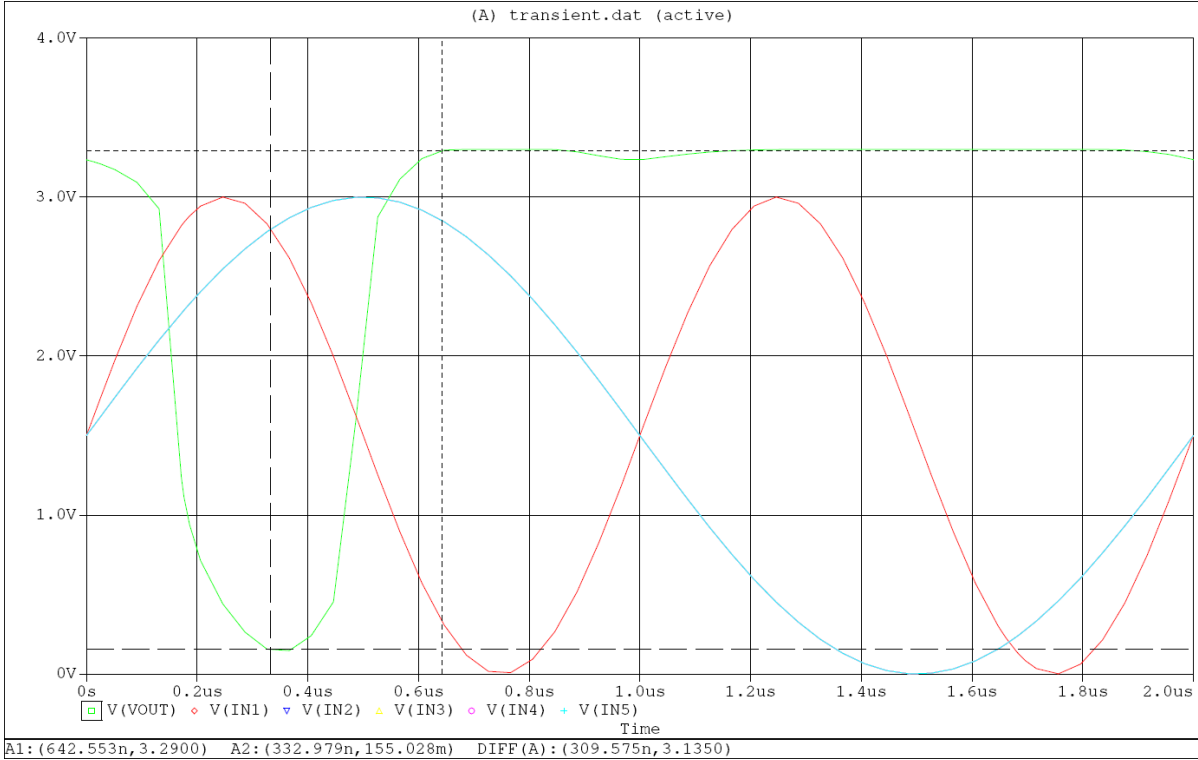


COMPUERTA NAND DE 5 ENTRADAS

Esquemático y análisis de bias:

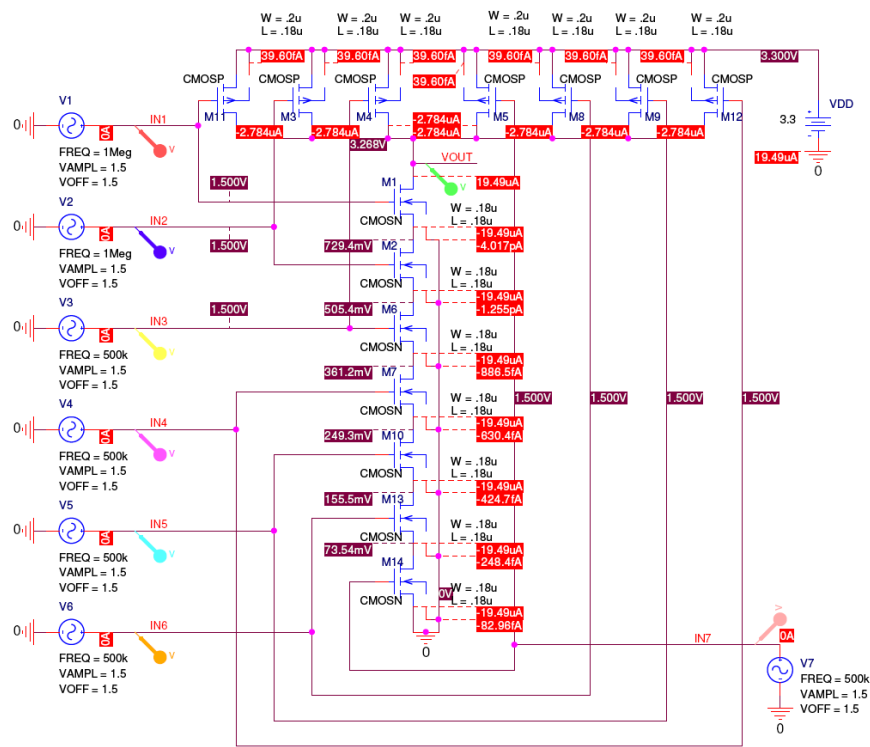


Transitorio de la compuerta con señales de entradas de 1MHz (IN1) y 500KHz:

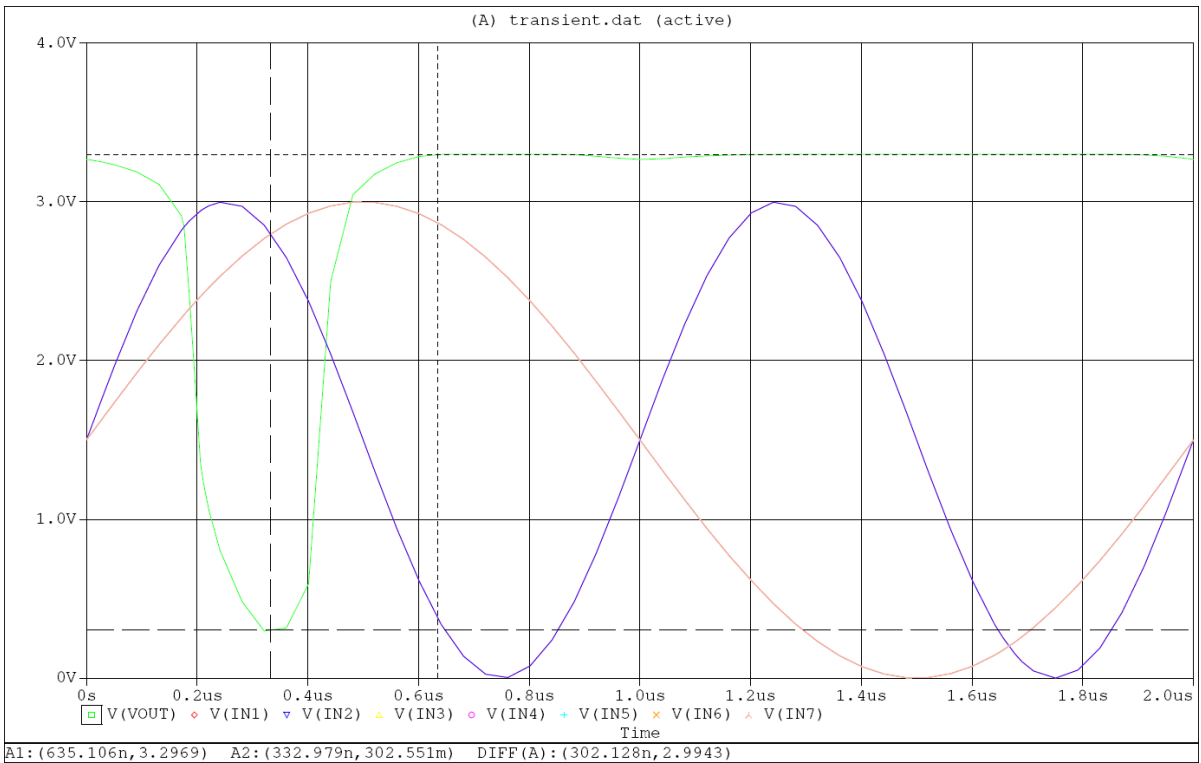


COMPUERTA NAND DE 7 ENTRADAS

Esquemático de la compuerta:

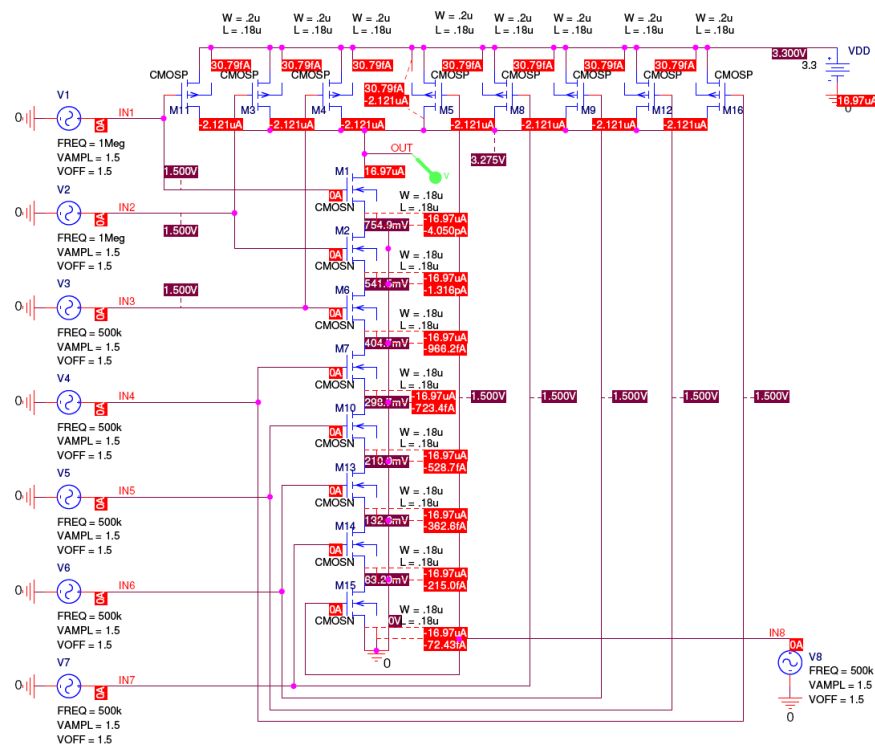


Transitorio de la compuerta con señales de entradas de 1MHz (IN1 e IN2) y 500KHz:

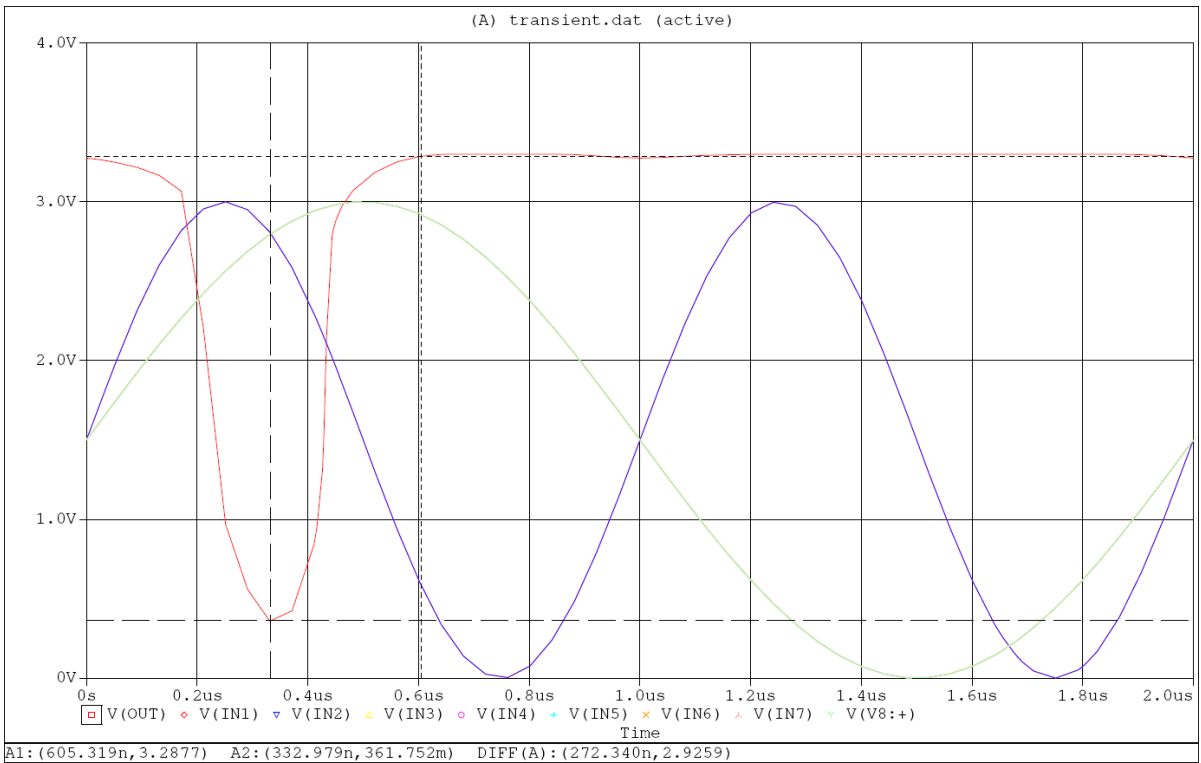


COMPUERTA NAND DE 8 ENTRADAS

Esquemático de la compuerta:



Transitorio de la compuerta con señales de entradas de 1MHz (IN1 e IN2) y 500KHz:

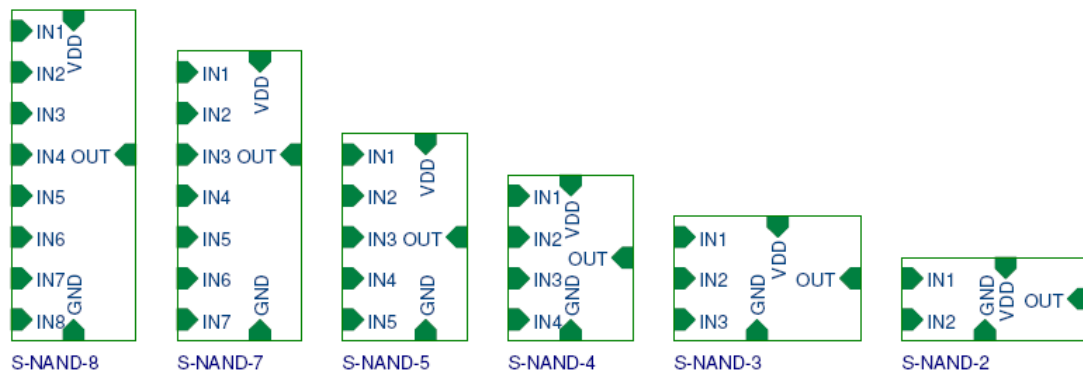


A medida que fuimos aumentando la cantidad de entradas de las compuertas NAND, desde la de 2 entradas hasta la de 8, vimos que la perturbación

generada en los momentos de transición de estados de las distintas entradas fue disminuyendo, lo cual se debe al aumento de transistores CMOSN en serie que aceleran la respuesta de la salida ayudándola a estabilizarse, ya que la acción de cualquiera de esos transistores en serie, afecta al cambio de estado de los demás. Como desventaja de esta serie de CMOSN, el nivel de tensión que representa el nivel lógico bajo (0 lógico) en la salida de la compuerta fue incrementándose generado por la diferencia de potencial que se genera entre los drenadores y surtidores de cada transistor (VDS), a pesar de que estos se encuentren abiertos completamente, lo que nos eleva la tensión que representa nuestro CERO lógico.

El aumento de transistores CMOSN también genero cambios en los niveles de salida, aumentando la pendiente ascendente de la salida de la compuerta, permitiendo una respuesta más veloz de transición del CERO al UNO lógico, pero como contracara, la serie de transistores CMOSN disminuye la pendiente de respuesta descendente de la compuerta, generando una transición mas lenta desde el UNO al CERO lógico.

Las representaciones en niveles jerárquicos superiores de las compuertas NAND como bloques son las siguientes:

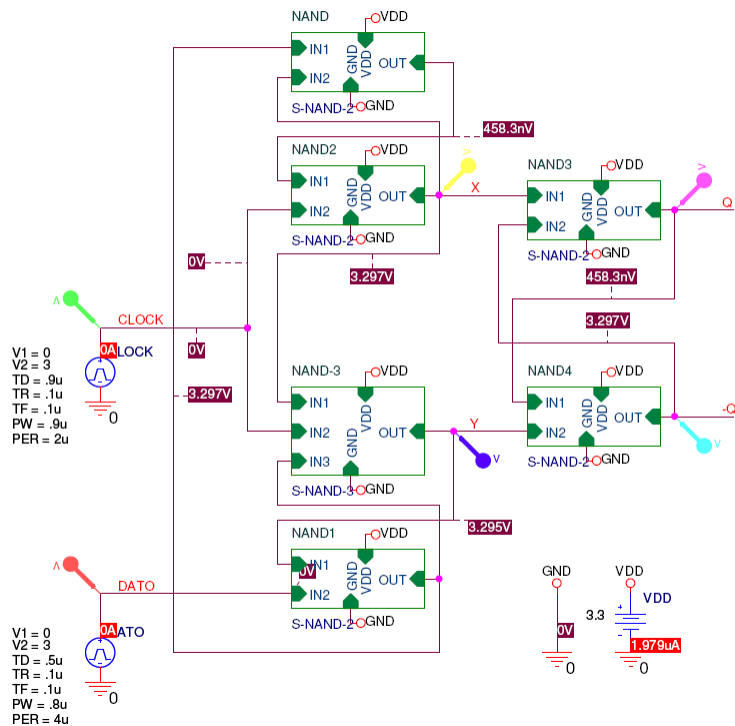


BIESTABLES

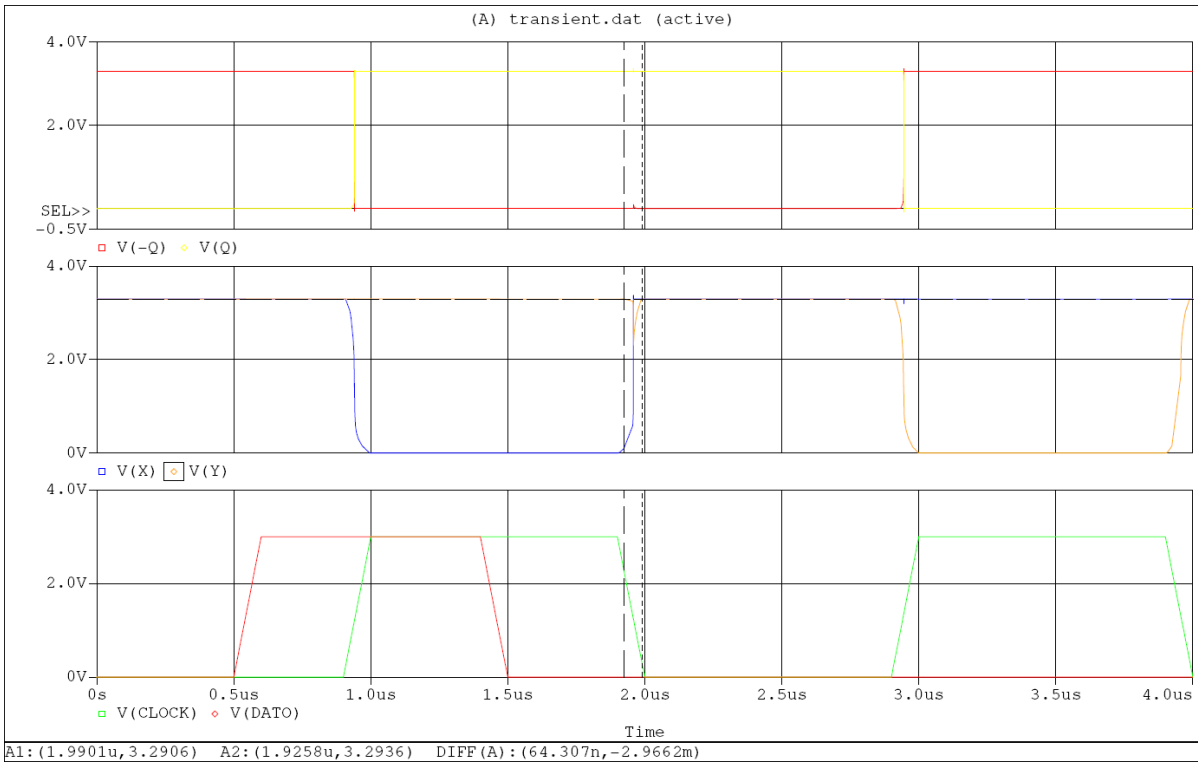
FLIP-FLOPs D

El Flip-Flop D diseñado fue armado con compuertas NAND de 2 y 3 entradas representadas por sistemas Hierchycals (S-NAND-2 y S-NAND-3 respectivamente).

Esquemático del componente:

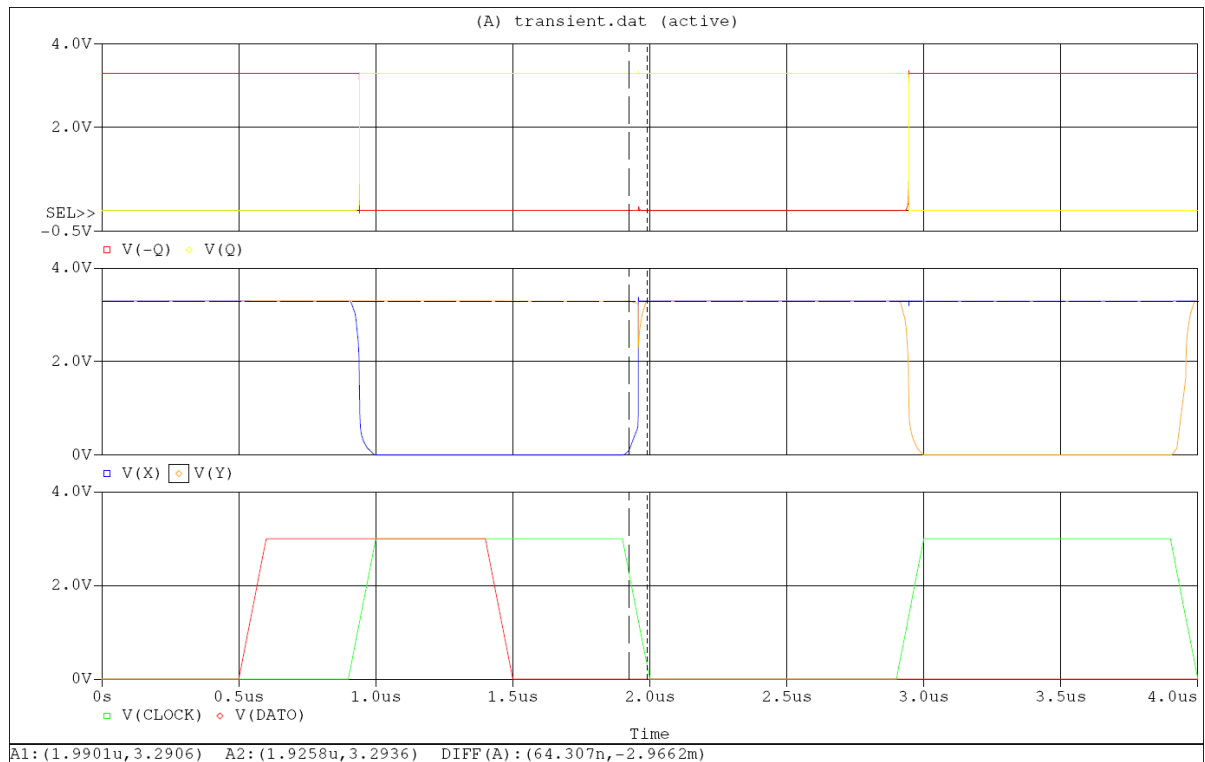


Análisis transitorio a 1 MHz de frecuencia de clock:



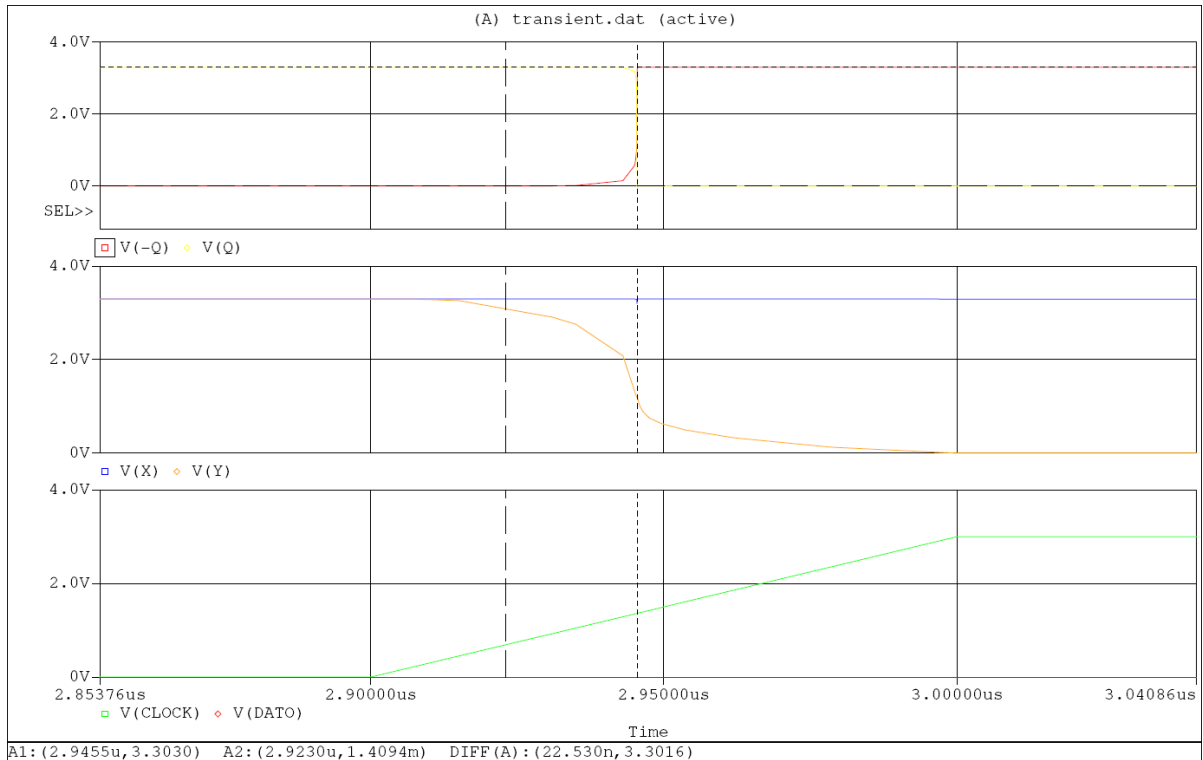
Al observar el análisis, podemos notar que existe una perturbación generada por el sistema al tiempo de simulación 2us., la cual se genera en el flanco de bajada de la señal de CLOCK, la que perturba el estado estable en el cual se encontraba la compuerta NAND-3, intentando generar un cambio de estado en esta última.

Perturbaciones observadas en el análisis:



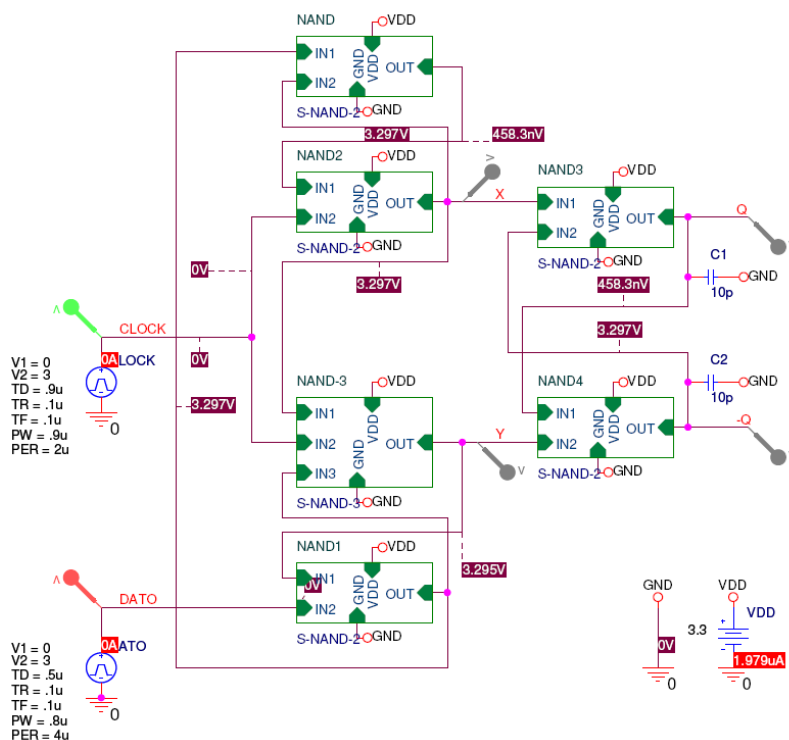
La perturbación genera alcanza a disminuir la tensión del NODO Y considerablemente hasta tensiones de 2.2 voltios, las cuales para la tecnología CMOS de 3.3 voltios que estamos utilizando, para a estar en la franja de incertidumbre del dispositivo, por lo que nos arrastra dicha perturbación a la salida del Flip-Flop, pudiendo ocasionar problemas como el cambio de estado del mismo, ya que dicha perturbación está siendo incorporada al lazo de realimentación del mismo.

Tiempos de respuesta del lazo realimentado:

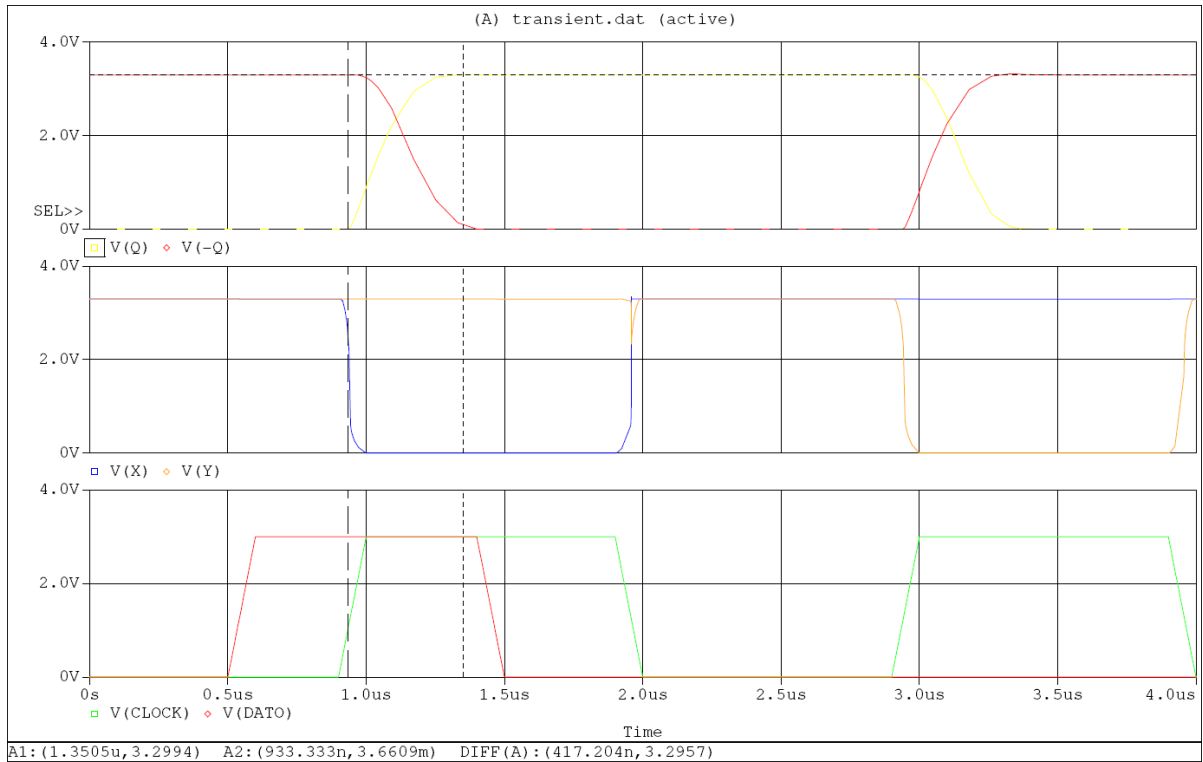


Luego de analizar las causas de estas perturbaciones, llegamos a encontrar la solución de compromiso la cual consta de un capacitor ubicado en la entrada IN2 de la compuerta NAND4, permitiendo así absorber la perturbación que se genera a la salida de la compuerta NAND-3 causada por el cambio del estado de clock (en el flanco de bajada).

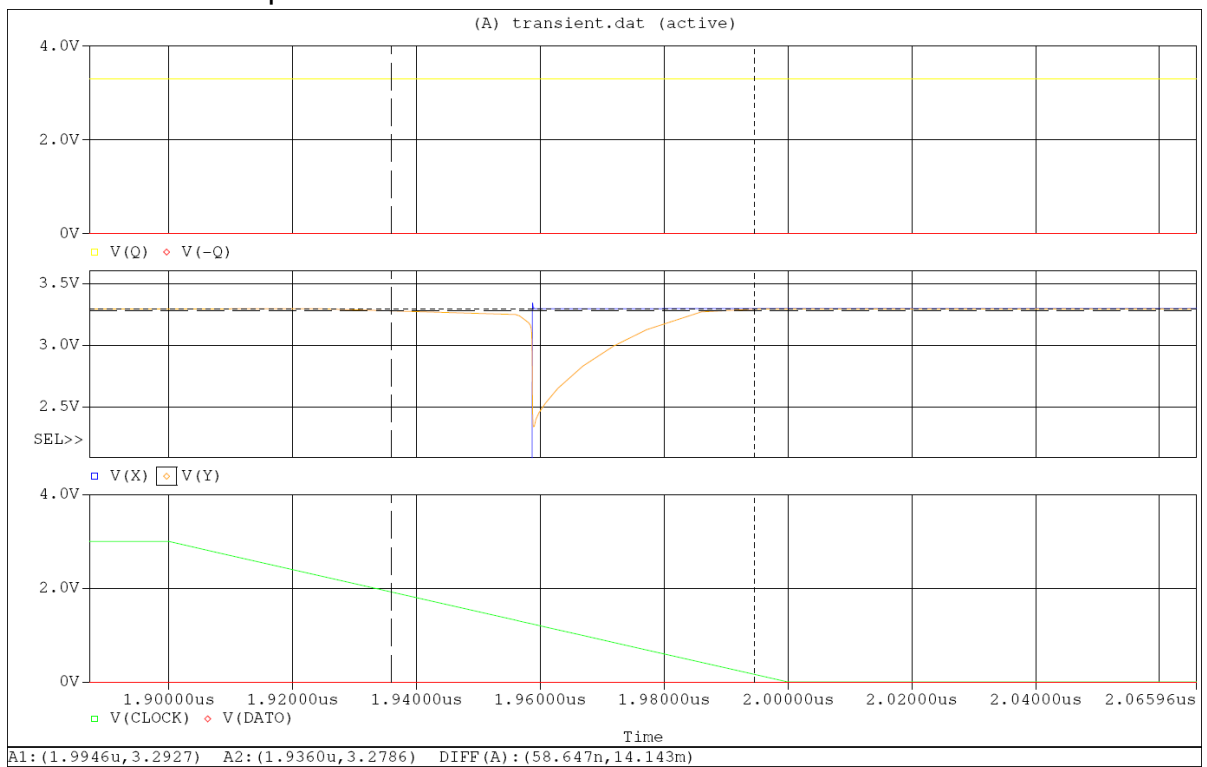
Esquemático con capacitor de 10p en el lazo de realimentación:



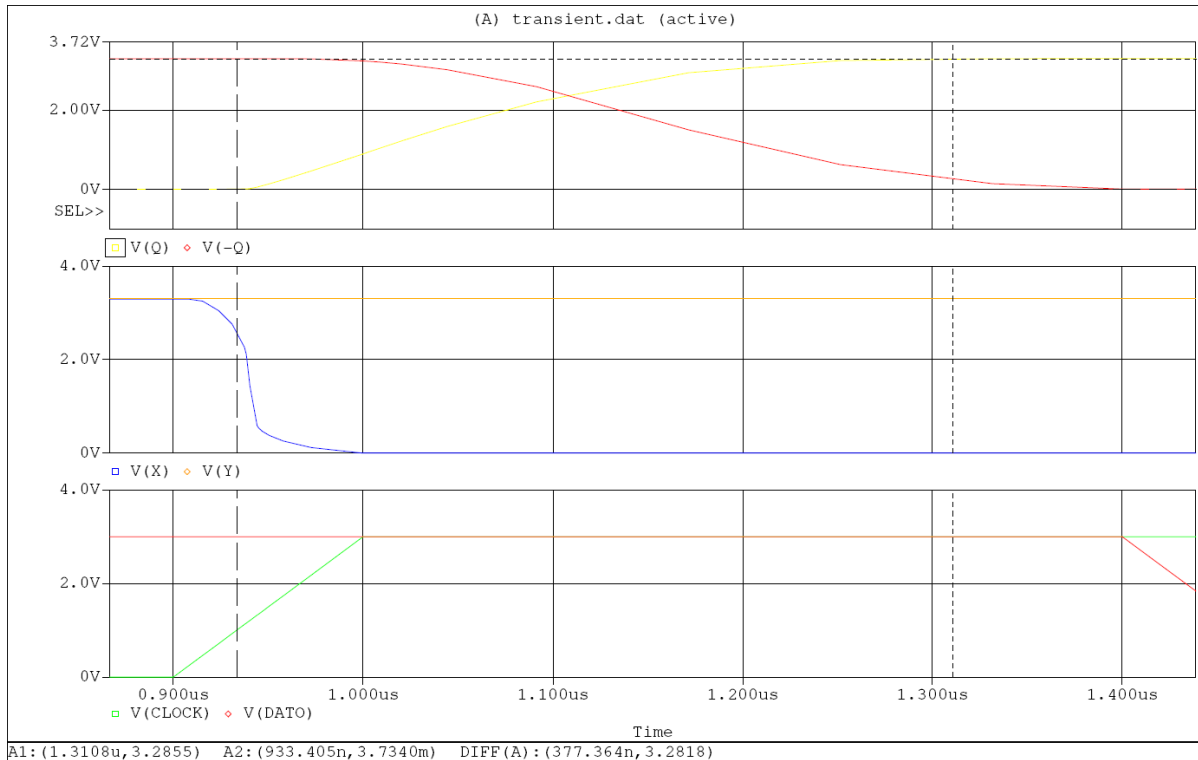
Análisis transitorio a 1 MHz de frecuencia de clock:



Acercamiento a la perturbación:



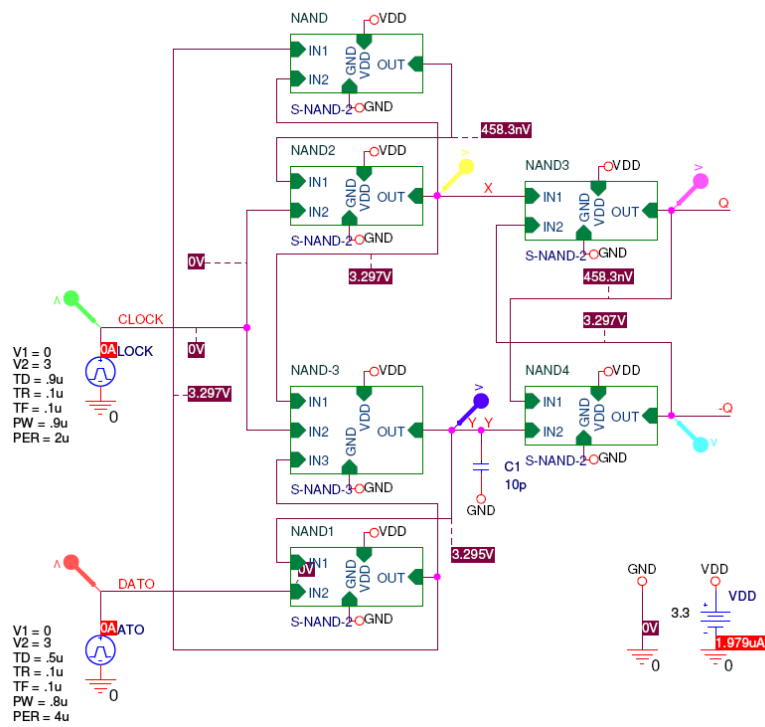
Tiempos de respuesta al cambio de estado:



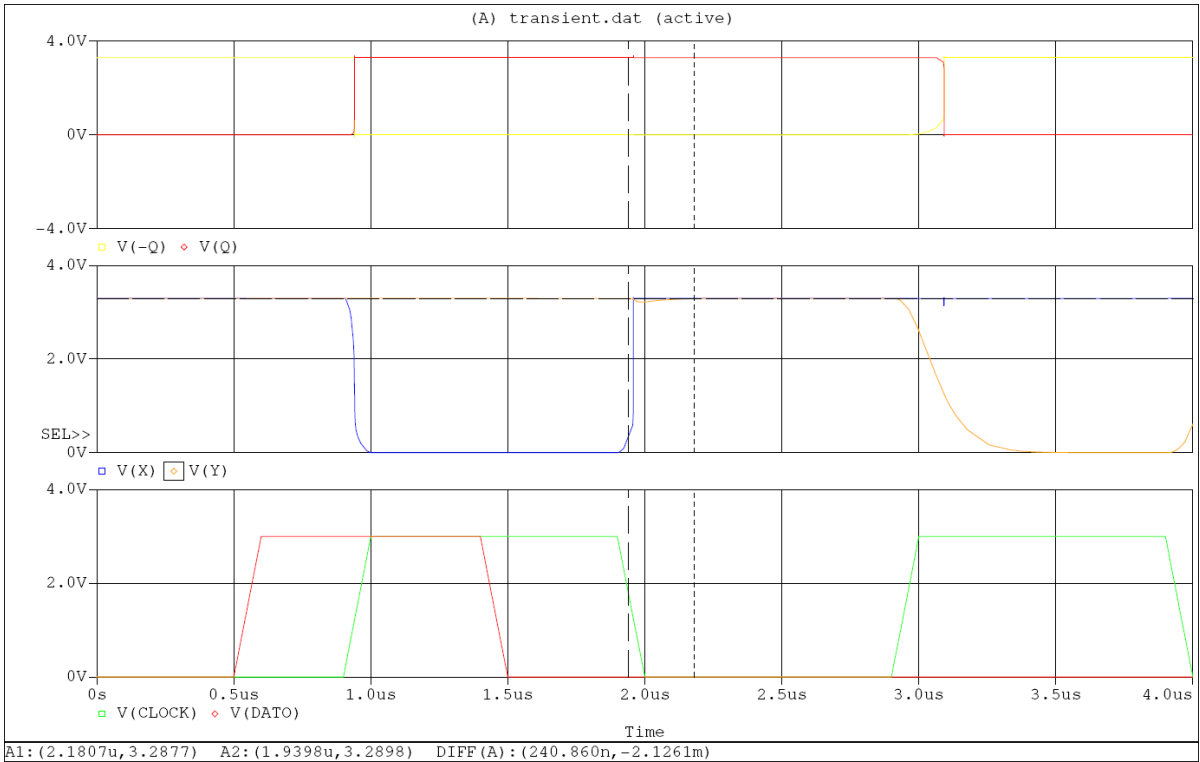
Luego de realizar las pruebas con las modificaciones en el esquemático, obtuvimos como resultado que las perturbaciones en el NODO Y no fueron eliminadas, pero si sus repercusiones en el lazo de realimentación que nos determinan las salidas Q y -Q, por lo cual estaríamos eliminando la posibilidad de cambio de estado de la misma a cause de que estas perturbaciones sean de mayor magnitud. El problema con esta modificación del circuito es el retardo que incorporan estos capacitores a la respuesta estable del lazo, el cual está determinado por las salidas de ambas compuertas, las cuales son Q y -Q. Por el momento, dichos retardos no nos perjudican el funcionamiento, pero luego, en el diseño total del conversor, son estas salidas las que van a determinar el dato lógico a convertir por el decodificador, por lo cual, necesitamos que estén estables y a niveles correctos lo antes posible para asegurar la correcta codificación del sistema.

Como mejora a este esquemático, decidimos probar evitar que se produzca la perturbación en el NODO Y antes de que se propague al lazo de realimentación sacando los capacitores C1 y C2 del lazo y ubicarlos en el NODO Y, así evitamos que se produzca el gliche y el retardo en el lazo de realimentación de la salida (Q y -Q).

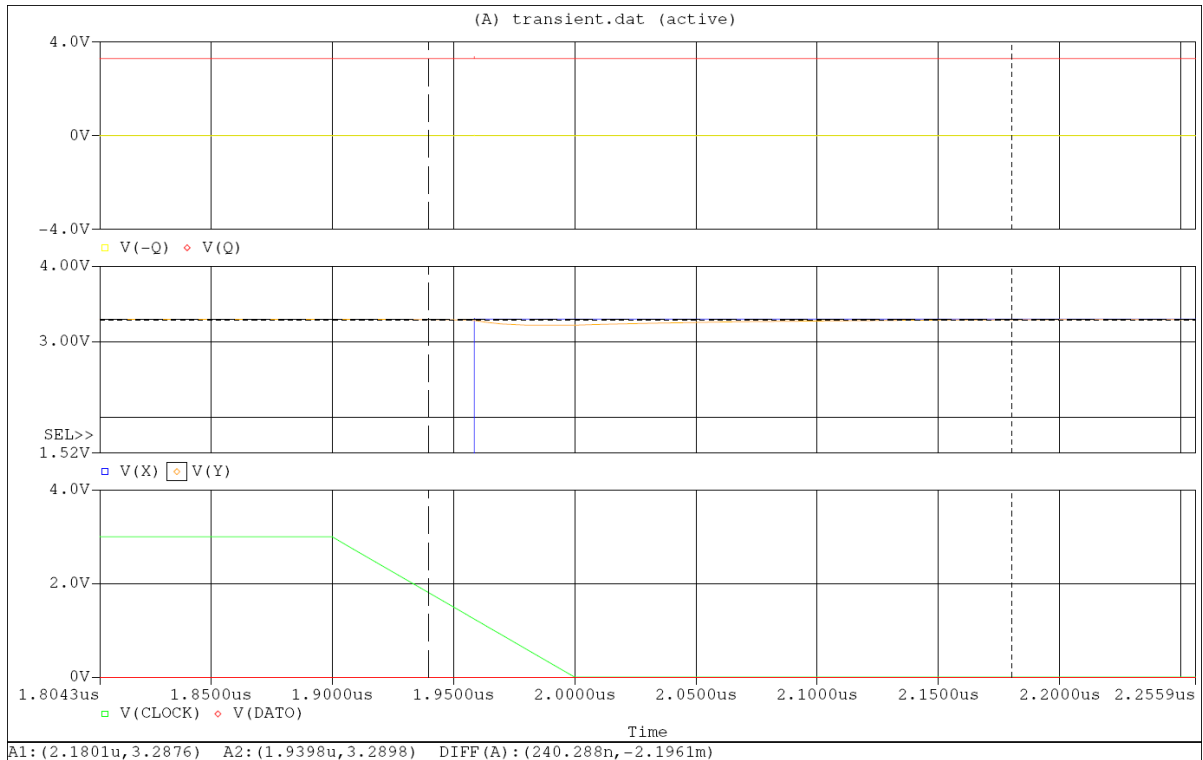
Esquemático del componente con capacitor de 10p en el NODO Y:



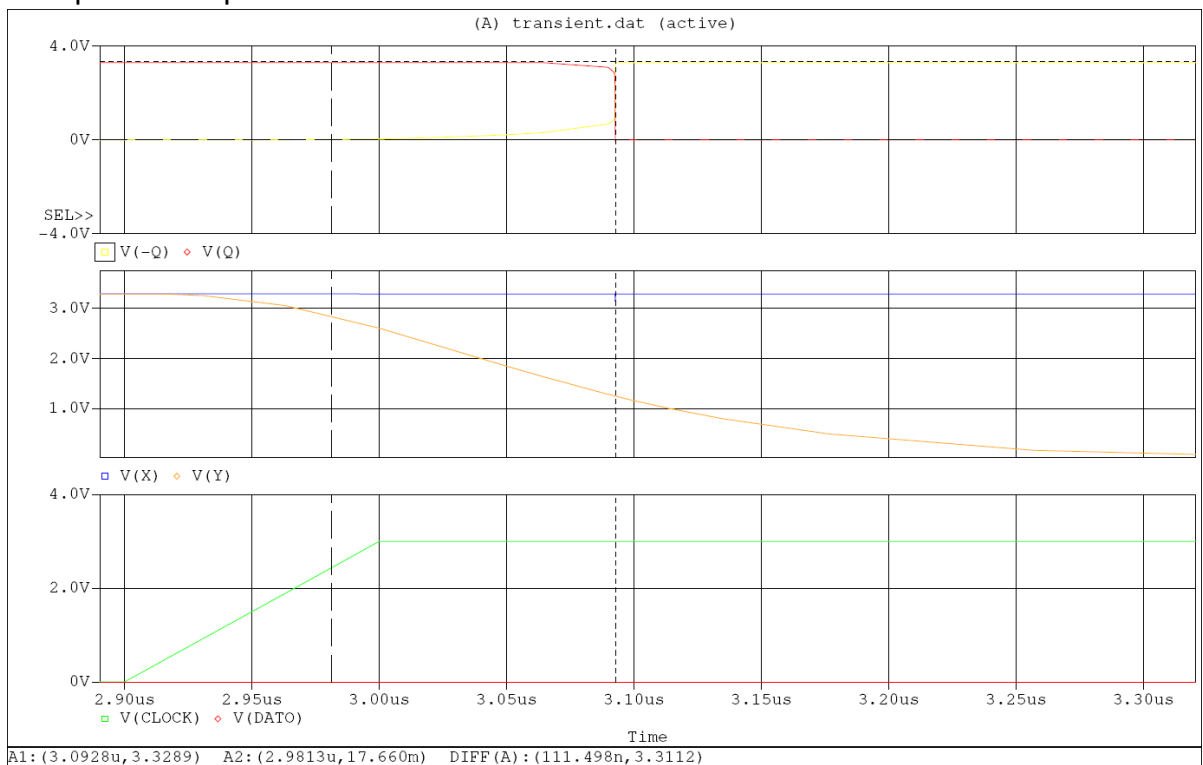
Análisis transitorio a 1 MHz de frecuencia de clock:



Acercamiento a la perturbación:

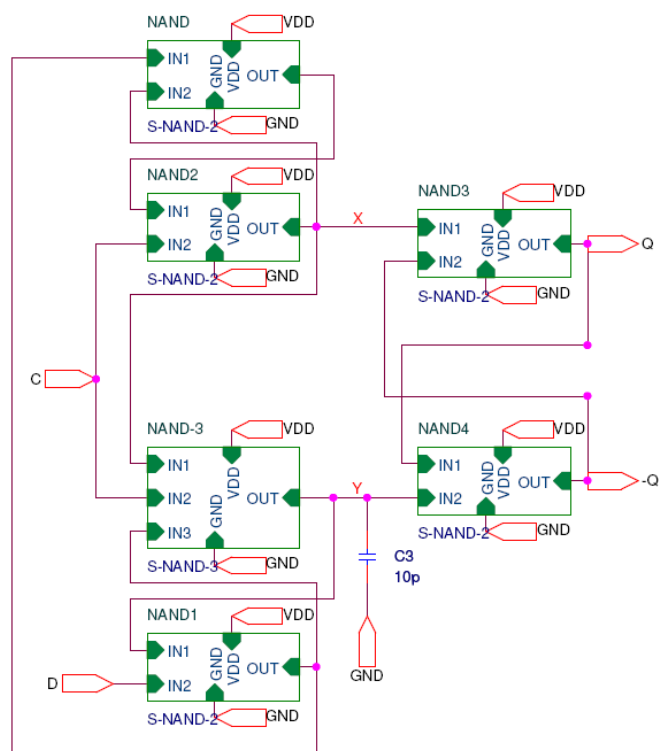


Tiempos de respuesta al cambio de estado:

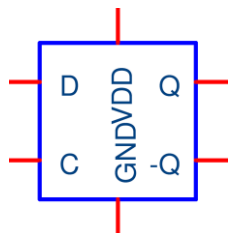


En el diseño podemos observar la presencia de un capacitor (C3) el cual cumple la función de atenuar de la entrada de la compuerta NAND4 los gliches generados por el flanco descendiente del clock, el cual generaba, en algunas ocasiones, cambios de estado del biaestable, y en otras, perturbaciones a la salida lógica del mismo.

El diseño final del biestable D final es el siguiente:

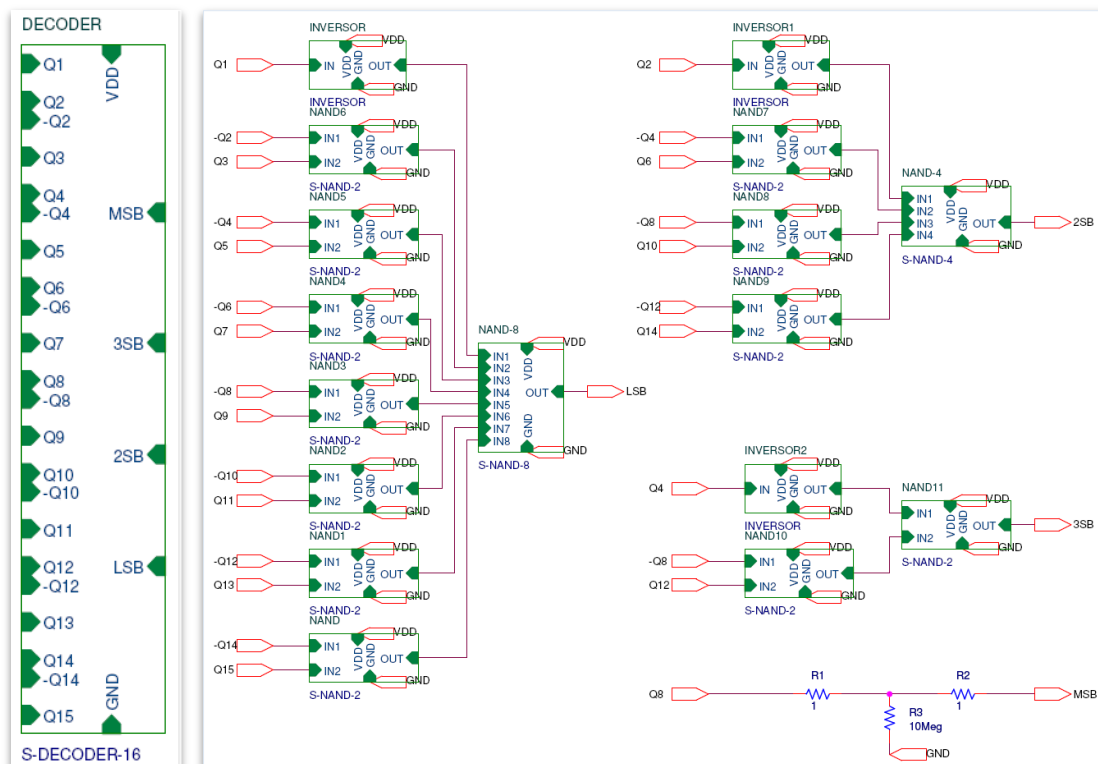


La representación del bloque FFD a niveles superiores como componente es la siguiente:



DECODIFICADOR 16/4 BITS

Esquemático de Layer 1(izquierda) y Layer 2(derecha):



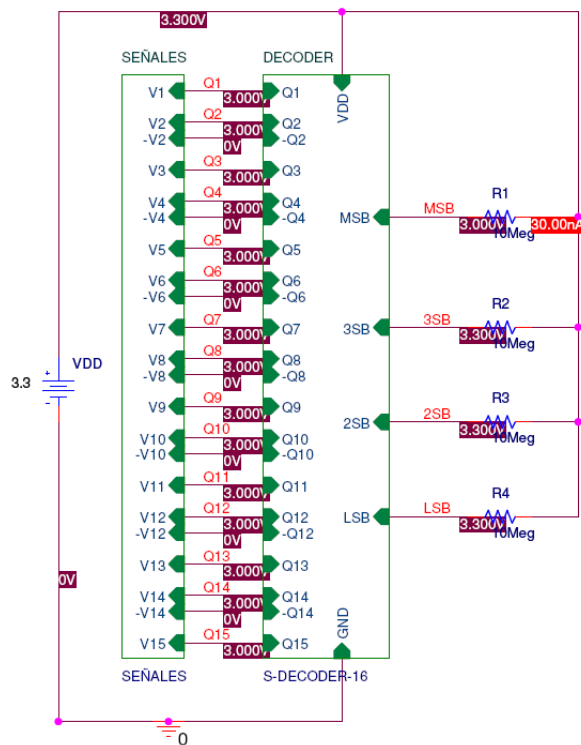
El decodificador arriba representado está conformado por dos Layers.

El primer grafico corresponde al Layer 1, el cual es el nivel superior del diseño. En la parte superior del grafico observamos la leyenda DECODER, esta identifica el bloque en su función, y en su inferior, la leyenda S-DECODER-16 que nos identifica al bloque DECODER como un bloque hierarchycal (jerárquico) del esquemático que se encuentra a su derecha, el cual posee este nombre y se encuentra en un nivel jerárquico menor (es el Layer 2). En el podemos observan las distintas entradas y salidas que forman el decodificador de 16/4 bits. En la sección izquierda de dicho esquema, encontramos las entradas desde la Q1 hasta la Q15, y las entradas negadas de las Q pares, necesarias para la lógica de decodificación de compuertas NAND. Del extremo derecho, tenemos las 4 salidas que representan los 4 bits decodificados a sistema binario (MSB , 3SB, 2SB y LSB).

El segundo grafico corresponde al Layer 2 del diseño, lo que nos ubica en un nivel jerárquico inferior al del esquemático del bloque DECODER. Esto representa internamente de forma esquemática al DECODER del Layer 1, podemos observar que posee las mismas entradas y salidas que el anterior, pero dispuestas de una forma distinta y con lógica involucrada entre ellas, las cuales son compuertas NAND representadas en un Layer 3 (cada bloque S-NAND posee un esquemático en su nivel inferior que está representado por los circuitos antes descriptos de las compuertas NAND).

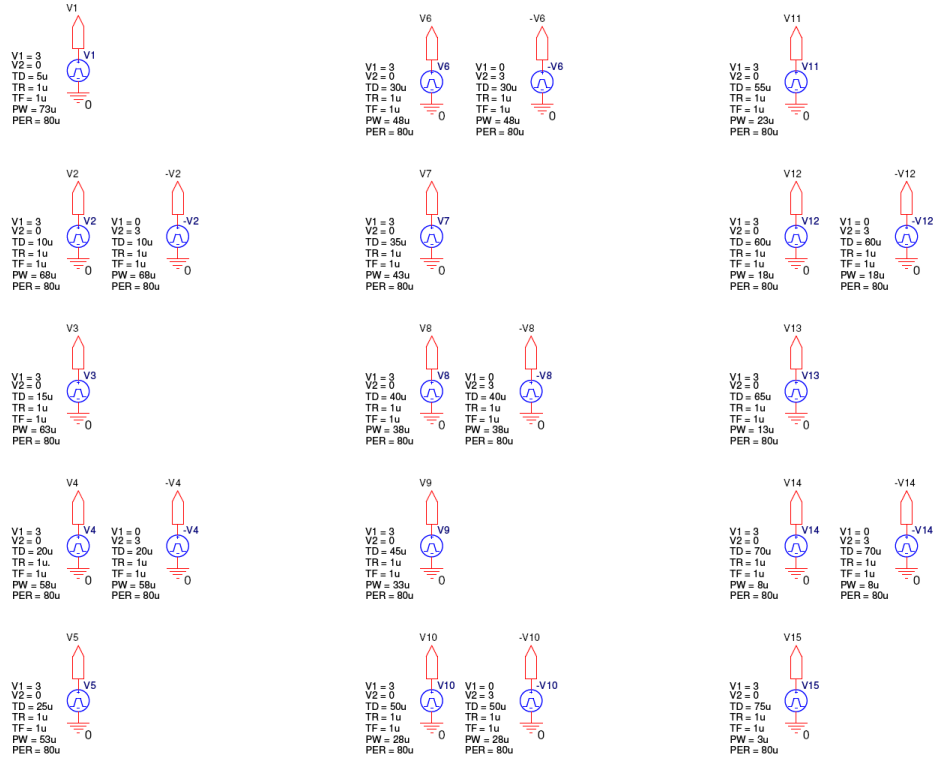
Haciendo una aclaración del Layer 2, tenemos a la vista que nuestra salida del bit mas significativo MSB, posee una configuración T de resistencias. Estas fueron incluidas en el diseño para permitir al sistema de simulación PSpice converger y simular, ya que si estas resistencias no se colocaban, el programa identificaba ese nodo como un nodo flotante, cuando lo único que representa es que la entrada Q8 pasa directamente a la salida MSB, o sea, que no lleva ninguna lógica intermediaria.

Esquemático y análisis de bias del Decodificador:

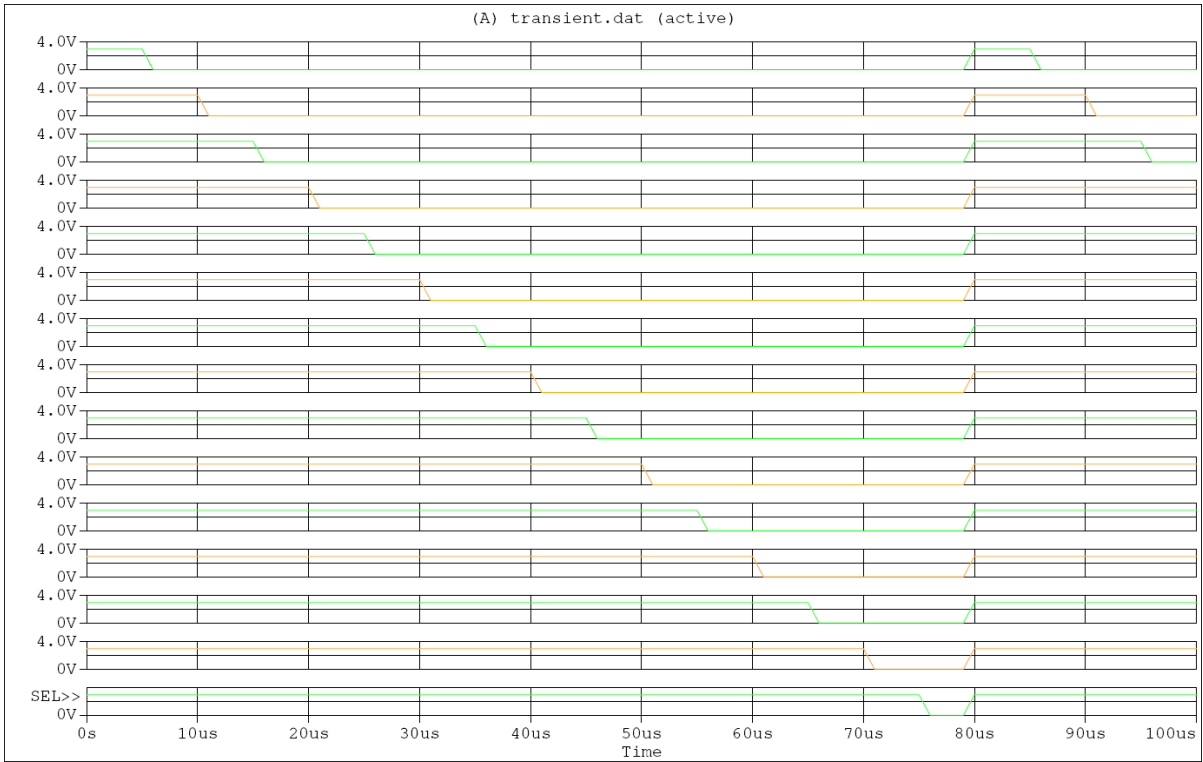


Probamos el funcionamiento del decodificador en dos etapas. Primero lo hicimos a frecuencias de señales de entrada de 100KHz para asegurarnos que la decodificación sea correcta y evitar cualquier tipo de mal decodificación por problemas de retardo.

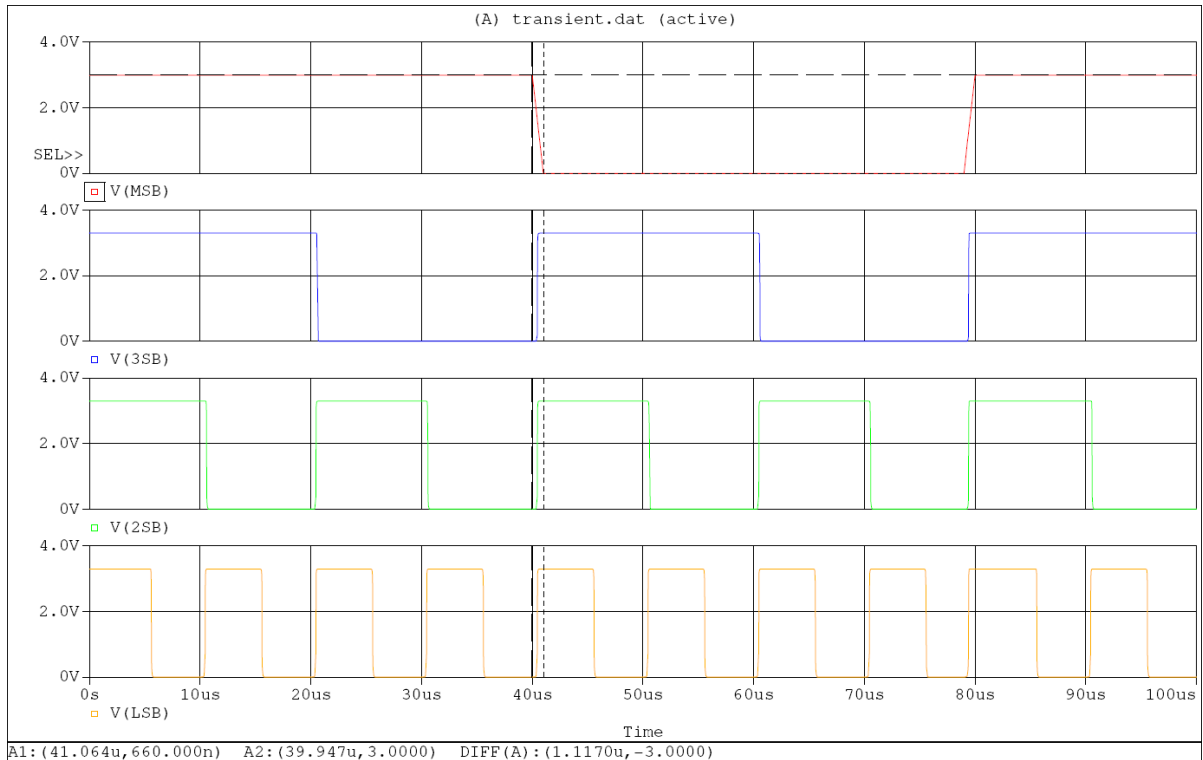
Esquemático de las señales de entrada (100KHz):



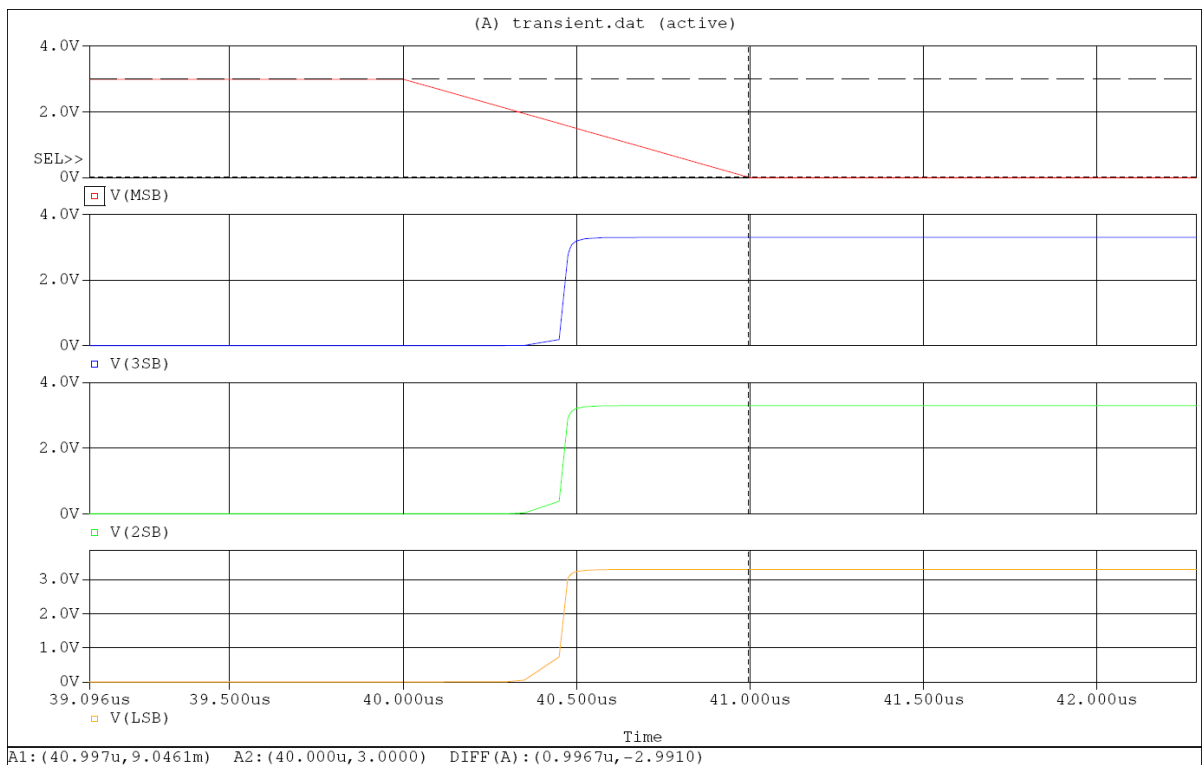
Transitorio de las señales de entrada:



Transitorio de las señales de salidas:



Zoom de la transición de las señales de salida:

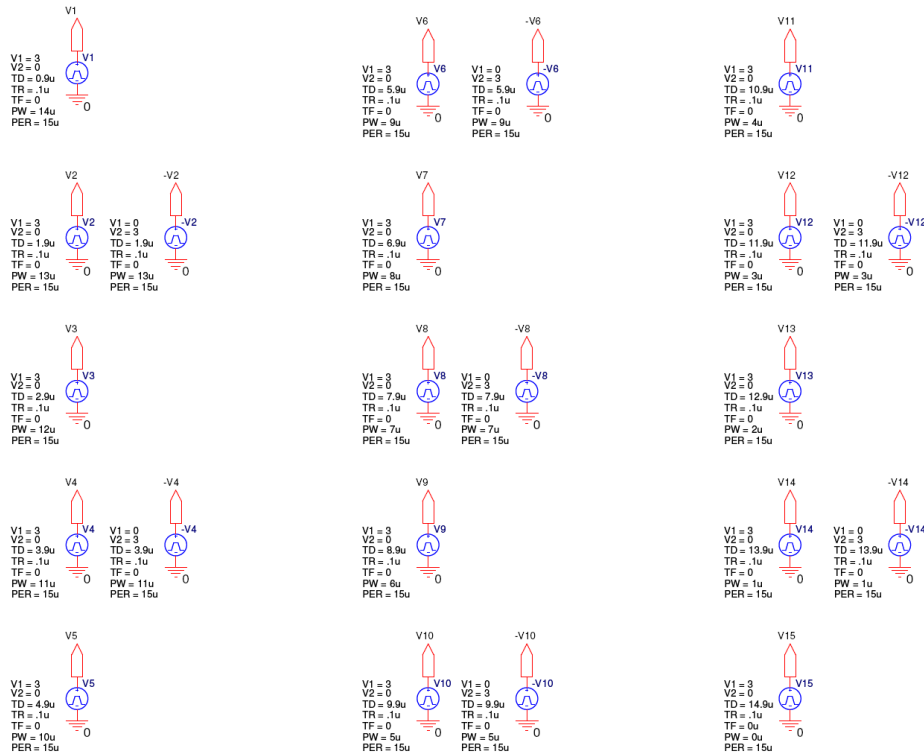


La decodificación de Código Termómetro a Código Binario fue correcta y que los tiempos de respuesta de salida y sus transiciones de estado son muy aceptables para esta lógica de decodificación. El único retardo prolongado está dado por la salida del bit MSB, generado por la configuración T de resistencias

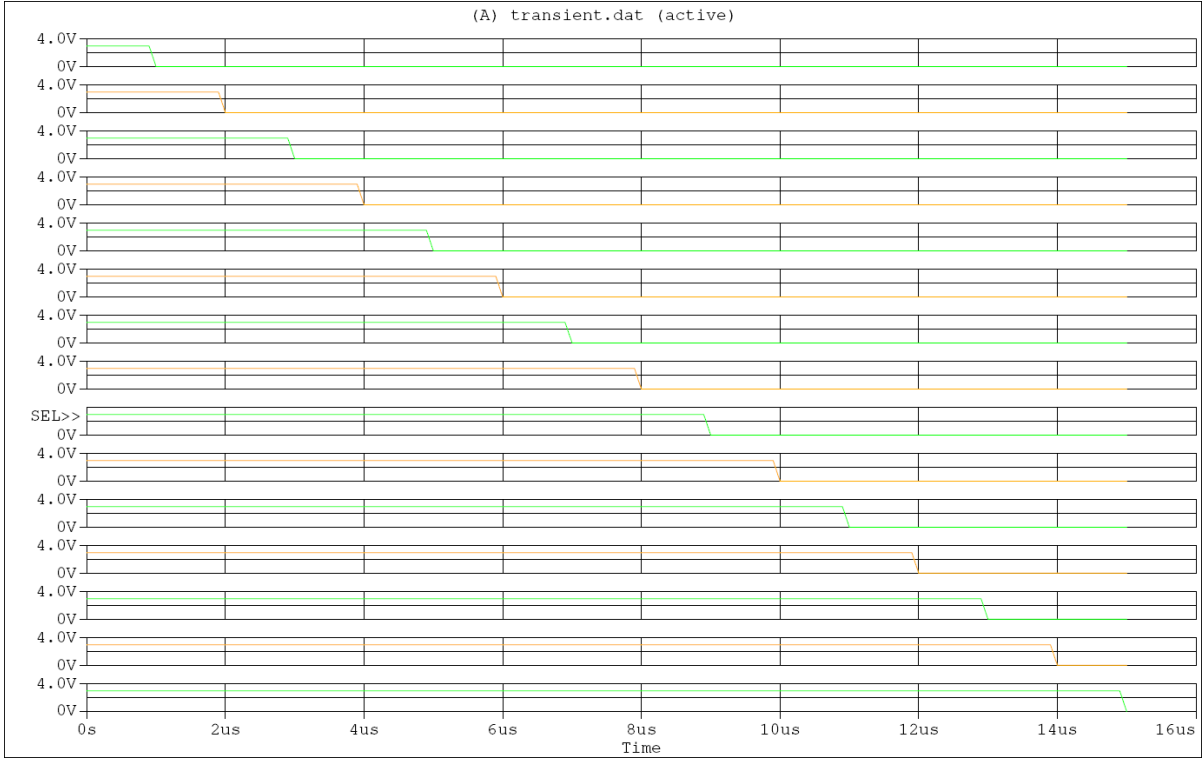
necesarias para la simulación únicamente, aunque es un problema menor y no afecta al funcionamiento del dispositivo..

Luego de corroborar el funcionamiento en estas condiciones, aumentamos la frecuencia de las señales de entrada a 1MHz y así asegurarnos que la decodificación siga siendo correcta y que los tiempos de retardo se mantengan dentro de los parámetros establecidos.

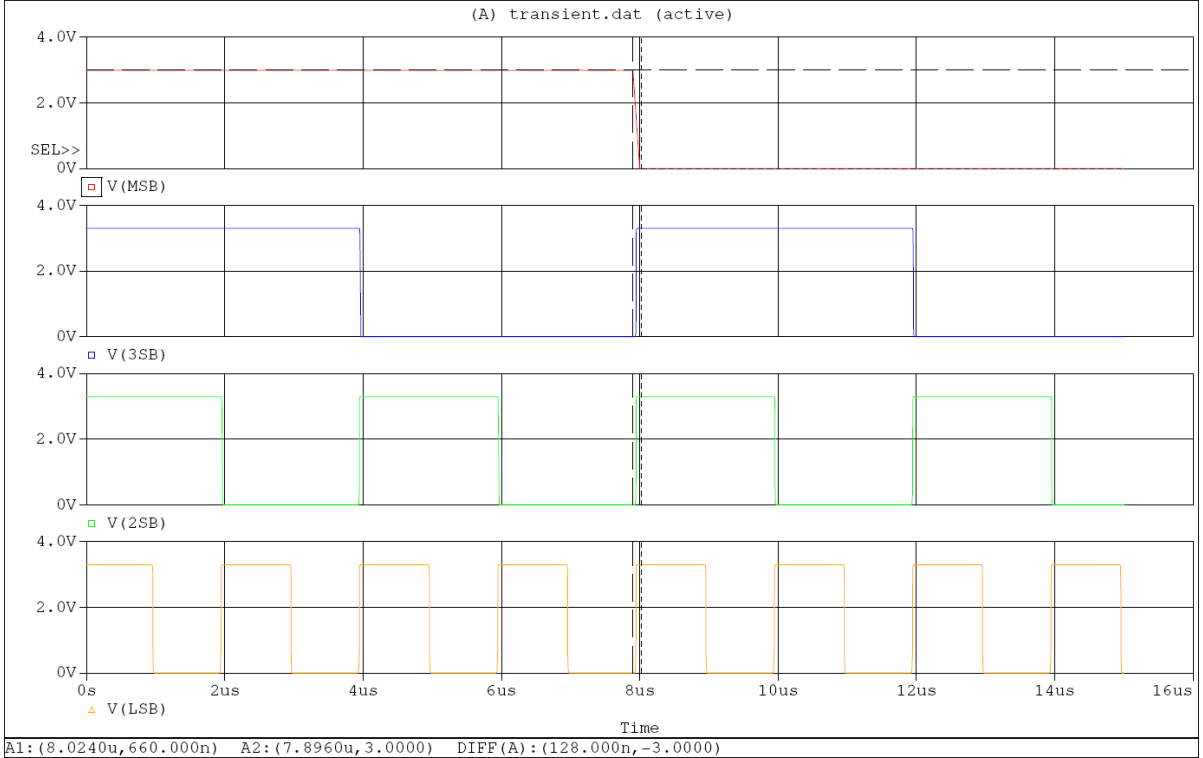
Esquemático de las señales de entrada (1MHz):



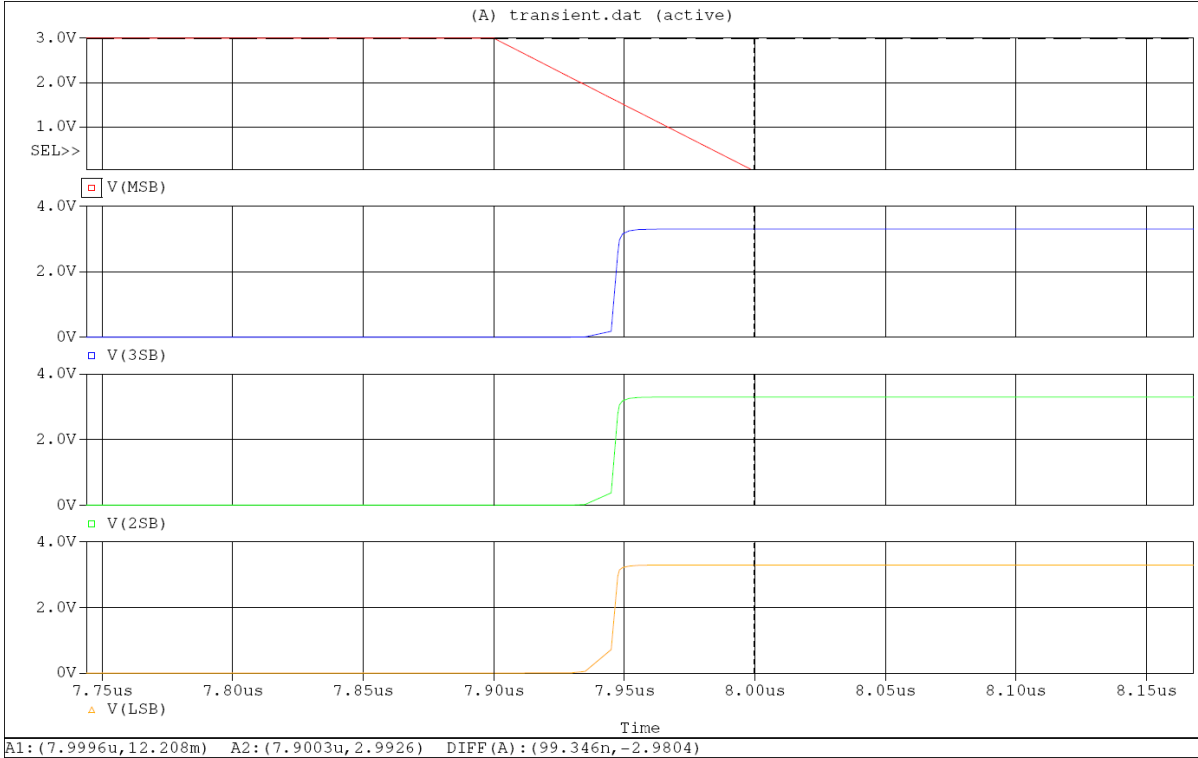
Transitorio de las señales de entrada:



Transitorio de las señales de salida:

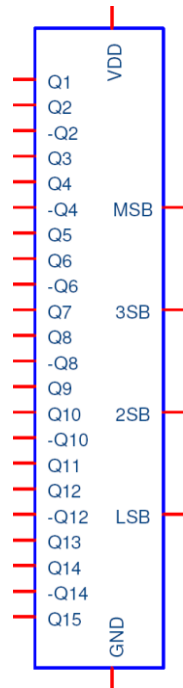


Zoom de la transición de las señales de salida:



A pesar de aumentar la velocidad con la cual las señales de entrada cambian, la lógica de decodificación no genera retardos importantes, por lo cual concluimos que nuestro decodificador funciona correctamente con este tipo de exigencias.

La representación del DECODER 16/4 a niveles superiores como componente es la siguiente:

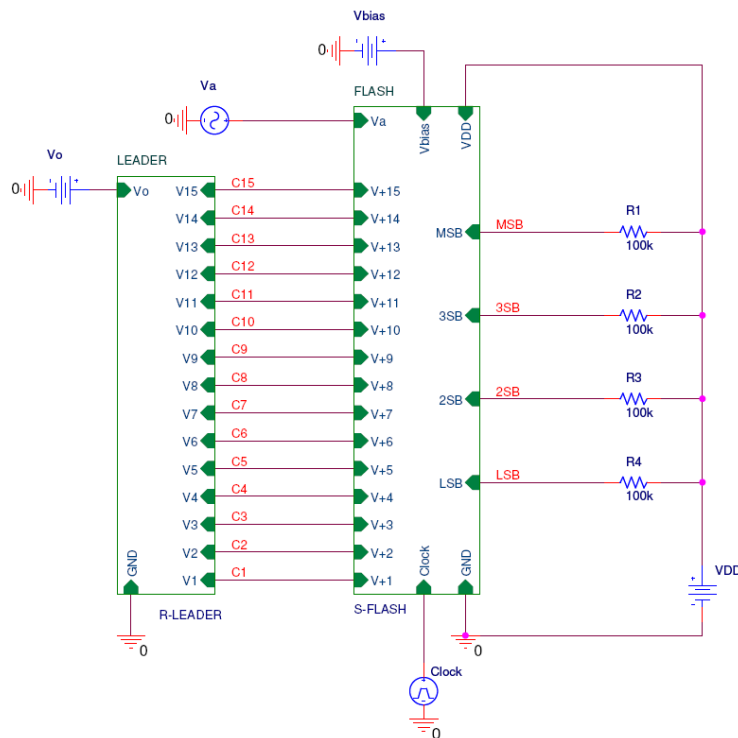


CONVERSOR A/D FLASH DE 4 BITS

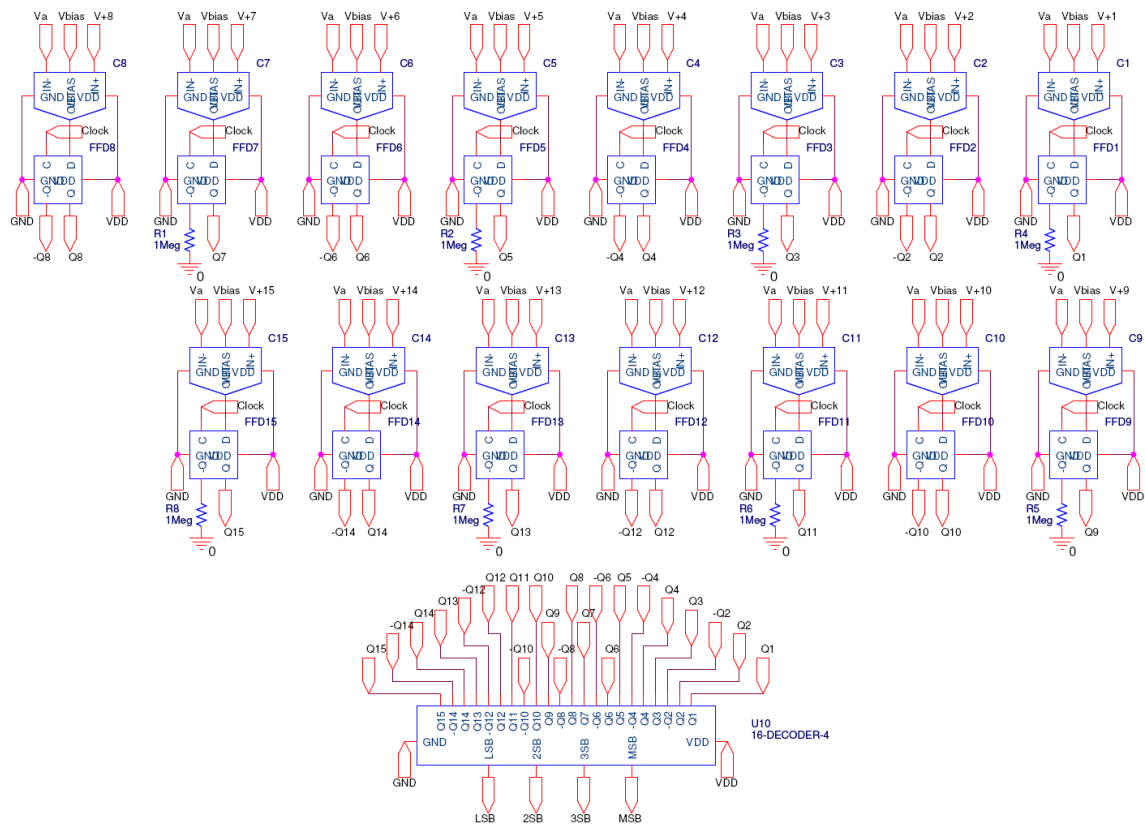
Luego de diseñar y testear las distintas partes que formarían parte del conversor, las unimos y le realizamos distintas pruebas. Primero comenzamos por pruebas pocos exigentes y sin tener en consideración el nivel de consumo y de potencia del dispositivo, luego aumentamos estas exigencias hasta que terminamos testeando el circuito y comprobando su funcionamiento a las mismas exigencias a las cuales estuvimos analizando las distintas partes que lo forman.

El esquemático general del conversor esta formado por las distintas partes antes descriptas, las cuales, según como van relacionándose, forman varios Layers de circuitos.

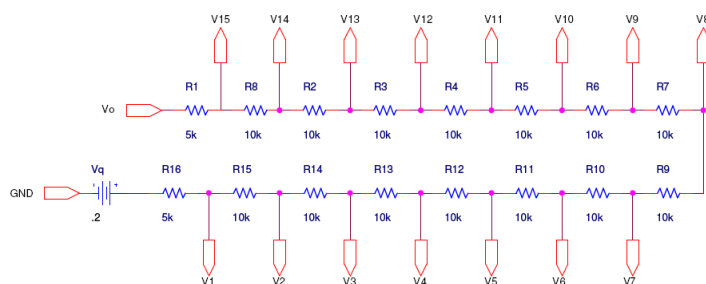
En el Layer 1 o superior tenemos:



En un nivel jerárquico inferior, layer 2, tenemos la lógica detrás del bloque FLASH y la estructura del bloque LEADER:



Layer 2: Lógica del bloque FLASH.



Layer 2: Estructura interna del bloque LEADER.

El bloque R-LEADER es un divisor resistivo escalado, el cual cumple la función determinar la resolución del conversor flash a través de los niveles de referencia de tensión. Estos sirven de comparación para la señal de entrada, que luego, en los comparadores, nos van a determinar el código termómetro que se inyectaría en el decodificador.

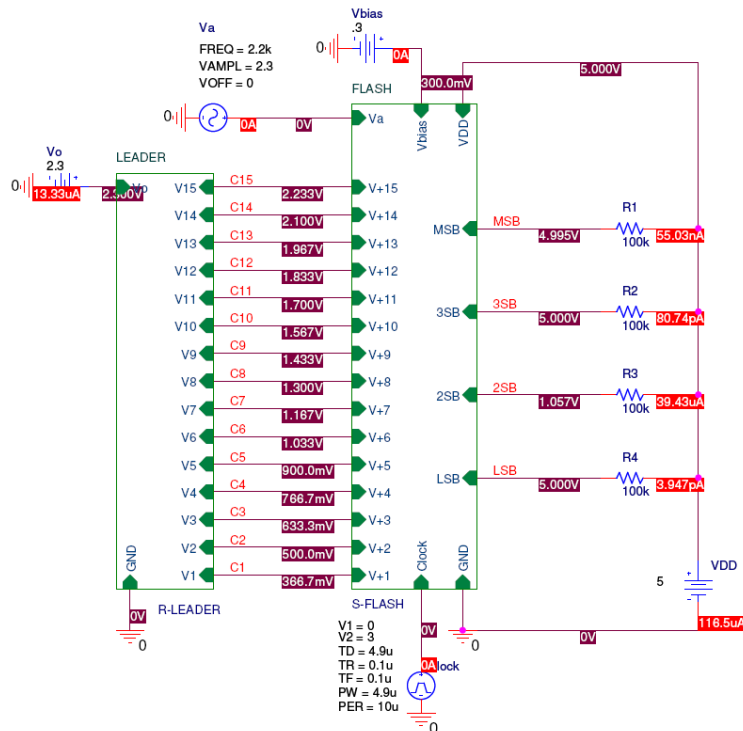
PRUEBAS DEL CONVERTOR A/D FLASH DE 4 BITS

Características:

- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
 - Alimentación general del circuito: 5 V.
 - Frecuencia de trabajo: 100 kHz.
 - Tiempos de flancos de subida y bajada del clock: 0.1 μ S.
 - Niveles Q de trabajo de los comparadores: 300 mV.
 - Tensiones de bias de los comparadores: 300 mV.
 - Tensión de referencia Vref: 2 V.
-

Esquemático y Análisis de Bias:

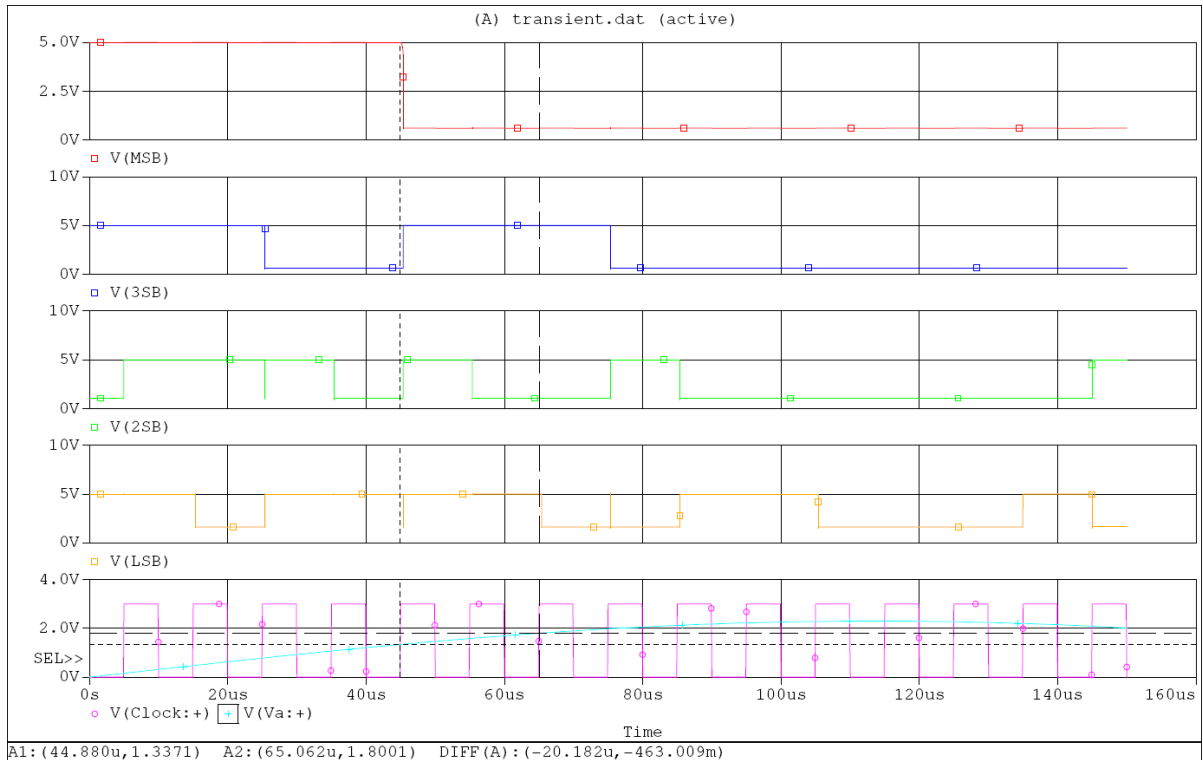
En el esquemático podemos observar que se está trabajando con tensiones de alimentación de 5 voltios para comprobar el funcionamiento.



En el análisis de Bias podemos observar que la tensión de referencia ($V_{ref}=V_o$) están configuradas a 2.3 voltios, esto se debe a que internamente en el bloque R-LEADER tenemos una fuente de tensión de 300 mV la cual nos está posicionando el punto de trabajo Q de los comparadores en 300 mV. Por ende, la tensión de referencia que estamos utilizando son 2 voltios en total, la cual es dividida por la LEADER en 15 tensiones sin tener en cuenta el mínimo valor de referencia (0 voltios).

La resolución del conversor está dada por la mínima diferencia existente en las entradas de sus comparadores ($C1-C0=366.7$ mV.), las cuales están limitadas por la sensibilidad de estos últimos.

Análisis de Transient:



En el análisis transitorio del circuito podemos observar que las conversiones de datos se realizan de una manera correcta, obteniendo una resolución de unos pocos mV en la detección del nivel en codificación (37 mV. en la primer medición a los 45 uS. y 32 mV. en la segunda medición a los 65 uS.).

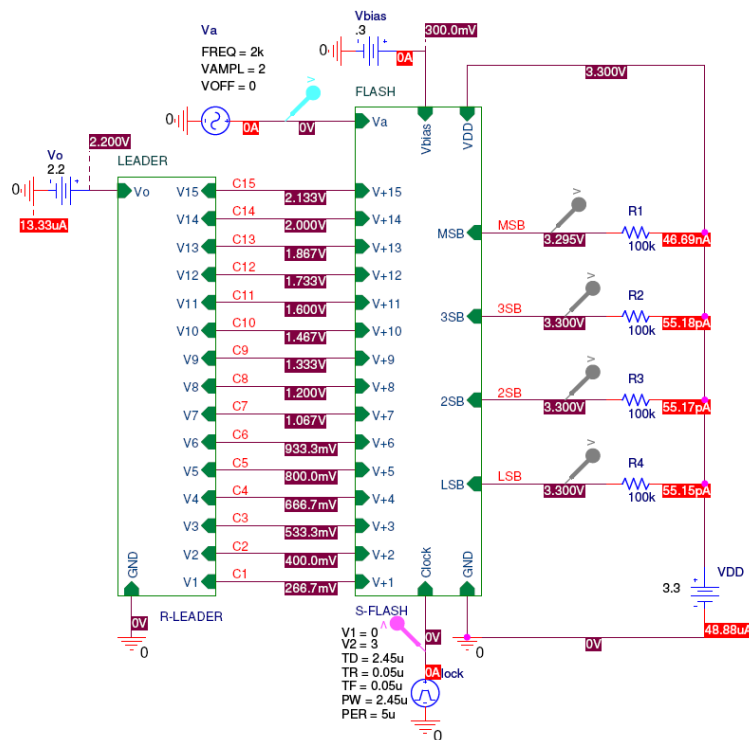
En la grafica percibimos unos gliches generados en momentos de flancos de subida del clock, esto se debe a que en ellos los Flip-Flops deben de leer la señal de entrada obtenida de los comparados, los cuales, en los casos que aparecen los gliches, sufren pequeños intentos de cambios hasta su estabilización generados por la proximidad de la señal de entrada a las tensiones de referencia de los comparados, dejándoles a estos últimos pequeñas diferencias de tensión entre sus entradas, desacelerando su transición de nivel o pretendiendo generar cambios que el comparador debe de evitar.

PRUEBAS DEL CONVERTOR A/D FLASH DE 4 BITS

Características:

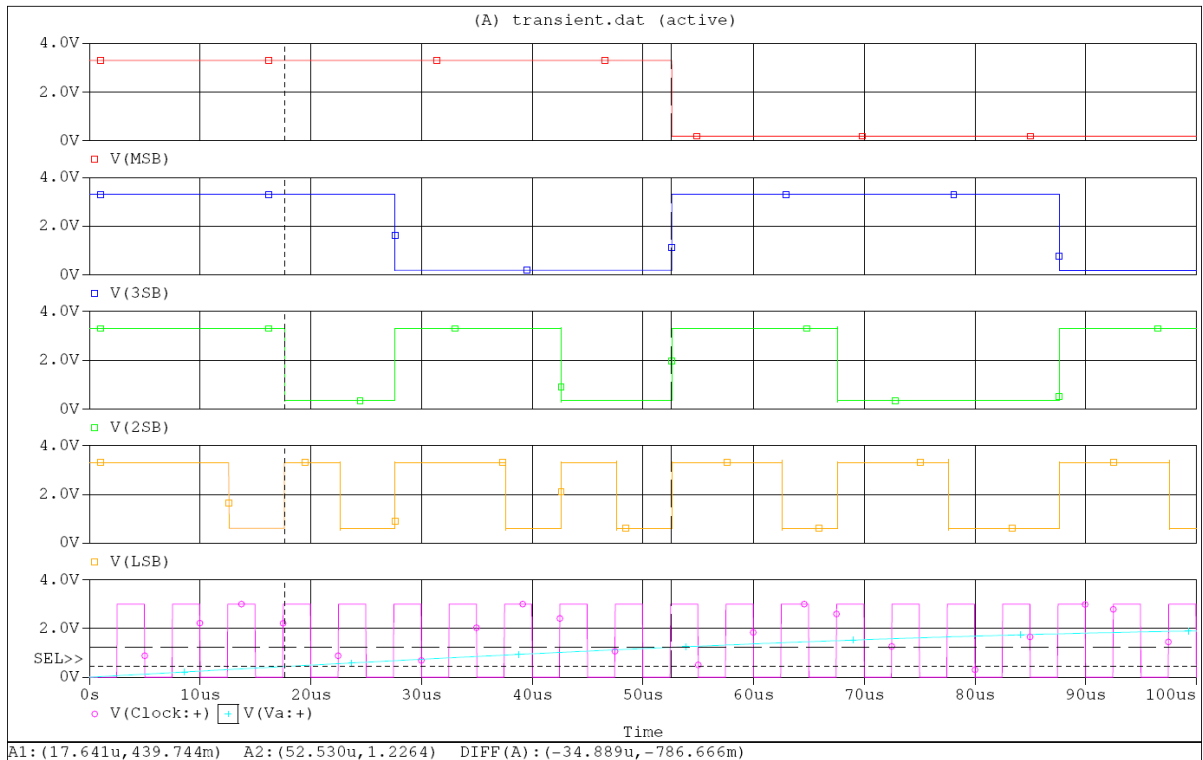
- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
 - Alimentación general del circuito: 3.3 V.
 - Frecuencia de trabajo: 200 kHz.
 - Tiempos de flancos de subida y bajada del clock: 0.05 uS.
 - Niveles Q de trabajo de los comparadores: 200 mV.
 - Tensiones de bias de los comparadores: 300 mV.
 - Tensión de referencia Vref: 2 V.
-

En este análisis se utilizó una alimentación general del circuito de 3.3 voltios, un punto de trabajo Q para los comparadores de 200 mV, y una frecuencia de clock de 200 kHz. La tensión de referencia sigue siendo 2 voltios.



Podemos apreciar que los valores de TR y TF del clock fueron reducidos, disminuyendo de esta manera los tiempos de subida y bajada de los flancos del clock en la transición, al igual que reducimos sus otros tiempos y periodo para generar una señal de 200 KHz.

Análisis de transitorio:



Obtuvimos un excelente funcionamiento del circuito.

La decodificación es correcta, y esta presentada en un modo descendente a medida q avanza el tiempo, de unas salida lógica 1111 hasta el nivel correspondiente de la salida lógica 0010.

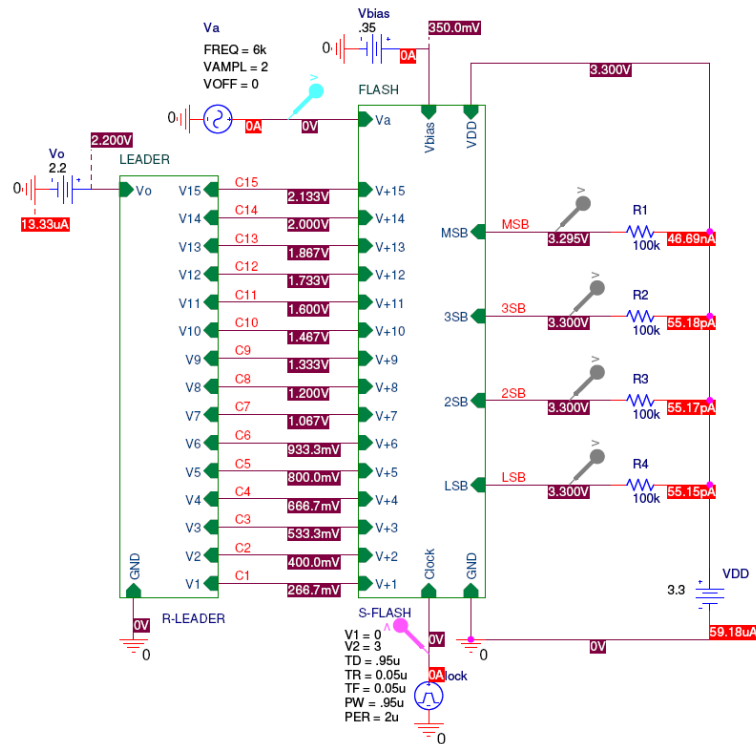
No se observan glitches en las salidas debido a que al achicar los tiempos de subida y bajada de los flancos del clock, reducimos el tiempo que le permitía a los Flip-Flops captar las pequeñas variaciones que se generaban en los comparadores.

PRUEBAS DEL CONVERTOR A/D FLASH DE 4 BITS

Características:

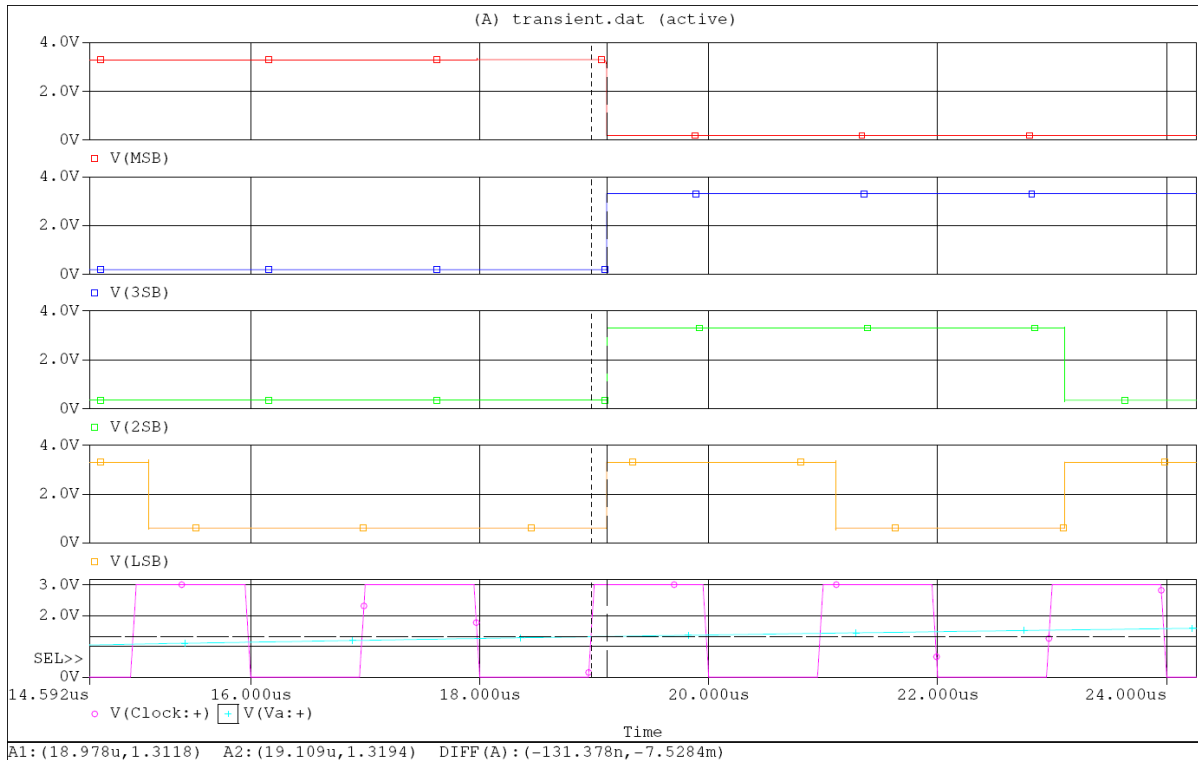
- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
 - Alimentación general del circuito: 3.3 V.
 - Frecuencia de trabajo: 500 kHz.
 - Tiempos de flancos de subida y bajada del clock: 0.05 uS.
 - Niveles Q de trabajo de los comparadores: 200 mV.
 - Tensiones de bias de los comparadores: 350 mV.
 - Tensión de referencia Vref: 2 V.
-

A continuación tenemos el esquemático modificado por segunda vez, donde la frecuencia fue elevada a 500 kHz y la tensión V_{bias} de los comparados elevada a 350 mV para poder permitirle al programa converger y dándole más velocidad de determinación a los comparadores.



Podemos apreciar que la señal digital de salida es 1111 y que los niveles de corriente son de 60 uA aproximadamente en todas las simulaciones cuando obtenemos esta salida.

Análisis de transitorio:



Se perciben retardos en la respuesta de la lógica en relación al flanco de subida del clock. Esto es más evidente ya que aumentamos la frecuencia del clock y redujimos los tiempos de los flancos de subida y de bajada del mismo, dejando más a descubierto el retardo de la lógica del decodificador. Igualmente, el retardo obtenido es mínimo, y no pone en riesgo el correcto funcionamiento del dispositivo.

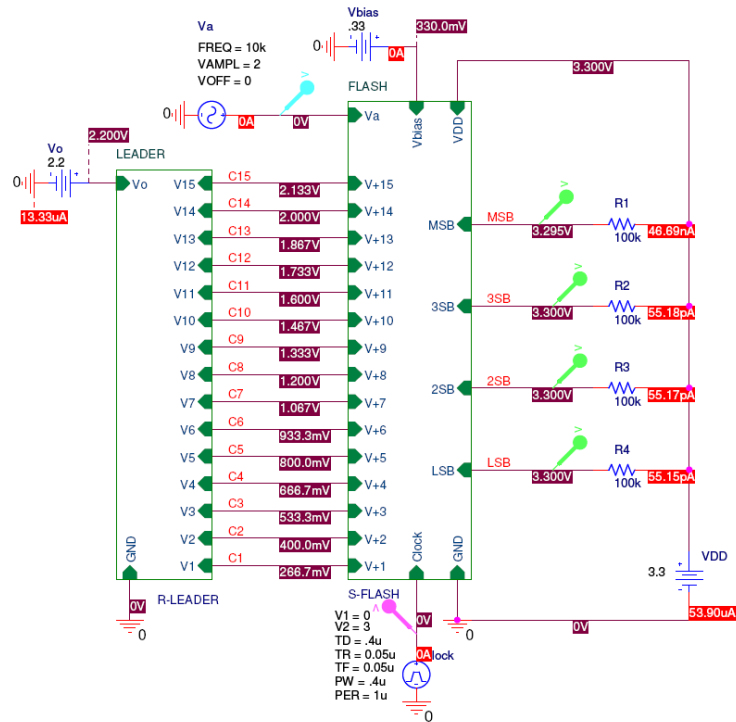
PRUEBAS DEL CONVERTOR A/D FLASH DE 4 BITS

Características:

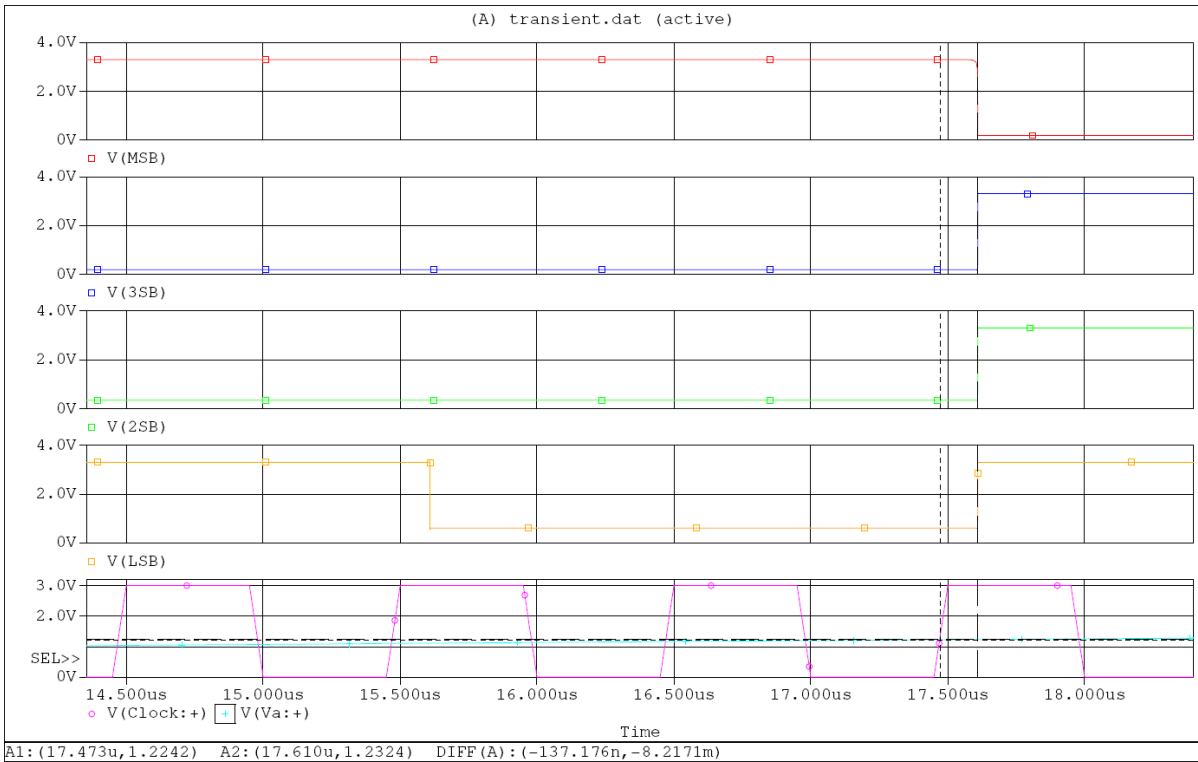
- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
 - Alimentación general del circuito: 3.3 V.
 - Frecuencia de trabajo: 1 MHz.
 - Tiempos de flancos de subida y bajada del clock: 0.05 uS.
 - Niveles Q de trabajo de los comparadores: 200 mV.
 - Tensiones de bias de los comparadores: 330 mV.
 - Tensión de referencia Vref: 2 V.
-

Esquemático y Análisis de Bias:

En esta prueba seguimos aumentando la frecuencia y la llevamos a 1 MHz. Pero redujimos la tensión de Vbias a 330 mV, disminuyendo la rapidez de los comparadores, pero sin comprometer el funcionamiento.



Análisis de transitorio:



A1: (17.473u, 1.2242) A2: (17.610u, 1.2324) DIFF (A): (-137.176n, -8.2171m)

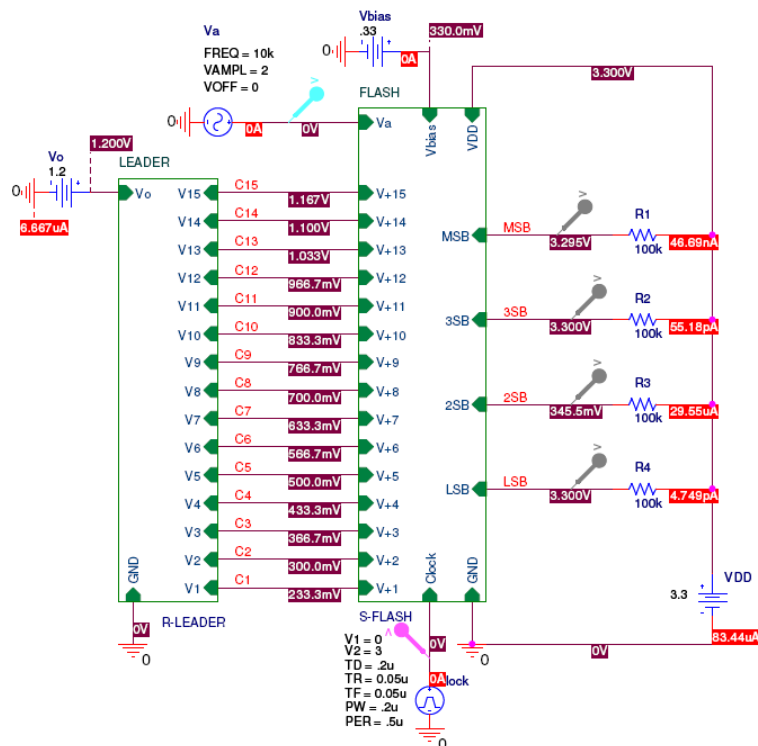
A medida que aumentamos la frecuencia del clock, obtenemos un mayor retardo en la respuesta de la lógica del decodificador con respecto al flanco de subida del clock. Hasta el momento, el retardo no genera problemas mientras se mantenga dentro del tiempo de duración del pulso positivo del clock, ya que si es mayor q el pulso positivo de clock, no podemos aprovechar el flanco de bajada o el pulso negativo para controlar una siguiente etapa al decodificador.

PRUEBAS DEL CONVERTOR A/D FLASH DE 4 BITS

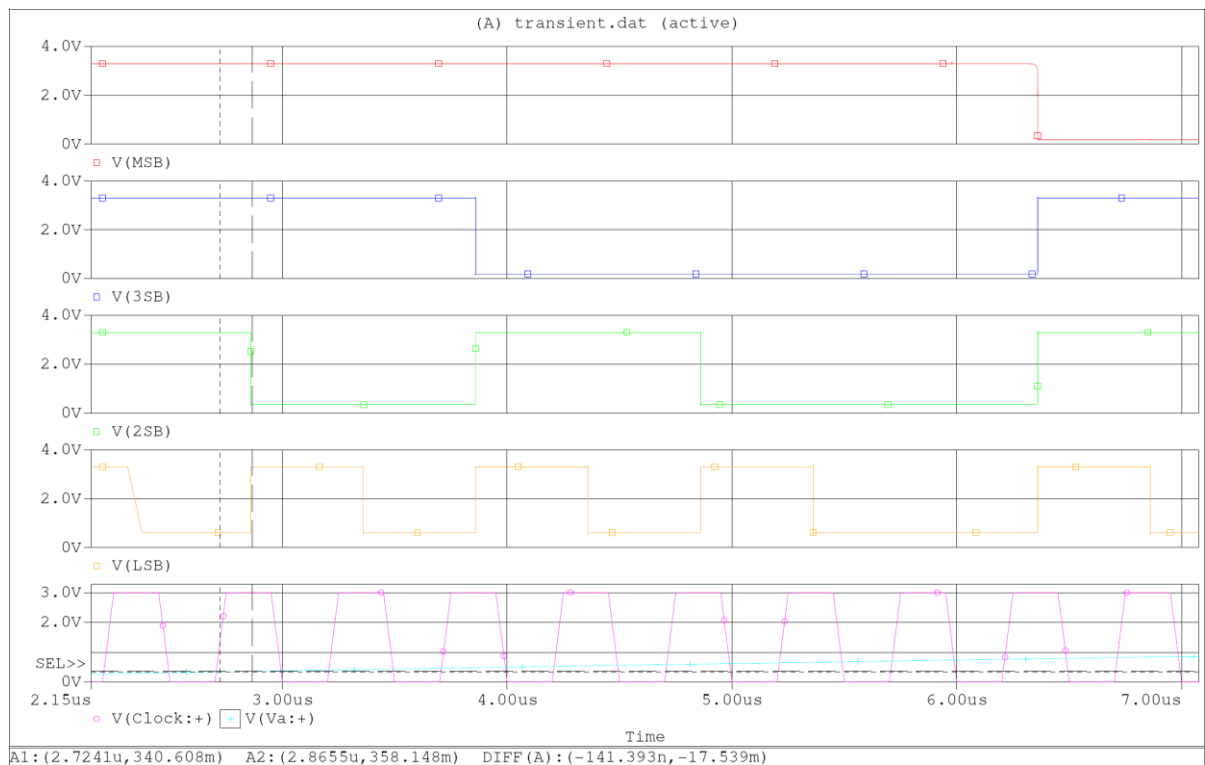
Características:

- Tecnología utilizada: .18 micrómetros IBM 7RF CMOS
 - Alimentación general del circuito: 3.3 V.
 - Frecuencia de trabajo: 2 MHz.
 - Tiempos de flancos de subida y bajada del clock: 0.05 μ S.
 - Niveles Q de trabajo de los comparadores: 200 mV.
 - Tensiones de bias de los comparadores: 330 mV.
 - Tensión de referencia Vref: 1 V.
-

Esquemático y Análisis de Bias:



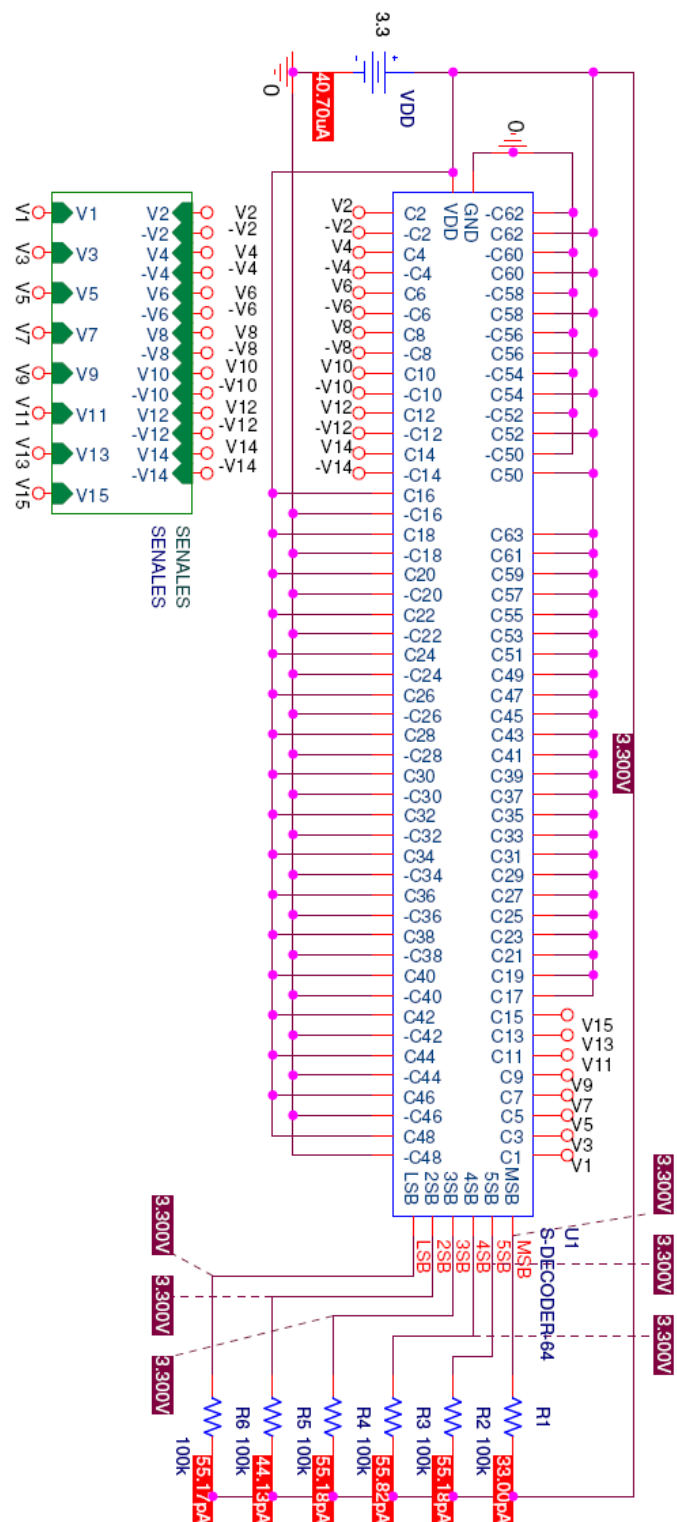
Análisis de transitorio:



El aumento de la frecuencia del clock no genera mucho más retardo que la prueba anterior, por lo que el circuito nos permite tranquilamente trabajar con frecuencias de 2 MHz de clock, lo que significa un millón de muestras por segundo de la señal de entrada.

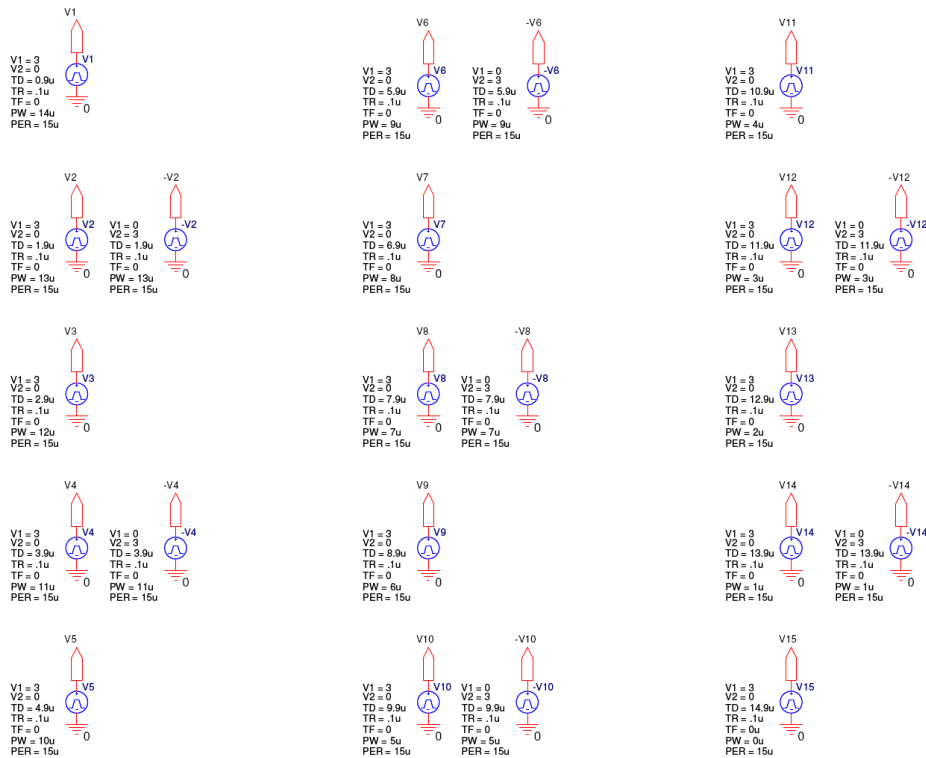
DECODIFICADOR 64/6 BITS

Esquemático y análisis de bias:

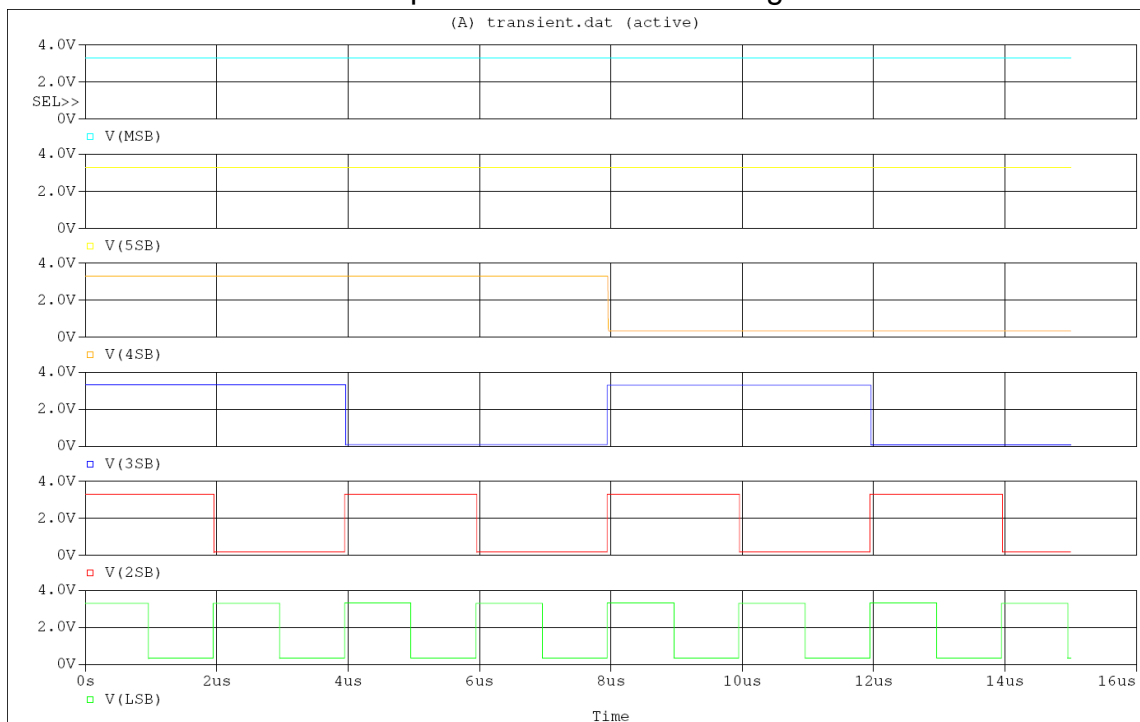


Esquemático de Layer 1 del decodificador. El análisis transitorio que se llevo a cabo fue con las mismas señales que en el análisis del decodificador 16/4 bits. Se probaron de manera transitoria 15 decodificaciones del código termómetro (15 menos significativas) y de manera estática todos los valores del código (64 valores) y todas ellas dieron resultados satisfactorios.

Esquemático del bloque SENALES:



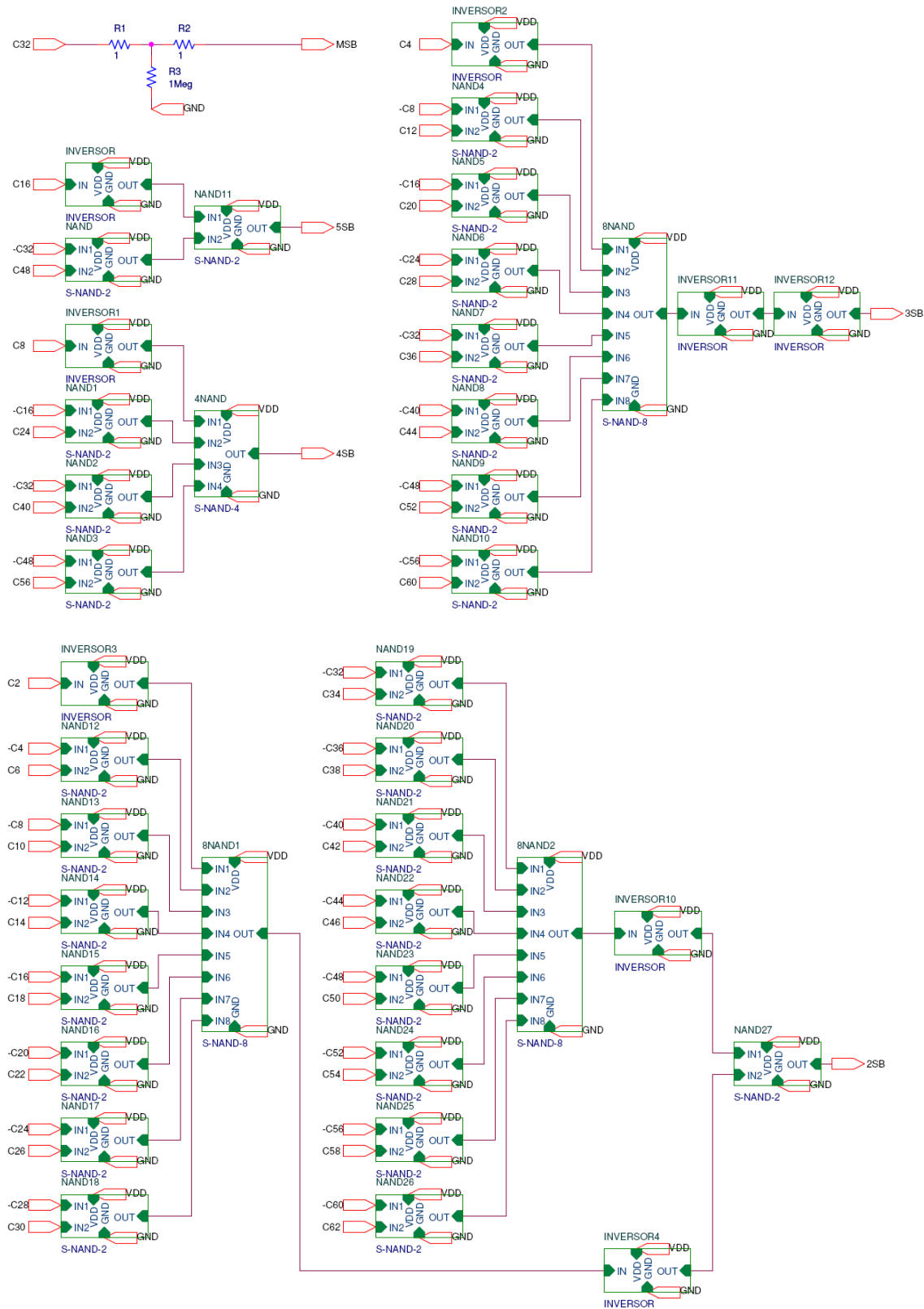
Análisis transitorio de los 15 primeros valores del código termómetro:

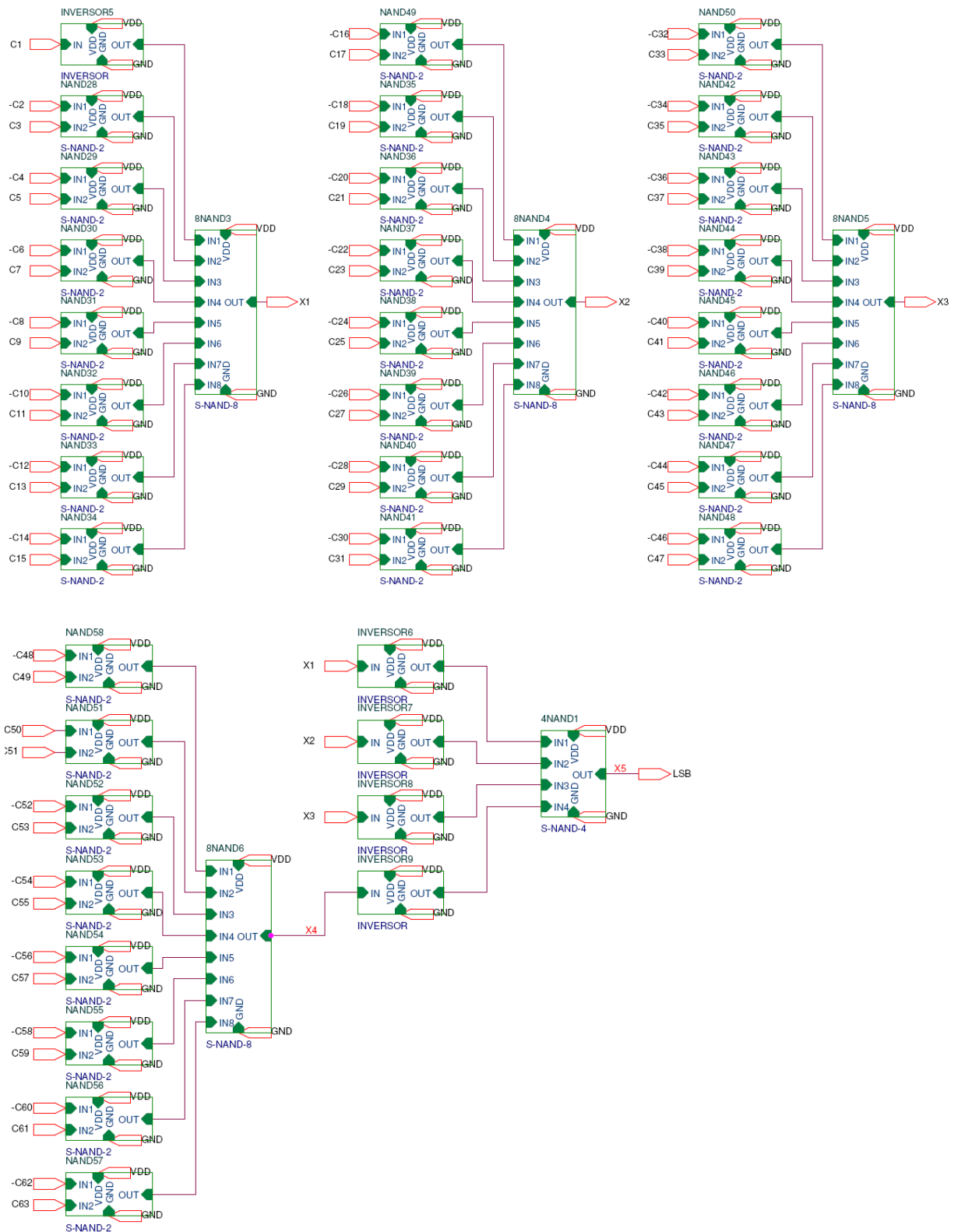


El DECODIFICADOR 64/6 BITS fue diseñado de la misma manera que el codificador 16/4 bits que caracterizamos anteriormente. Las pruebas realizadas a este fueron con señales cuyos frecuencias de cambio eran de 1 MHz. Los resultados de todas las pruebas fueron exitosos y el funcionamiento del

dispositivo está asegurado para las exigencias de funcionamiento que requiere el CONVERTOR FLASH de 6 BITS.

Las distintas capas de layers de los dispositivos y su lógica interna son las siguientes:

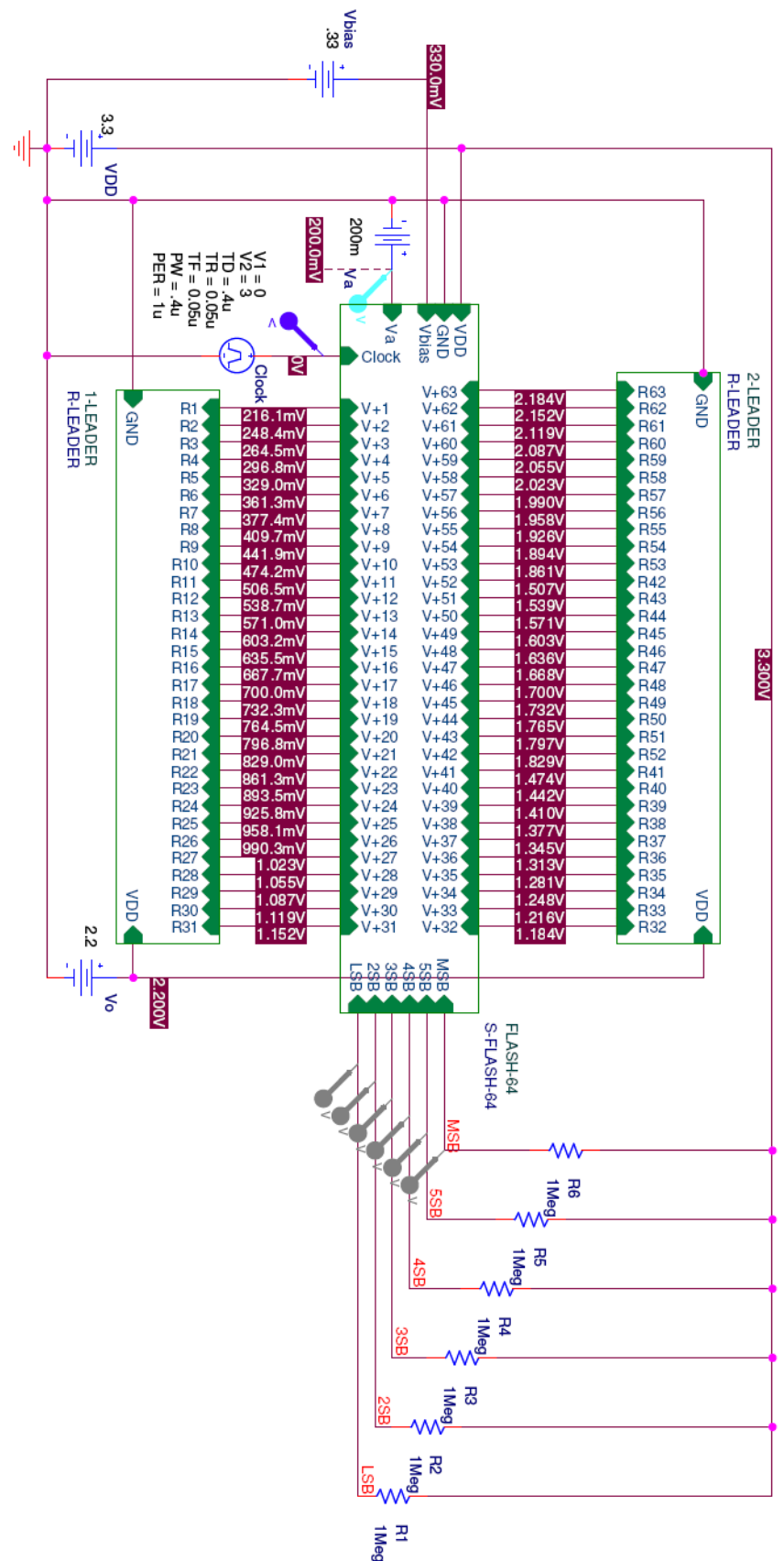




Luego de realizar las pruebas, se pudo apreciar el retardo ya esperado agregado por un tercer y cuarto nivel de compuertas NAND adicionales en la lógica del decodificador 64/6 en comparación a los dos niveles de compuertas que presentaba la lógica del decodificador 16/4, mencionado anteriormente. Estos retardos no perjudican el funcionamiento del decodificador, pero podrían causar problemas cuando formen parte del CONVERSOR A/D.

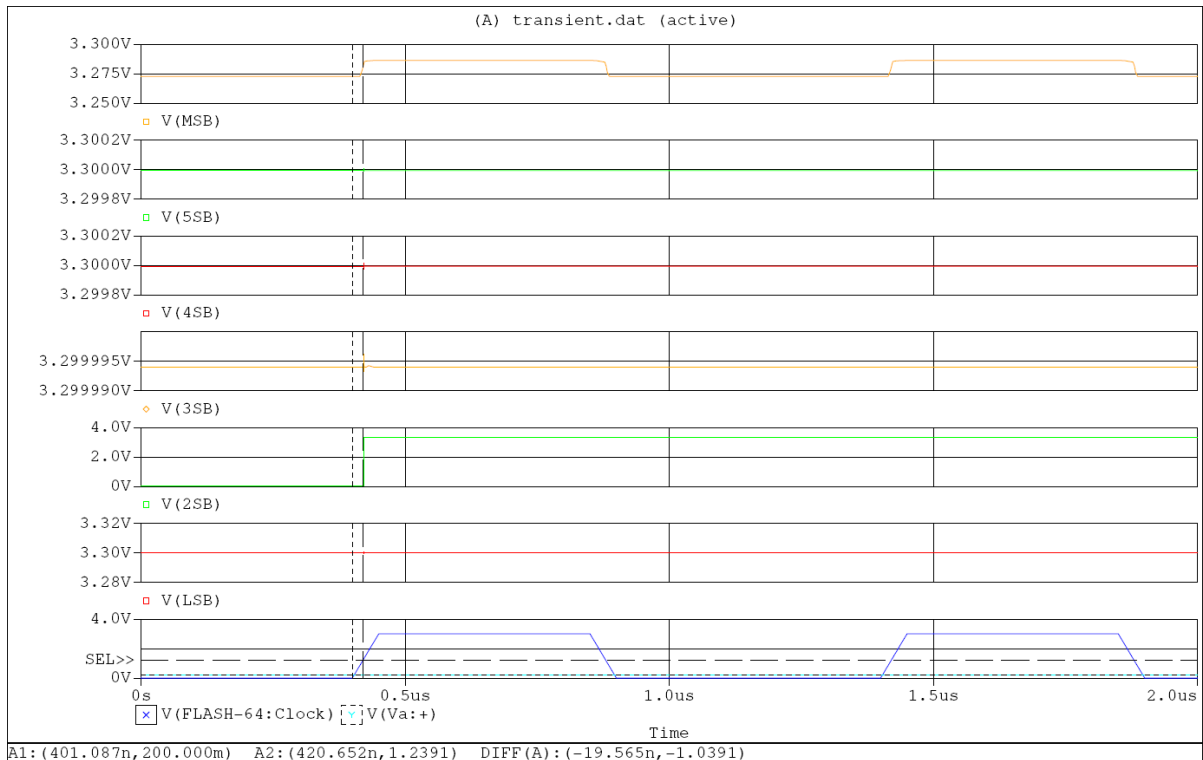
CONVERSOR A/D FLASH DE 6 BITS

Esquemático y bias del circuito:



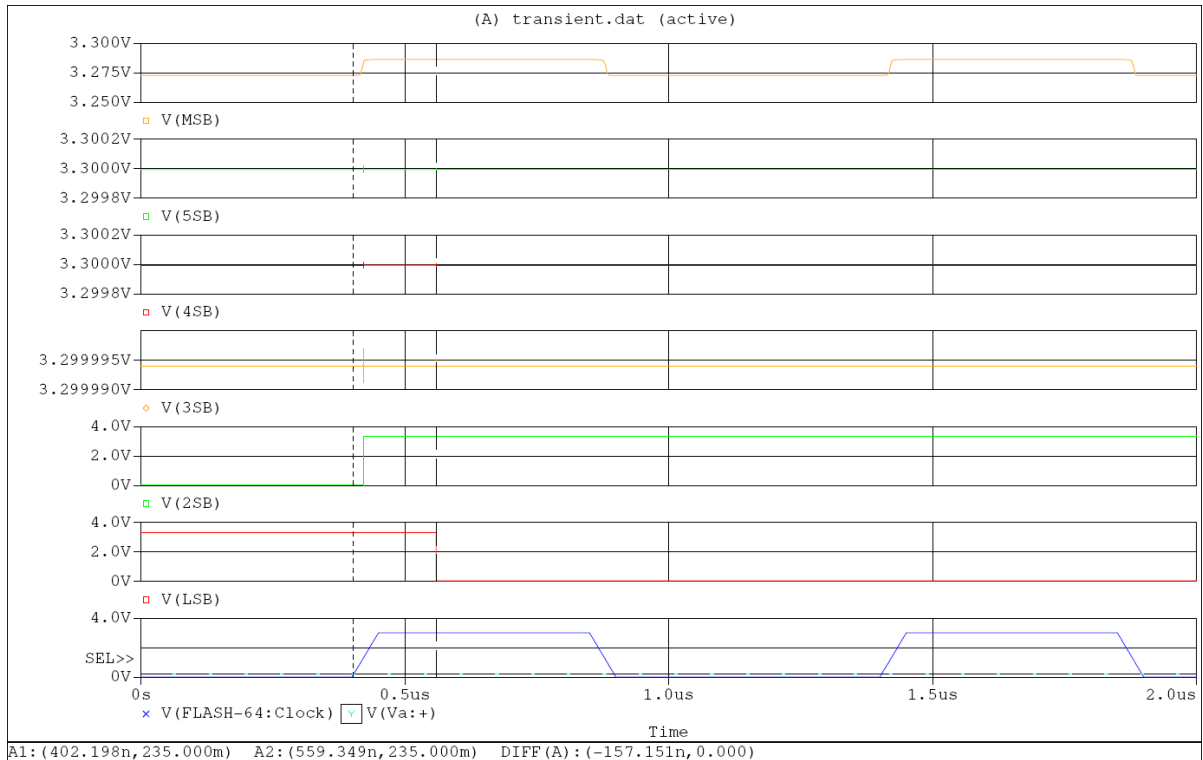
El conversor flash arriba representado por la imagen consta de un decodificador de código termómetro de 64 valores a un código binario de 6 bits.

A sus lados se encuentran dos bloques de tipo R-LEADER (divisor resistivo) los cuales son utilizados para generar los distintos valores limites del código termómetro, lo que nos da la resolución del conversor en términos de tensión de entrada. En este caso podemos observar que el menos valor de tensión que detecta el conversor está dado por la salida R1 del bloque 1-LEADER, el cual es de 216.1mV, y mientras que V_a este por debajo de este nivel de tensión ($V_a=200\text{mV}$ en el siguiente grafico de simulación) a la salida del conversor vamos a tener el valor binario 111111, determinando así que ese valor en esta simulación es la resolución en tensión del conversor.

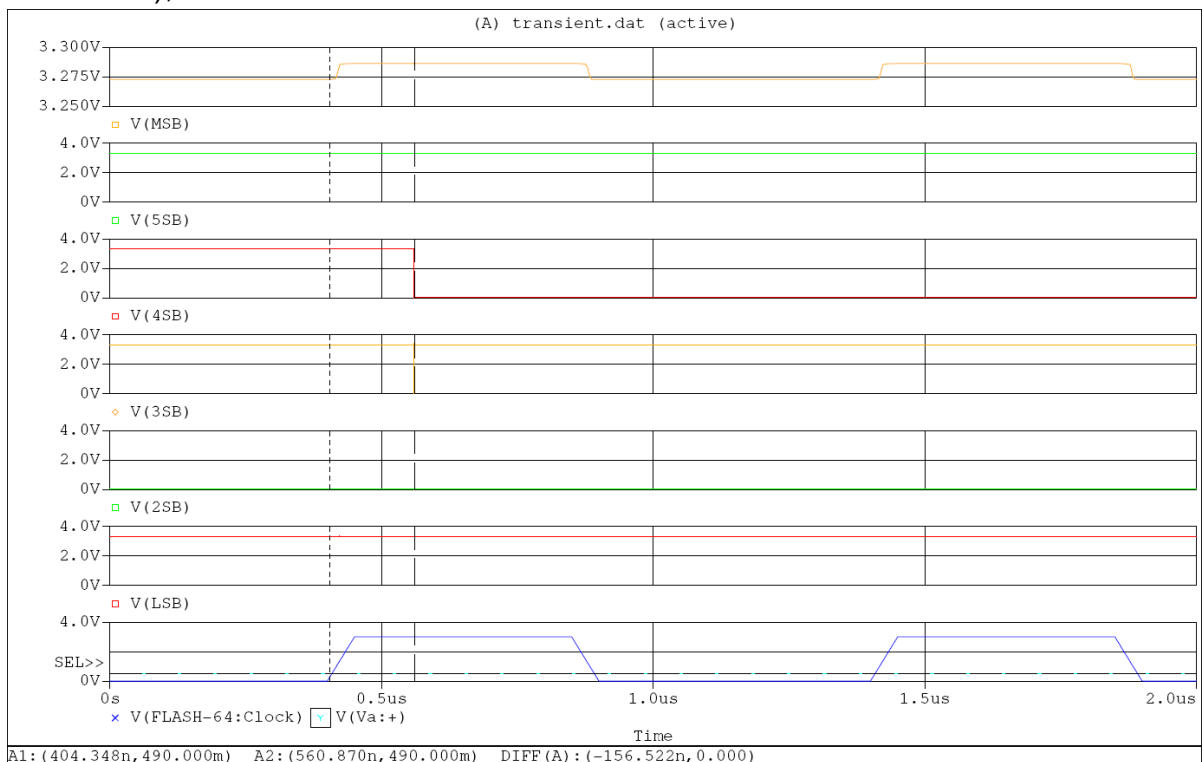


Cuando la señal de entrada analógica V_a supere ese valor ($V_a=233\text{mV}$ en el siguiente grafico de simulación), la lógica interna del decodificador nos va a

devolver en código binario el valor 111110.



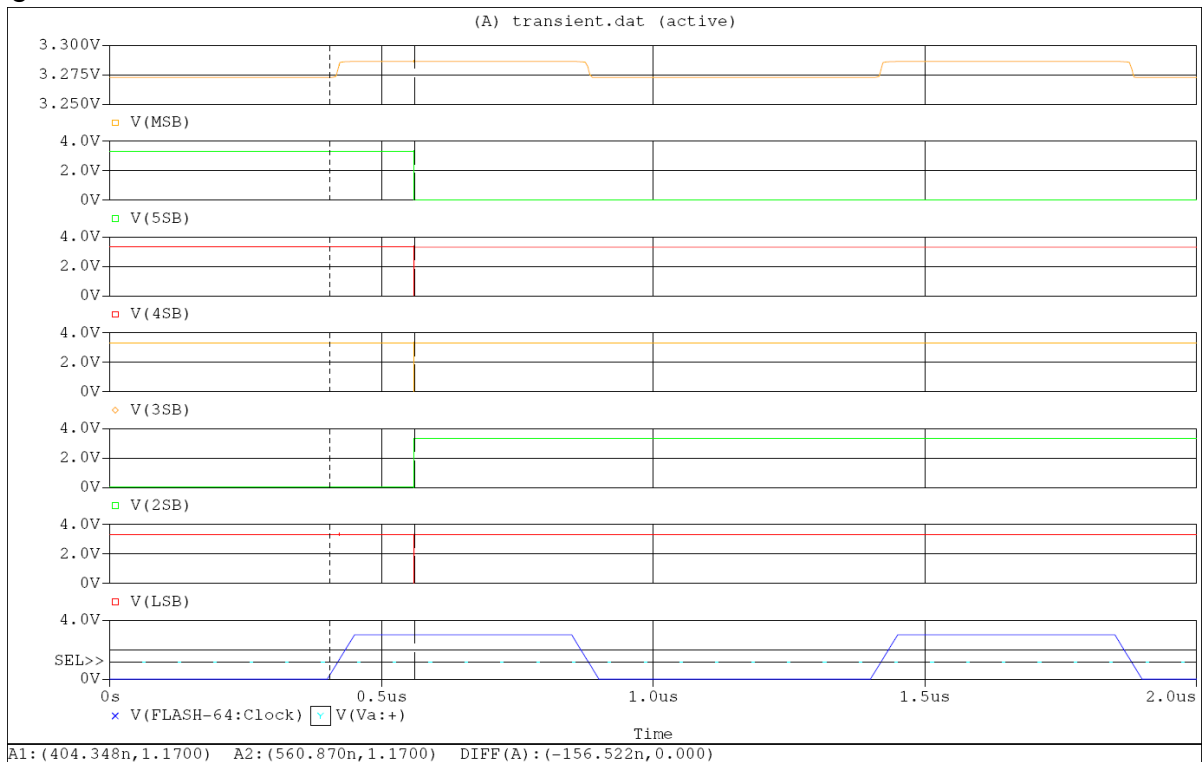
A medida que va aumentando la señal Va ($V_a = 490\text{mV}$ en el siguiente gráfico de simulación), la salida binaria va cambiando en forma decreciente.



Podemos observar que al inicio de la simulación las condiciones iniciales de las salidas no están fijadas, por lo cual los valores de conversión son recién correctos en el momento del flanco de subida del primer clock, el cual permite a los FFD internos del decodificar poder latched los datos para luego convertidos

y obtener la conversión binario correcta a la salida, que en el caso anterior es el código 110101, debido a que la entrada Va esta a un nivel de tensión de 490mV, superando así a la referencia del código termómetro dado por la salida R10 del bloque 1-LEADER.

El siguiente grafico de simulación fue realizado con una tensión de entrada Va igual a 1.170 voltios, dando como resultado binario el valor 101111.



En los 4 gráficos de simulación anteriormente presentados, podemos notar el hecho de que en cada flanco ascendente del clock, o sea, cuando se presenta la situación de cambio de estado o renovación del mismo, se producen glitches o alteraciones en aquellas salidas que debían de mantener su estado como respuesta a la lógica de decodificación. Esto es causa de la lógica extensa que presenta el decodificador 64/6 bits ya que para definir cada estado lógico de la salida binaria, se involucran gran cantidad de entradas en las compuertas NAND, perturbándolas y provocando estas variaciones durante los procesos de cambio o actualización de estado de las mismas.