

CAPITULO VIII

TRANSISTORES DE EFECTO CAMPO (JFET, MESFET Y MOSFET)

Los transistores de efecto de campo o FET¹ se denominan así porque durante su funcionamiento la señal de entrada crea un campo eléctrico que controla el paso de la corriente a través del dispositivo. Estos transistores también se denominan unipolares para distinguirlos de los transistores bipolares de unión (cap. 6) y para destacar el hecho de que sólo un tipo de portadores -electrones o huecos- interviene en su funcionamiento.

Los transistores de efecto campo de unión (JFET) fueron primero propuestos por Schockley en 1952 y su funcionamiento se basa en el control del paso de la corriente por el campo aplicado a la puerta, constituida por una o varias uniones p-n polarizadas en inverso. Los transistores de efecto de campo de unión metal-semiconductor (MESFET), propuestos en 1966, tienen un funcionamiento muy similar al JFET, pero en ellos el control del flujo de corriente se realiza por una unión metal-semiconductor de tipo Schottky (cap. 4). Finalmente, existe también otro tipo de transistores denominados genéricamente MOSFET (metal-óxido-semiconductor), de desarrollo más reciente, en los que el control de la corriente a través del semiconductor se realiza mediante un contacto separado del semiconductor por una capa aislante (normalmente, óxido de silicio). Este tipo de transistores se utiliza preferentemente en la electrónica digital.

En comparación con los transistores bipolares, los FET presentan una impedancia de entrada muy elevada y además consumen muy poca potencia, por lo que su uso se ha extendido sobre todo en

¹ **Nota:** El acrónimo FET proviene del nombre en inglés: "Field Effect Transistor". Asimismo JFET procede del nombre: "Junction Field Effect Transistor".

los circuitos integrados. También encuentran aplicaciones en circuitos de alta frecuencia (microondas), especialmente los MESFET de arseniuro de galio, los cuales tienen un tiempo de respuesta muy rápido debido a la alta movilidad de los electrones en este material.

8.1. EL TRANSISTOR DE EFECTO CAMPO DE UNION (JFET)

8.1.1. Descripción del transistor

Según se muestra en la fig. 8.1a, la estructura básica de un JFET está formada por un semiconductor, de tipo n por ejemplo, con dos contactos óhmicos en sus extremos, uno de ellos S denominado *fuelle o surtidor* y el otro D conocido por el nombre de *drenador o sumidero*. El tercer electrodo G, denominado *puerta*, está constituido por dos regiones de tipo p difundidas a ambos lados de la estructura del semiconductor. Se forma así en el contacto de puerta dos uniones p-n, las cuales están conectadas entre sí y polarizadas en inverso, de forma que la corriente que pasa a través de ellas es prácticamente nula. Generalmente la unión de puerta es del tipo p⁺-n, lo cual significa que la región p de la puerta está mucho más dopada que la región n del semiconductor.

Los JFET utilizados en circuitos integrados normalmente se fabrican siguiendo la *tecnología planar* (véase cap. XIII), según la cual el semiconductor está formado por una capa de carácter n (capa epitaxial) depositada sobre un sustrato de silicio u otro semiconductor, de tipo p. Un área pequeña de la superficie de esta capa epitaxial está difundida con impurezas también de tipo p, y forma, junto con el sustrato de silicio, el contacto de puerta. Los electrodos metálicos de fuente y de sumidero se depositan directamente a ambos lados del contacto superior de puerta. En la fig. 8.1b se presenta un esquema de la geometría de las diferentes zonas y contactos de un JFET utilizado en circuitos integrados, mostrando la *zona activa*, es decir la región donde tiene lugar la acción del transistor. El símbolo de circuitos para el JFET de tipo n se ha representado en la fig. 8.1c, con la flecha de la puerta apuntando hacia dentro para indicar el carácter n del semiconductor. En el caso del JFET de tipo p, la flecha de la puerta tiene la dirección opuesta a la de la figura.

Si el semiconductor es de tipo n, la polarización se hace de forma que la corriente de electrones (portadores mayoritarios) fluya desde el contacto de surtidor, S, al de drenador, D. Esto quiere decir que la tensión $V_{DS} = V_D - V_S$ debe ser positiva. Se dice entonces que el semiconductor funciona como un *canal* de baja resistencia para los electrones, estando limitado el canal por las paredes que forman las dos regiones de carga espacial adyacentes a las uniones p-n de la puerta. Según hemos visto en el capítulo tercero, en las regiones de carga espacial la concentración de carga libre es muy baja y por tanto su resistividad es muy elevada.

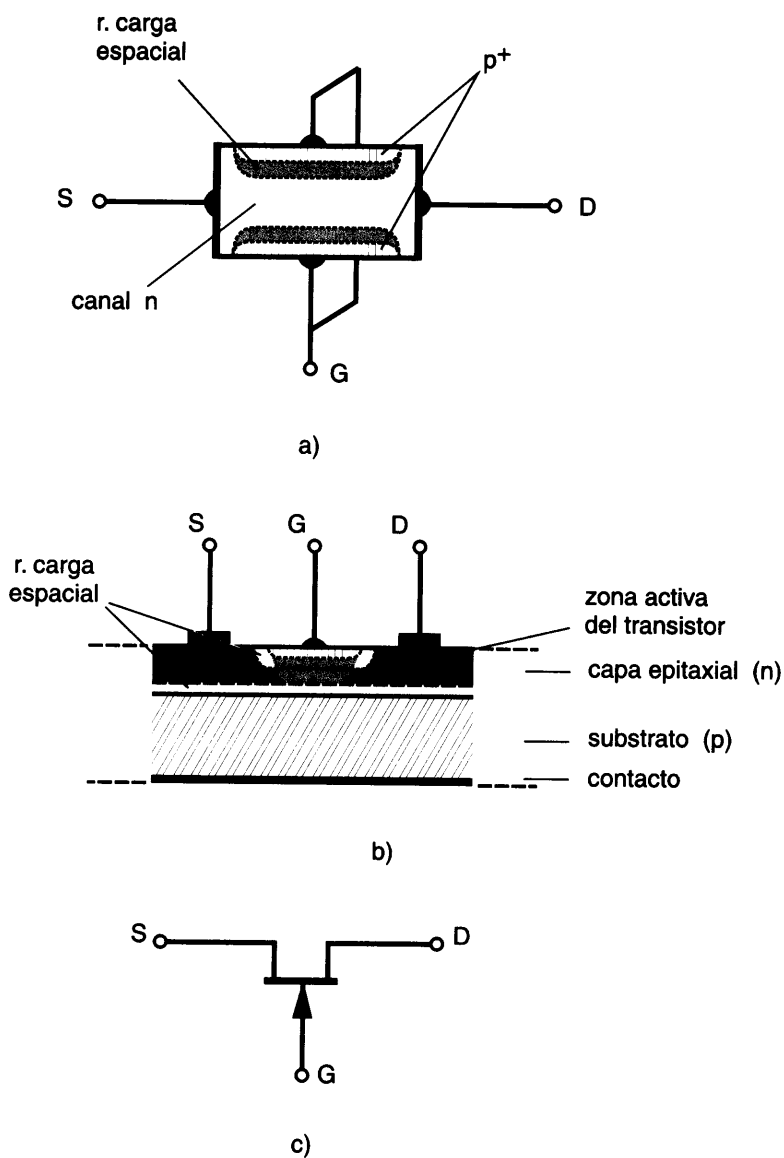


Fig. 8.1. a) Esquema de la estructura de un JFET de canal tipo n. b) Esquema de un transistor JFET de canal n fabricado según la tecnología planar. c) Símbolo de circuitos de un JFET de canal n.

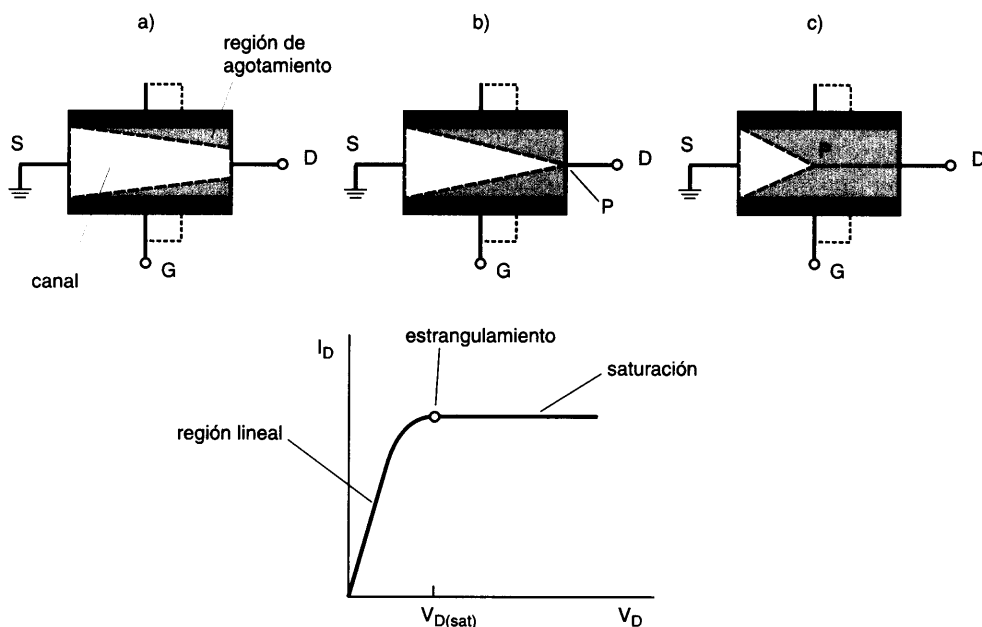


Fig. 8.2 Parte superior: Esquema de la variación de anchura del canal para valores crecientes del voltaje de drenador, V_D , de un transistor JFET: a) Para $V_D \ll V_{D,sat}$. b) $V_D = V_{D,sat}$. c) $V_D \gg V_{D,sat}$. Parte inferior: Representación de la curva de variación de la corriente de drenador, I_D .

8.1.2 Comportamiento cualitativo del JFET.

Supongamos inicialmente que el electrodo de puerta está polarizado al potencial de tierra, esto es $V_G = 0$, y que aumentamos lentamente desde cero la tensión aplicada al drenador, V_D , manteniendo el surtidor a una tensión fija de cero voltios, esto es $V_S = 0$ (potencial de tierra). Para pequeños valores de V_D , la corriente que circula entre el surtidor y el drenador, I_D , debe ser pequeña. Esta corriente es debida al movimiento de electrones desde la fuente al drenador a través del canal. En esta situación se considera que el canal está completamente abierto, comportándose del mismo modo que una resistencia (fig. 8.2a). Así pues, la variación de I_D en función de V_D en el rango de tensiones bajas será prácticamente de tipo lineal. Obsérvese en la fig. 8.2a que el canal semiconductor de tipo n está sometido a un potencial positivo respecto los contactos de puerta (polarizados a una tensión $V_G = 0$) por lo que la unión $p^+ - n$ de los contactos de puerta queda polarizada en inverso. Como consecuencia de esta polarización en inverso, la corriente que circula a través de los contactos de puerta debe ser extremadamente baja. Además, la región de carga espacial, también llamada de agotamiento, que se extien-

de a ambos lados de cada una de las dos uniones tiene una anchura mayor en la región del canal, ya que ésta es la que está menos dopada (región sombreada en la fig. 8.1a). Es importante señalar que **la anchura de la zona de agotamiento es más acusada conforme se avanza hacia el drenador, ya que el potencial $V(x)$ a lo largo del canal semiconductor (región n) es cada vez más positivo respecto de la puerta (región p).**

A medida que se aumenta V_D manteniendo $V_S = 0$, la anchura de la región de carga espacial a ambos lados de la unión $p^+ - n$ de la puerta es cada vez mayor. Este efecto da lugar a una reducción de la anchura del canal, siendo lógicamente el efecto más acusado en la zona del drenador. La reducción gradual de la anchura del canal puede ser tan elevada que puede incluso cerrar el canal en el extremo del drenador. Se origina entonces en esta región un aumento notable de la resistencia del canal, por lo que la pendiente de la curva I_D en función de V_D comienza a decrecer. Cuando el voltaje alcanza un cierto valor crítico, dado por $V_D = V_{D,sat}$ (este valor normalmente es de unos pocos voltios, aunque lógicamente depende de las dimensiones del dispositivo), se llega a la situación indicada en la fig. 8.2b, en la cual se produce el **estrangulamiento** del canal ("pinch-off") y la curva característica $I_D - V_D$ se hace entonces prácticamente horizontal (es decir, resistencia dinámica infinita). A partir de este momento, al aumentar V_D ya no aumenta más la corriente que circula a través del canal. En este rango de tensiones elevadas, conocido como **región de saturación**, el aumento de V_D da lugar a un crecimiento de la longitud de la región del canal que ha sido estrangulada, debido al desplazamiento del punto P (punto donde se produce inicialmente el estrangulamiento) hacia la región de la fuente, fig. 8.2c. Obsérvese que, contrariamente a lo que podría parecer en una primera impresión, al quedar el canal bloqueado la corriente I_D no se reduce a cero, ya que entonces no habría caída de potencial a lo largo del canal y no se llegaría a la condición de estrangulamiento.

Es preciso tener en cuenta además que a medida que el potencial en el drenador se acerca o incluso se hace más elevado que el potencial de estrangulamiento, la caída de potencial a lo largo del semiconductor, $V(x)$, ya no es homogénea. De hecho, cuando se aplica en el drenador un potencial mayor que $V_{D,sat}$ el punto P de estrangulamiento separa dos zonas de diferente resistencia en el semiconductor: entre la fuente y el punto P tenemos el canal semiconductor con resistencia baja, mientras que desde el punto P al drenador la resistencia es muy elevada, ya que corresponde a la región de agotamiento de la unión p-n polarizada en inversa. Es más, el potencial en el punto P de estrangulamiento ha de mantenerse constante e igual al valor de saturación, $V_{D,sat}$. Esto quiere decir que la tensión aplicada, V_D , se reparte de forma no homogénea, produciendo una caída igual a $V_{D,sat}$ en la zona del canal comprendida entre la fuente y el punto P, y una caída igual a $V_D - V_{D,sat}$ en la parte posterior del canal, entre P y el drenador. Para tensiones de drenador mucho más elevadas que $V_{D,sat}$, esta última región es la que absorbe la mayor parte de la tensión aplicada. Este reparto inhomogéneo de la tensión hace que en la región de saturación la corriente de fuente a sumidero sea prácticamente constante ya que está limitada por la caída de tensión entre la fuente y el punto P de estrangulamiento. Un esquema cualitativo de las dos regiones de diferente resistencia que forman el canal en la zona de saturación viene dado en la fig. 8.3.

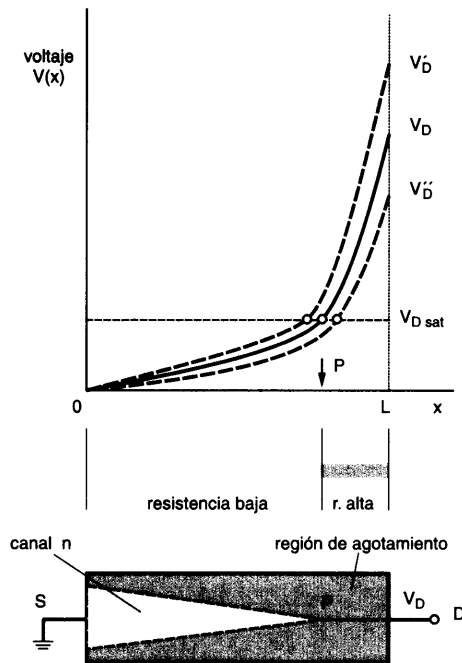


Fig. 8.3. *Parte superior: Variación del voltaje, $V(x)$, a lo largo del canal de un JFET (tipo n) cuando se aplica un voltaje V_D superior al de estrangulamiento (punto de operación en la región de saturación). Las líneas a trazos indican la situación correspondiente a diferentes valores de V_D ($V'_D > V_D > V''_D$). Parte inferior: Esquema de la situación de estrangulamiento del canal en un punto P , en el interior del JFET.*

Aparte de este efecto, existe otra limitación de la corriente que se presenta sobre todo en los transistores con una longitud de canal, L , pequeña. La corriente en este caso puede quedar limitada por la velocidad máxima que alcanzan los portadores en la parte posterior del canal (detrás del punto P), donde el campo eléctrico toma valores muy elevados. Efectivamente, se sabe que para campos relativamente altos, del orden de 10^4 Vcm^{-1} para el silicio, la velocidad de los electrones alcanza un valor de saturación (véase fig. 8.10), ya que la movilidad de los electrones en este rango decrece al aumentar el campo eléctrico aplicado. Este efecto de saturación de la velocidad de los electrones en la zona posterior del canal se puede superponer al ya mencionado de la constancia de la caída de tensión en la parte anterior del canal, produciendo uno u otro una limitación de la corriente en la región de voltajes superiores al voltaje de estrangulamiento.

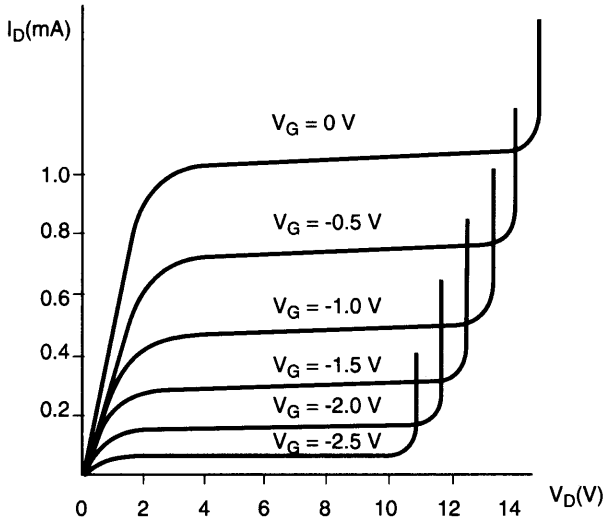


Fig. 8.4. Curvas características I_D - V_D de un JFET típico de canal n, mostrando el aumento abrupto de la corriente en la región de avalancha.

Si en el JFET de canal n polarizado a una tensión de drenador positiva determinada aplicamos ahora tensiones, V_G , negativas en el contacto de puerta, la unión p-n de la puerta queda polarizada en inverso a un potencial más elevado que en el caso anterior (con $V_G = 0$). En esta situación la anchura de la región de carga espacial en cada unión se hace todavía mayor, y a su vez la región del canal se hace más estrecha, por lo que la corriente a través del canal disminuye. En la fig. 8.4 se muestra la familia de curvas características I_D - V_D de un JFET típico de canal n, cada una de ellas correspondiente a un valor de V_G fijo. Nótese que al aumentar el voltaje en inverso, V_G , aplicado a las uniones p-n de la puerta, I_D disminuye como consecuencia del estrechamiento del canal.

En la figura 8.4 se observa también un aumento abrupto de la corriente cuando se alcanza una tensión crítica por encima del valor de saturación. Este aumento se debe a un fenómeno de avalancha de electrones originado en la unión p-n que existe entre la puerta y el canal. Este fenómeno se produce mayoritariamente en la parte posterior del canal, ya que en esta región es donde el diodo tiene una polarización inversa más elevada. Las características de este proceso de ruptura por avalancha en una unión p-n ya fueron señaladas en el capítulo tercero (sec. 3.3.4). Evidentemente, este fenómeno ocurrirá para un valor de V_D tanto menor cuanto más negativo sea V_G .

8.2. CALCULO DE LAS CURVAS CARACTERISTICAS INTENSIDAD-VOLTAJE DEL JFET

Para voltajes de drenador inferiores al de saturación, $V_D < V_{D,sat}$, se puede obtener una relación cuantitativa entre la corriente, I_D , y el voltaje aplicado, V_D , utilizando para el semiconductor el modelo de la fig. 8.1a en dos dimensiones. Para efectuar el cálculo supondremos además (véase fig. 8.5) que: i) se trata de un dispositivo de longitud de canal L y semianchura a , simétrico con respecto a un plano horizontal, ii) las caídas de voltaje en el contacto de fuente (punto de abscisa $x=0$) y del drenador (punto $x=L$) son despreciables, y iii) la variación de las variables electrostáticas en la dirección horizontal (x) es mucho más lenta que en la vertical, lo cual ocurrirá si $L \gg a$ (aproximación del canal gradual).

Consideremos el JFET de canal n tal como se representa en fig. 8.5, es decir antes del estrangulamiento total del canal. Debido al estrechamiento del canal su resistencia es más elevada a medida que se avanza hacia el drenador. Sin embargo, la corriente I_D que fluye a

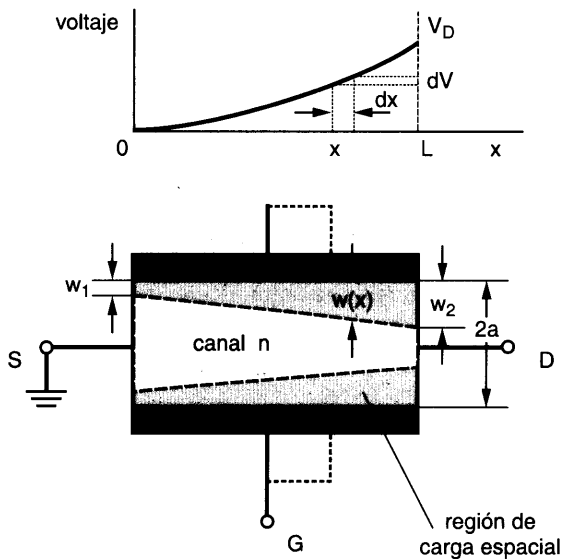


Fig. 8.5. Esquema de la sección transversal de un JFET operando en la región lineal. En la parte superior se muestra la variación del voltaje $V(x)$ a lo largo del canal para un JFET de canal n .

través de cualquier sección transversal, perpendicular a la dirección x , debe ser constante a lo largo del canal. Así pues, para cualquier punto entre $x=0$ y $x=L$ se tendrá:

$$dV = I_D dR \quad [8.1]$$

siendo dR y dV la resistencia y la caída de potencial correspondientes a una longitud dx del canal. Lógicamente, el valor de dR depende de la anchura del canal en el punto considerado y puede calcularse a través de la relación:

$$dR = \rho (dx / S)$$

donde $S = 2z [a - w(x)]$ es el área de la sección transversal del canal en el punto x , y ρ la resistividad del semiconductor. La dimensión z corresponde a la anchura del canal en la dirección perpendicular al plano de la figura. Si el semiconductor es de tipo n , con una concentración N_d de impurezas, podemos calcular su resistividad mediante la relación: $1/\rho = q \mu_e N_d$, siendo μ_e la movilidad de los portadores (electrones). Introduciendo los valores de ρ y S en la ecuación anterior tendremos:

$$dR = \frac{dx}{2q \mu_e N_d z [a - w(x)]} \quad [8.2]$$

con lo que sustituyendo en [8.1], resulta,

$$I_D dx = 2z q \mu_e N_d [a - w(x)] dV \quad [8.3]$$

Ahora bien, según el resultado obtenido en ec. [3.47], en una unión abrupta tipo p^+-n la anchura, $w(x)$, de la zona de carga espacial en la región n viene dada por una expresión del tipo:

$$w(x) = \left[\frac{2\epsilon}{q N_d} [V_o + V(x) - V_G] \right]^{1/2} \quad [8.4]$$

ya que el potencial inverso aplicado a través de la unión $p-n$ en el punto de coordenada x es $V_G - V(x)$. En la ecuación anterior, V_o es el denominado potencial barrera o de contacto de la unión de puerta y $V(x)$ es la parte del potencial que cae entre la fuente ($x=0$) y el punto considerado (de coordenada x) como consecuencia del potencial V_D aplicado en el drenador. A partir de la ec.[8.4] se puede establecer para dV :

$$dV = \frac{q N_d}{\epsilon} w dw \quad [8.5]$$

que sustituida en [8.3] nos da:

$$I_D dx = 2z q \mu_e N_d [a - w(x)] \frac{q N_d}{\epsilon} w dw$$

Integrando sobre la longitud L del canal y despejando I_D queda:

$$\begin{aligned} I_D &= \frac{2z \mu_e q^2 N_d^2}{\epsilon L} \int_{w_1}^{w_2} (a - w) w dw = \\ &= \frac{z \mu_e q^2 N_d^2}{\epsilon L} \left[a (w_2^2 - w_1^2) - \frac{2}{3} (w_2^3 - w_1^3) \right] \end{aligned} \quad [8.6]$$

Particularizando para los valores de w_1 , cuando $x=0$, $V=0$, y w_2 , cuando $x=L$, $V=V_D$ y haciendo uso de [8.4] se tiene finalmente:

$$I_D = I_P \left[\frac{V_D}{V_P} - \frac{2}{3} \left(\frac{V_D + V_o - V_G}{V_P} \right)^{3/2} + \frac{2}{3} \left(\frac{V_o - V_G}{V_P} \right)^{3/2} \right] \quad [8.7]$$

donde:

$$I_P = \frac{z \mu_e q^2 N_d^2 a^3}{\epsilon L} \quad [8.8]$$

y

$$V_P = \frac{q N_d a^2}{2\epsilon} \quad [8.9]$$

Tanto I_P como V_P son parámetros que dependen de las características del semiconductor utilizado así como de sus dimensiones geométricas. Así, un aumento de la sección transversal del semiconductor (esto es, de la semianchura a ó la profundidad z), o bien una disminución de la longitud L , hace que el valor de I_P sea más elevado. Del mismo modo, el voltaje V_P también crece con la semianchura del semiconductor. Este parámetro es conocido como *voltaje de estrangulamiento*, ya que su valor coincide aproximadamente (si no se tiene en cuenta el valor V_o) con el potencial en inverso que es necesario aplicar sobre la puerta para cerrar el canal cuando la corriente de drenador es cero (es decir $I_D=0$), según se puede demostrar fácilmente a partir de la ec. [8.4]. De esta misma ecuación se deduce además que si aplicamos a la puerta un voltaje determinado, V_G , la situación de estrangulamiento en el borde del drenador se pro-

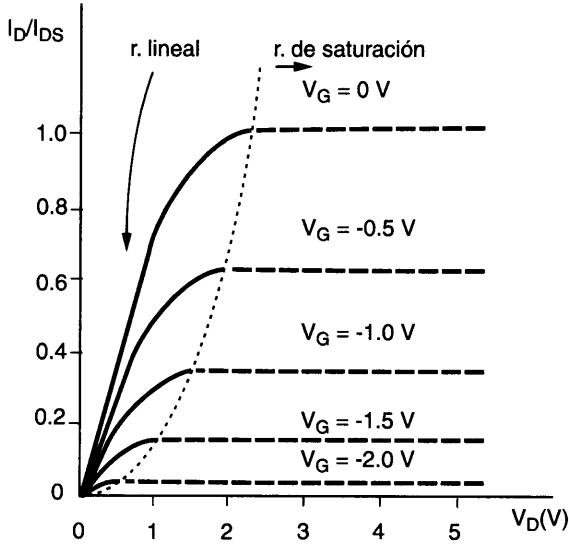


Fig. 8.6. Curvas características I_D - V_D normalizadas para un JFET de canal n , según la ec. [8.7], con $V_p = 3$ V.

duce cuando la tensión de drenador alcanza un valor, $V_{D,sat}$, tal que cumpla la ecuación:

$$a = \left[\frac{2\varepsilon}{q N_d} (V_o + V_{D,sat} - V_G) \right]^{1/2}$$

o bien, teniendo en cuenta la expresión [8.9]:

$$V_p = V_{D,sat} + V_o - V_G \quad [8.10]$$

la cual sirve para calcular $V_{D,sat}$.

En la fig. 8.6 se ha representado en trazo continuo las curvas teóricas I_D - V_D (normalizadas) correspondientes a la ec. [8.7] para un semiconductor típico. Las curvas representan la variación del cociente I_D/I_{DS} en función de V_D (siendo I_{DS} el valor de $I_{D,sat}$ correspondiente a $V_G = 0$) para voltajes inferiores al de saturación ($V_D < V_{D,sat}$). Obsérvese que para voltajes V_D pequeños las curvas características tienen un comportamiento cuasi-lineal, con una pendiente en el origen dada por el factor I_p / V_p . Es fácil demostrar que este cociente representa la

resistencia del canal completamente abierto. A medida que aumenta V_D las curvas se separan del comportamiento lineal debido a la influencia de los términos segundo y tercero de la ec. [8.7]. Para $V_D > V_{D,sat}$ la ec. [8.7] deja de ser válida y la corriente se considera constante, igual al valor de saturación, $I_{D,sat}$ (líneas de trazo discontinuo en la fig. 8.6). El valor de $I_{D,sat}$ se puede obtener a partir de la ec. [8.7] haciendo $V_D = V_{D,sat}$, con lo que resulta:

$$I_{D,sat} = I_P \left[\frac{V_P - 3(V_o - V_G)}{3V_P} + \frac{2}{3} \left(\frac{V_o - V_G}{V_P} \right)^{3/2} \right] \quad [8.11]$$

Utilizando los datos de la fig. 8.6 para las curvas características I_D - V_D de un transistor JFET se puede obtener la variación de I_D en función de V_G en la región de saturación. Resulta así la denominada *curva de transferencia* (fig. 8.7), la cual se obtiene a partir de la ordenada del punto de intersección de las curvas de la fig. 8.6 con una recta paralela al eje de ordenadas en un punto de abscisa V_D , contenido en la región de saturación. Es fácil demostrar que la curva de transferencia cumple aproximadamente la ecuación:

$$I_{D,sat} = I_{DS} \left(1 - \frac{V_G}{V_P} \right)^2 \quad \text{para } (V_G < V_P) \quad [8.12]$$

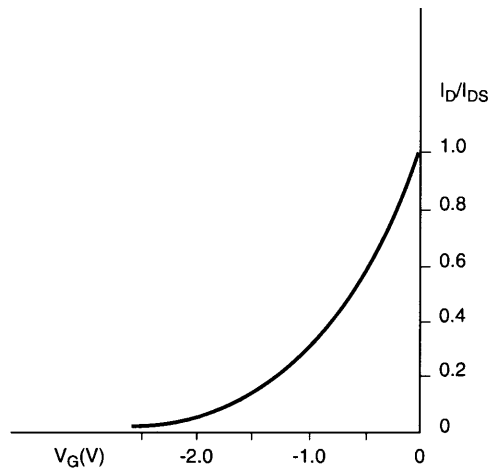


Fig. 8.7. Curva de transferencia para un JFET de canal n (I_D en función de V_G), obtenida a partir de las curvas de la figura anterior en la región de saturación.

donde I_{DS} es, según hemos visto, la corriente de saturación máxima, es decir, la corriente $I_{D,sat}$ para $V_G = 0$. Aunque esta ecuación parece muy distinta de la ec. [8.11], da sin embargo resultados muy aproximados y es mucho más sencilla de aplicar. A partir de la curva de transferencia se define un parámetro característico del transistor denominado *transconductancia*, g_m , el cual coincide con la pendiente de la curva de transferencia en el punto de operación, es decir:

$$g_m = \left. \frac{\Delta I_D}{\Delta V_G} \right|_{V_D} \quad [8.13]$$

Al estudiar los amplificadores con transistores (cap. IX) veremos que el factor de amplificación en voltaje de los JFET está directamente relacionado con el factor g_m .

8.3. CIRCUITO EQUIVALENTE DEL JFET PARA SEÑALES PEQUEÑAS (*)

Cuando se utiliza el transistor JFET como amplificador de señales alternas normalmente se emplea la *configuración de fuente común*, mostrada en la fig. 8.8a, polarizando el transistor con una tensión entre fuente y drenador, V_{DS} , suficientemente elevada para que el punto de operación se sitúe en la región de saturación (definido por una corriente I_D). La señal alterna que se desea amplificar, v_g , se aplica en el electrodo de puerta superpuesta a la tensión continua de polarización de puerta, V_{GS} . Esta señal de voltaje se traduce en variaciones de la corriente de drenador, i_d , que se superponen al valor continuo, I_D , y producen a su vez una variación, v_d , en la caída de tensión en la resistencia, R_L , introducida en el circuito de salida.

En la región de saturación del transistor se puede utilizar un análisis del comportamiento del JFET para señales pequeñas similar al del transistor bipolar funcionando en la región activa con la configuración de emisor común (apartado 6.5), haciendo la salvedad de que para el JFET la corriente en el circuito de entrada, esto es, la corriente de puerta, es prácticamente cero. Así pues, en este análisis sólo es preciso considerar el circuito de salida, en el cual la dependencia del valor instantáneo de la corriente de saturación, i_D , con las variables v_D y v_G puede escribirse como $i_D = i_D(v_D, v_G)$. Mediante el cálculo diferencial resulta para la componente alterna de i_D :

$$i_d = g_D v_d + g_m v_g \quad [8.14]$$

donde g_m es la transconductancia definida por ec. [8.13], y

$$g_D = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G} \quad [8.15]$$

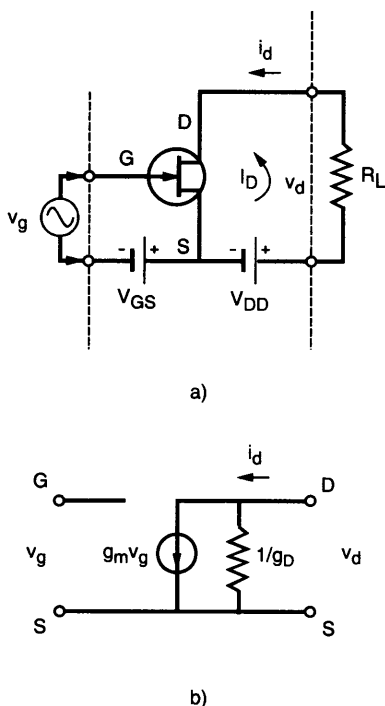


Fig.8.8. a) Circuito amplificador simple basado en un transistor JFET de canal n polarizado en la configuración de fuente común. b) Circuito equivalente de alterna para señales pequeñas del JFET funcionando en la región de saturación.

es la denominada *conductancia del canal*. En los transistores JFET esta magnitud suele tener un valor muy pequeño, ya que las curvas características en la región de saturación son prácticamente horizontales.

La ec. [8.14] sugiere el circuito equivalente de pequeña señal del JFET representado en la fig. 8.8b, en el cual la corriente en el circuito de salida, i_d , se obtiene mediante la suma de la corriente suministrada por el generador de corriente de valor $g_m v_g$ y la corriente a través de la resistencia $r=1/g_D$ debida a la señal v_d en el circuito de salida. Normalmente esta resistencia es muy elevada, varias decenas de kilohmios, por lo que desde un punto de vista práctico suele eliminarse en el circuito de salida. Por otra parte, el circuito de entrada se ha dejado abierto, es decir sin conexión con el terminal de fuente o de drenador, para tener en cuenta **el hecho fundamental de que la resistencia de entrada en el terminal de puerta de los JFET es muy elevada**. Es ésta quizás una de las características más distintivas de la familia de transis-

tores de efecto campo. Nótese la similitud del circuito de la fig. 8.8b con el circuito equivalente del transistor bipolar representado en la fig. 6.18.

Cuando los JFET operan a muy alta frecuencia hay que tener en cuenta el tiempo de tránsito, t_r , de los portadores a través del canal. Se puede demostrar que t_r es proporcional a L^2 , por lo que la frecuencia de corte a partir de la cual los portadores ya no responden a las variaciones de la señal aplicada es inversamente proporcional a L^2 . Por tanto para mejorar el comportamiento del transistor a frecuencias altas es muy conveniente que la longitud del canal sea lo más pequeña posible.

8.4. EL TRANSISTOR DE UNION METAL-SEMICONDUCTOR (MESFET)

El MESFET fué propuesto por Mead en 1966, y aunque su funcionamiento es conceptualmente similar al JFET discutido más arriba, desde un punto de vista práctico puede operar a frecuencias bastante más altas, en la región de las microondas. A diferencia del JFET, el electrodo de puerta está formado por una unión metal-semiconductor (de ahí el nombre de MESFET) de tipo Schottky en lugar de una unión p-n, como se puede apreciar en el esquema

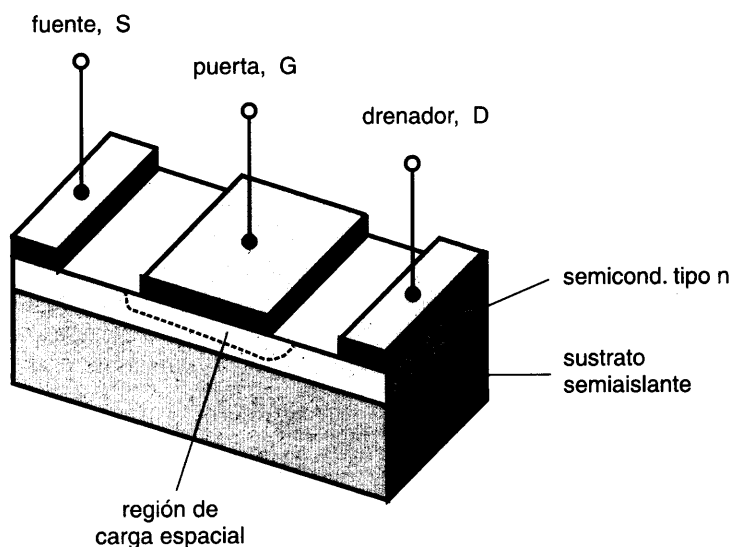


Fig. 8.9. Esquema de la estructura de un transistor tipo MESFET. El contacto de puerta está formado por una unión metal-semiconductor, tipo Schottky.

de la fig. 8.9. La estructura se completa con otros dos electrodos metálicos depositados sobre la superficie del semiconductor, en sus extremos, formando un contacto óhmico con el semiconductor. Uno de estos electrodos actúa de *fuentes o surtidor* (S) y el otro de *drenador o sumidero* (D).

Los MESFET son construidos en casi su totalidad a partir de arseniuro de galio en lugar de silicio. Las ventajas de la utilización del arseniuro de galio son varias: i) En el rango de operación útil, los electrones del arseniuro de galio presentan una movilidad de $0.8 \text{ m}^2\text{V}^{-1}\text{s}^{-1}$, es decir unas cinco veces superior a la del silicio. ii) La velocidad de arrastre máxima de los electrones por un campo eléctrico es en el GaAs alrededor del doble de la de los electrones en el Si (véase la fig. 8.10). iii) Los MESFET se fabrican depositando una capa epitaxial de GaAs dopada convenientemente sobre un sustrato de GaAs con propiedades semiaislantes ($\rho \approx 10^8 \text{ ohm cm}$). De este modo, las capacidades parásitas entre el sustrato y los contactos metálicos de los electrodos son muy bajas. iv) La posibilidad, en los dispositivos de puertas muy cortas, de que los electrones alcancen velocidades muy elevadas, lo que resulta en un tiempo de tránsito muy pequeño. Todo ello hace posible construir hoy día amplificadores que pueden operar hasta frecuencias de 60 GHz, así como circuitos digitales de muy alta velocidad. Debido a todas estas características el GaAs está sustituyendo ventajosamente al Si en algunas aplicaciones especiales, a pesar de que la tecnología de circuitos integrados basada en el GaAs está todavía mucho menos desarrollada que la del Si.

8.5. CURVAS CARACTERISTICAS INTENSIDAD-VOLTAJE DEL MESFET

El funcionamiento del MESFET es muy similar al del JFET estudiado en los apartados anteriores. De hecho la capa epitaxial semiconductor actúa como un canal efectivo para los portadores, ya que está limitado en su parte inferior por el sustrato semiaislante. Si el canal es de tipo n, el electrodo de puerta se polariza negativamente, con lo cual se forma una región de carga espacial en el semiconductor vacía de portadores, que controla la anchura efectiva del canal. Asimismo, en el modo normal de operación, la fuente se conecta a tierra y el drenador a un potencial positivo. De esta forma la fuente inyecta electrones hacia el sumidero a través del canal formado por el semiconductor.

La fig. 8.11 muestra la variación de la intensidad I_D en función del voltaje V_D aplicado al drenador de un MESFET típico. Consideremos primero que la tensión de puerta se mantiene a potencial cero (esto es $V_G = 0$). Para pequeños valores de V_D el canal semiconductor actúa como una resistencia pura, y por tanto la relación $I_D - V_D$ es de tipo lineal. Sin embargo, cuando se aplican voltajes V_D más elevados, el canal semiconductor se hace cada vez más positivo respecto de la puerta por lo que la región de carga espacial se hace progresivamente más ancha. Esto implica una disminución de la anchura del canal (sobre todo en la zona próxi-

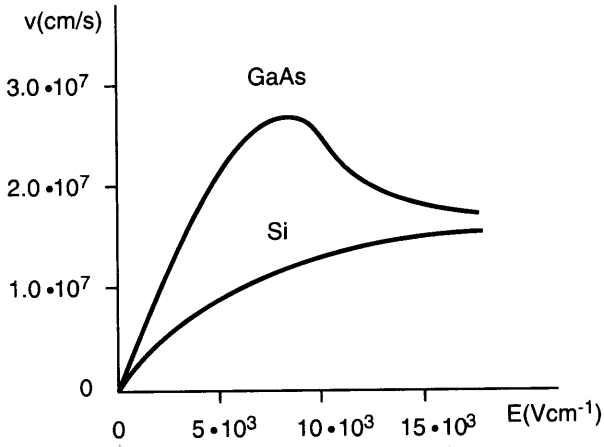


Fig. 8.10. Velocidad de arrastre de los electrones en función del campo eléctrico, para el GaAs y el Si.

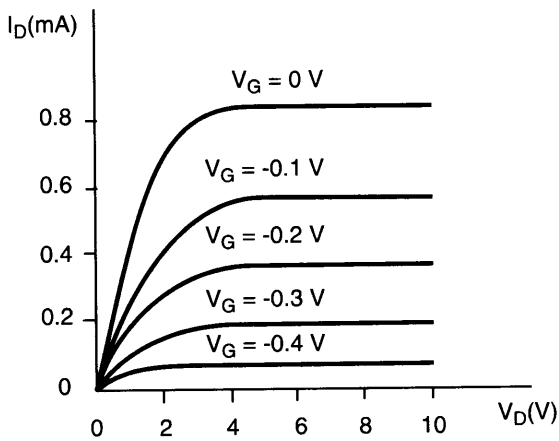


Fig. 8.11. Curvas características I_D - V_D de un MESFET (con un semiconductor tipo n), de canal "normalmente abierto".

ma al drenador) y un aumento de su resistencia, lo cual da lugar a una disminución de la pendiente de la curva $I_D - V_D$. Cuando V_D toma valores superiores a una cierta tensión crítica o umbral, necesaria para el estrangulamiento del canal, la corriente se estabiliza por un efecto similar al JFET (fig. 8.11).

En el caso de los MESFET de GaAs, este efecto de saturación de la corriente es debido en gran parte a la limitación de la velocidad de los electrones en la región del canal próxima al drenador. Debido al diseño de los MESFET, con una longitud de canal generalmente muy pequeña, el campo eléctrico en la región del sumidero puede alcanzar valores muy elevados cuando se aplican tensiones de drenador suficientemente altas. La velocidad de los electrones se sitúa entonces a la derecha del máximo en la curva correspondiente al GaAs en la fig. 8.10,

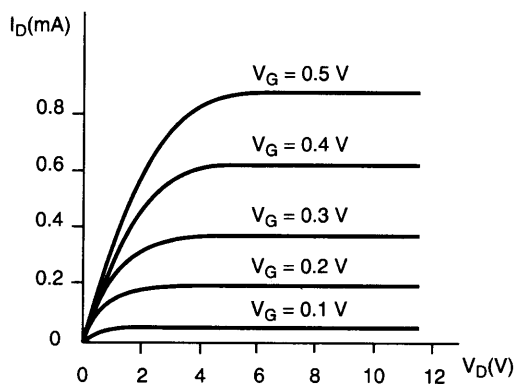


Fig. 8.12. Curvas características $I_D - V_D$ de un MESFET similar al anterior, de canal "normalmente cerrado".

alcanzando un valor de saturación. En esta región de campos eléctricos elevados, un aumento del campo eléctrico se compensa por una disminución de la movilidad de los electrones, con lo que la corriente a través del canal se mantiene constante.

Evidentemente, si el potencial de puerta, V_G , se hace negativo la región de carga espacial se ensancha y el canal semiconductor se hace más estrecho. Por esta razón, la corriente I_D a través del canal será menor cuanto más negativo sea V_G . Se puede obtener una relación cuantitativa para la característica $I_D - V_D$ siguiendo el mismo cálculo que se efectuó en el apartado anterior para el JFET. De hecho el resultado de la ec. [8.7] es también válido para el MESFET, siendo V_p el voltaje crítico o umbral a partir del cual la corriente se estabiliza por efecto del estrangulamiento del canal.

Cuando se pretende una velocidad de respuesta elevada a menudo se recurre a dispositivos MESFET diseñados de tal manera que el canal se encuentra cerrado cuando la tensión aplicada es cero. Para ello, basta que el espesor de la capa epitaxial depositada sobre el sustrato semiaislante y que constituye el canal sea suficientemente fina. Cuando este espesor es menor que el de la carga espacial de la unión metal-semiconductor en equilibrio ($V_G = 0$) el canal está bloqueado, y el transistor se dice que es del tipo "normalmente cerrado" (en contraste a los anteriormente descritos que son de canal "normalmente abierto"). Sin embargo, si se aplican voltajes positivos con un valor pequeño a la puerta la región de carga espacial se reduce dejando libre un pequeño canal para la corriente que pasa desde la fuente al drenador. La tensión positiva aplicada a la puerta nunca puede ser superior a unas pocas décimas de voltio, ya que en otro caso se perdería el carácter bloqueante del contacto y una cierta fracción de la corriente a través del canal se perdería por el propio contacto de puerta. Las características I_D - V_D de estos dispositivos son muy similares a las de canal abierto, con la única diferencia de que la corriente aumenta al aumentar V_G , según se observa en la fig. 8.12.

8.6. TRANSISTORES METAL-OXIDO-SEMICONDUCTOR DE EFECTO CAMPO (MOSFET)

En el capítulo anterior se ha considerado la estructura MOS como un dispositivo de dos terminales, lo cual permite estudiar la estructura de bandas y la distribución de carga en el interior del semiconductor cuando se aplica una tensión en los extremos de la estructura. Estos estudios son necesarios para el entendimiento, e incluso la previsión, del funcionamiento de los transistores MOSFET, o abreviadamente MOS. Los transistores MOS encuentran en la actualidad amplia aplicación en las puertas lógicas utilizadas en electrónica digital y en las memorias semiconductoras.

8.6.1. Estructura básica del MOSFET

En la fig. 8.13a se muestra la estructura básica de un transistor MOS de silicio de tipo p, desarrollado también según la tecnología planar. Básicamente consiste en una estructura MOS en la cual el electrodo metálico superior, G, depositado sobre la capa aislante actúa como terminal de puerta del transistor. Existen además dos regiones pequeñas de la superficie dopadas fuertemente con impurezas donadoras, es decir de tipo n^+ , situadas a cada lado de la puerta. Sobre cada una de estas regiones o islas de tipo n^+ se deposita asimismo un electrodo metálico, formando el contacto de fuente o surtidor, S, y el de sumidero o drenador, D, del transistor. Finalmente, al igual que en una estructura MOS simple, sobre la superficie inferior del dispositivo se deposita una capa metálica que se mantiene conectada a tierra. En la fig. 8.13b se muestra el símbolo del transistor MOS de canal n (como el de fig. 8.13a) en el cual la flecha indica el sentido convencional de la corriente (de drenador a fuente) en el modo normal

de operación del transistor. En el MOSFET de canal p, la corriente tiene sentido opuesto y la flecha del dibujo lleva la dirección invertida.

8.6.2. Descripción cualitativa del funcionamiento del MOSFET

Consideremos primero el caso de que el voltaje aplicado a la puerta es cero, es decir, $V_G = 0$. Las dos regiones o islas de tipo n^+ de fuente y drenador forman con el resto del semiconductor de tipo p sendas uniones p- n^+ conectadas en oposición, por lo que prácticamente no existe paso de corriente entre los electrodos de fuente y sumidero, cualquiera que sea el signo de la tensión aplicada entre ellos.

Supongamos ahora que aplicamos un voltaje positivo suficientemente alto a la puerta para tener la condición de inversión fuerte en la interfase del semiconductor con el óxido (véase apartado 7.1). Esto quiere decir que $V_G \geq V_T$, siendo V_T el voltaje umbral de la estructura MOS. Los portadores minoritarios, electrones en este caso, dan lugar a la formación de un canal conductor de tipo n en la superficie del semiconductor entre la fuente y el drenador con una conductancia mayor cuanto más alto sea el voltaje aplicado en la puerta. Como ya

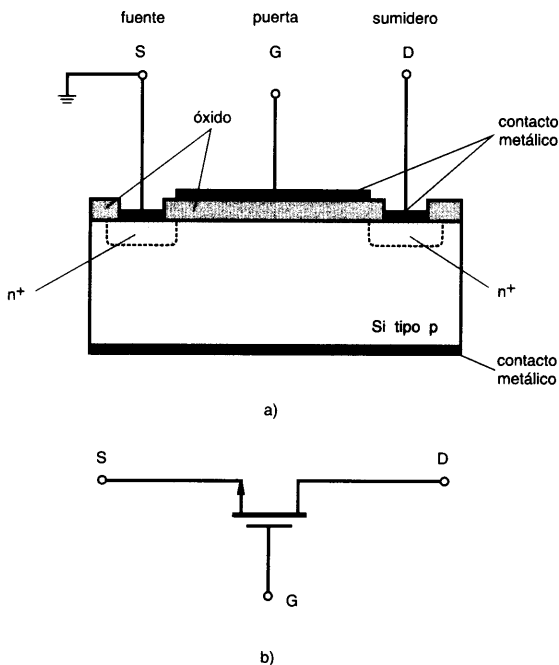


Fig. 8.13. a) Estructura típica de un MOSFET de canal n. b) Símbolo del MOSFET de canal n utilizado en circuitos.

vimos en el capítulo anterior, este canal está limitado en su parte superior por la capa aislante de SiO_2 y en la parte inferior por la región de carga espacial que se forma en el semiconductor bordeando la puerta y también alrededor de las islas n^+ de los contactos de fuente y sumidero. En estas circunstancias si se aplica un voltaje positivo de valor pequeño al drenador (véase la fig. 8.14a), los electrones fluyen desde la fuente al drenador a lo largo del canal que actúa ahora como si fuera una resistencia de valor bajo (nótese que en el canal, al estar invertido, la conducción tiene el mismo carácter que en la fuente y el sumidero). Se obtiene así, en esta región de voltajes de drenador bajos, una variación lineal entre la corriente I_D y el voltaje aplicado, V_D .

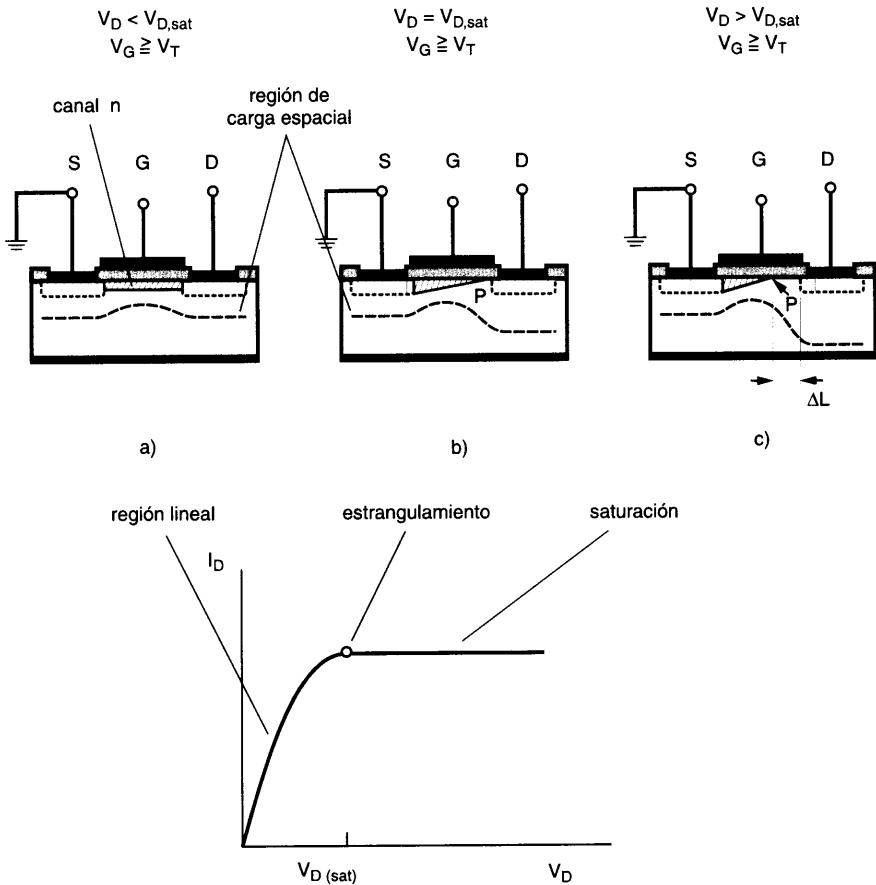


Fig. 8.14. Esquema de la variación de la anchura del canal al aplicar voltajes de drenador crecientes en un MOSFET de canal n. En la parte inferior se muestra la correspondiente curva característica I_D - V_D .

Al aumentar V_D , manteniendo $V_D < V_G$, tanto la región de carga espacial que rodea al drenador como aquella que existe a lo largo del canal se ensancha, ya que el contacto inferior del dispositivo está a tierra. Debido a la progresiva caída de tensión desde la fuente al drenador, el ensanchamiento es tanto mayor cuanto mas próximos nos hallemos del drenador. Por otra parte, esta caída de tensión a lo largo del canal semiconductor hace que la diferencia de potencial efectiva entre la puerta y el semiconductor sea cada vez más pequeña a medida que se avanza hacia el drenador. **Todo ello da lugar a una disminución del número de electrones que están presentes en la capa de inversión próxima al drenador, lo que equivale a su vez a una reducción, también progresiva, de la anchura del canal.** Evidentemente, esta reducción es más acusada en la zona del drenador. El efecto global es una disminución de la pendiente en la curva de variación de I_D en función de V_D .

Cuando se alcanza un voltaje, tal que la anchura del canal se reduce a cero en el drenador (fig. 8.14b), se dice que ha ocurrido el estrangulamiento del canal (punto P en fig. 8.14b). Esto ocurrirá para un voltaje denominado *voltaje de saturación*, $V_{D,sat}$, el cual ha de cumplir la relación $V_{D,sat} = V_G - V_T$. Para voltajes más elevados, la región del canal estrangulada, ΔL , aumentará de longitud en la dirección de la fuente (fig. 8.14c) y la corriente se mantendrá esencialmente constante, ya que el voltaje en el nuevo punto P de estrangulamiento se mantiene prácticamente igual a $V_{D,sat}$. De hecho, el mecanismo de limitación de la corriente entre el punto P y la región de agotamiento del drenador es muy similar a la de un transistor JFET (véase sec. 8.1.2), de ahí que las características I_D - V_D sean también similares.

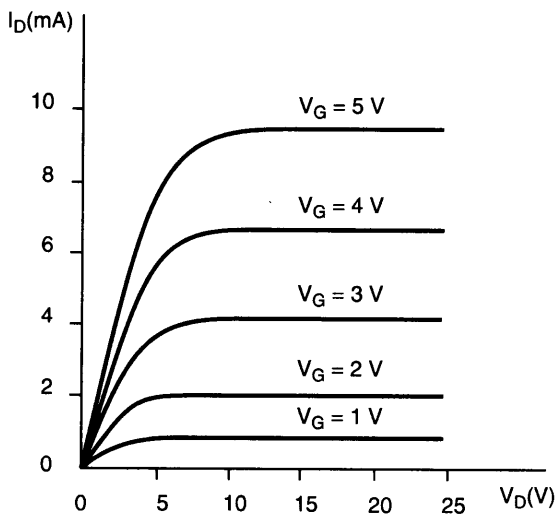


Fig.8.15. Curvas I_D - V_D típicas de un MOSFET de canal n.

En la fig. 8.15 se presentan las curvas experimentales I_D - V_D obtenidas al variar la tensión de puerta, V_D , en un transistor MOS de canal n. Obsérvese en esta figura que, para un voltaje V_D dado, al hacer más positiva la tensión V_G aplicada a la puerta la corriente I_D se hace más elevada, ya que el canal es cada vez más ancho y por tanto el número de portadores más elevado. Hay que notar también que para conseguir que el canal sea conductor es preciso que V_G tenga un valor por lo menos igual al voltaje umbral (alrededor de un voltio) para la formación en la superficie de una capa con fuerte inversión. Evidentemente, en los transistores MOS de silicio de tipo n el canal conductor es de tipo p y el potencial de puerta ha de ser negativo. Asimismo, la tensión V_D debe ser negativa en este caso. Por lo demás el comportamiento es exactamente igual al transistor MOS de canal n discutido más arriba.

8.7. CALCULO DE LAS CARACTERISTICAS INTENSIDAD-VOLTAJE DEL MOSFET(*)

Con objeto de obtener una relación sencilla entre la corriente I_D y el voltaje V_D para un transistor MOSFET de canal n consideraremos el caso ideal, es decir, cuando no hay diferencia entre la función de trabajo del metal de puerta y la del semiconductor, las cargas eléctricas en el óxido son nulas y no existen estados superficiales. Supondremos además que inicialmente aplicamos en la puerta una tensión V_G superior a la umbral, esto es, $V_G > V_T$. Esto quiere decir que, incluso sin tensión aplicada en el drenador, el canal se encuentra en condiciones de inversión fuerte.

Análogamente al caso del JFET estudiado anteriormente, consideraremos el caso en el que el transistor se polariza en la región cuasi-lineal de las curvas I_D - V_D . Esto implica que la tensión aplicada al drenador, V_D , (con la fuente a potencial cero) es menor que la tensión de saturación, $V_{D,sat}$, es decir $V_D < V_{D,sat}$. Siguiendo el modelo desarrollado para el JFET podemos suponer también que la anchura del canal es variable, disminuyendo en la dirección del drenador (en realidad lo que varía es la concentración de carga presente en cada punto del canal). Consecuentemente, la resistividad del canal debe aumentar al pasar de la fuente al drenador. Sabiendo que la corriente en cualquier punto del canal, I_D , debe ser independiente de la posición, podemos poner:

$$dV = I_D dR \quad [8.16]$$

siendo dR la resistencia de un elemento dx en una posición x a lo largo del canal, con una resistividad ρ variable. El valor de dR vendrá dado por:

$$dR = \rho(x) \frac{dx}{S} = \frac{l}{q \mu_e n(x)} \frac{dx}{z y(x)} \quad [8.17]$$

donde $S = zy(x)$ representa el área de la sección transversal del canal de profundidad z y altura $y(x)$ variable (fig. 8.16). El producto $qn(x)y(x)$ del denominador corresponde a la densidad de carga de inversión contenida en el canal en la posición x , $Q'_{inv}(x)$. Así pues, a partir de las ecs. [8.16] y [8.17] podremos escribir:

$$I_D dx = z \mu_e Q'_{inv}(x) dV \quad [8.18]$$

La carga por unidad de área en la zona de inversión del semiconductor, $Q'_{inv}(x)$, se puede expresar como (véase sec. 7.3.1):

$$Q'_{inv}(x) = Q'_s(x) - Q'_{agot}(x) \quad [8.19]$$

donde $Q'_s(x)$ es la carga total en el punto de coordenada x de la interfase del semiconductor con el aislante y $Q'_{agot}(x)$ es la carga comprendida en la zona de agotamiento (ambas por unidad de superficie). Ahora bien, en la situación de inversión Q'_s está directamente relacionada con la capacidad específica de la estructura MOS, C'_{ox} , a través de la ecuación: $Q'_s = -C'_{ox}V_{ox}$. En esta ecuación V_{ox} es la parte del potencial de puerta que cae en el óxido. Teniendo en cuenta además la ec. [7.20], la ecuación anterior queda:

$$Q'_{inv}(x) = -C'_{ox}[V_G - \psi_s(x)] - Q'_{agot} \quad [8.20]$$

siendo V_G el voltaje aplicado a la puerta y $\psi_s(x)$ el potencial de superficie correspondiente al punto de coordenada x . Por otra parte, en una estructura MOS con semiconductor tipo p, dopado con una concentración de impurezas N_a , la carga de agotamiento está relacionada con ψ_s a través de la ec. [7.16], por lo que la expresión anterior resulta:

$$Q'_{inv}(x) = -C'_{ox}[V_G - \psi_s(x)] + [2qeN_a\psi_s(x)]^{1/2} \quad [8.21]$$

Si denominamos $V(x)$ a la caída de voltaje entre la fuente del MOSFET y un punto de abscisa x a lo largo del canal, podemos escribir para el potencial de superficie del semiconductor cuando está en inversión fuerte: $\psi_s(x) \approx 2\psi_i + V(x)$, con ψ_i definido a través de la ec. [7.7]. Esta expresión de $\psi_s(x)$ sustituida en [8.21] nos da para $Q'_{inv}(x)$:

$$Q'_{inv}(x) = -C'_{ox}[V_G - 2\psi_i - V(x)] + \{2qeN_a[2\psi_i + V(x)]\}^{1/2} \quad [8.22]$$

En la fig. 8.16 se da un esquema cualitativo de la variación de la carga de inversión y del potencial a lo largo del canal en un transistor MOSFET de canal n polarizado en la región lineal.

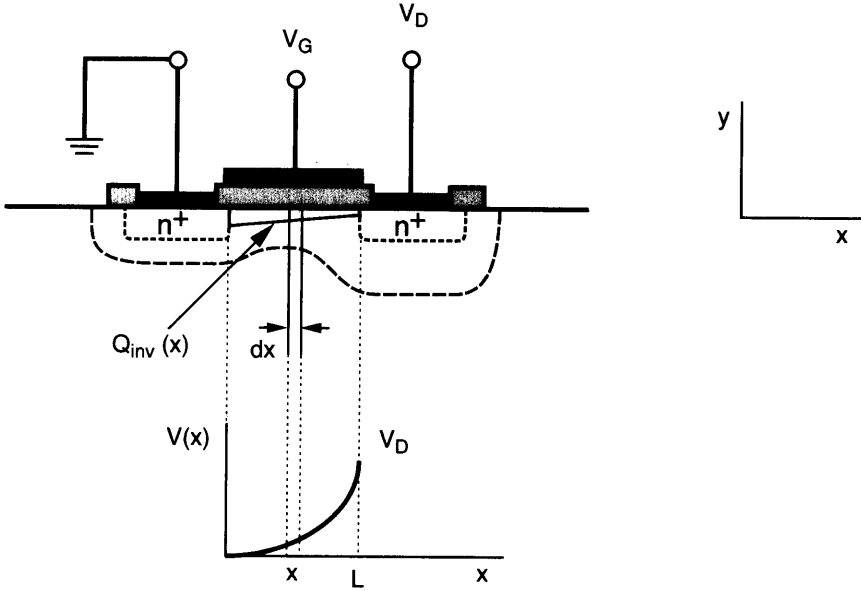


Fig.8.16. Esquema de la variación de la carga de inversión, $Q'_{inv}(x)$, y de la tensión, $V(x)$, a lo largo del canal en un MOSFET, tipo n, polarizado en la región lineal ($V_D < V_{D,sat}$).

Sustituyendo ahora en la ec. [8.18] el valor de $Q'_{inv}(x)$ dado por ec. [8.22] e integrando ambos miembros de la ecuación anterior entre los límites $x=0$ y $x=L$, para $V=0$ y $V=V_D$, respectivamente, resulta finalmente:

$$I_D = \frac{z}{L} \mu_e \left\{ C'_{ox} \left(V_G - 2\psi_i - \frac{V_D}{2} \right) V_D - \frac{2}{3} (2q\epsilon N_a)^{1/2} [(2\psi_i + V_D)^{3/2} - (2\psi_i)^{3/2}] \right\} \quad [8.23]$$

En el anterior análisis se ha considerado la movilidad constante con un valor igual al valor medio de la movilidad de los electrones dentro del canal. Debido a que la anchura del canal es muy pequeña, los electrones de la capa de inversión interaccionan fuertemente con la superficie del óxido, disminuyendo su velocidad. Por esta razón la movilidad, μ_e , en el canal es más baja que en el interior del semiconductor, y además puede incluso depender de la anchura del canal.

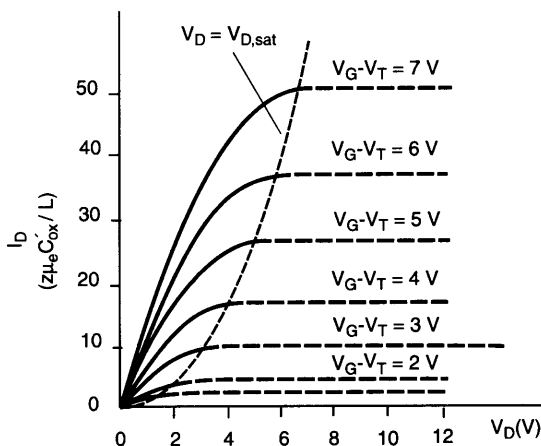


Fig. 8.17. Curvas características I_D - V_D (normalizadas) para un MOSFET de canal n, según la ec. [8.23].

En la fig. 8.17 se ha representado en trazo continuo las curvas características normalizadas intensidad-voltaje de un MOSFET según la ec. [8.23]. Según se observa, para pequeños valores de V_D la dependencia es de tipo lineal, mientras que para voltajes más elevados la pendiente disminuye hasta el valor cero, correspondiente al punto de abscisa $V_D = V_{D,sat}$. A pesar de las aproximaciones empleadas en el modelo, también en este caso se obtiene un buen acuerdo entre las curvas teóricas y las obtenidas experimentalmente (fig. 8.15)

En la región lineal, para voltajes V_D mucho menores que $(V_G - V_T)$ la ec.[8.23] puede aproximarse por:

$$I_D \approx \frac{z}{L} \mu_e C'_{ox} (V_G - V_T) V_D \quad [8.24]$$

En esta región la conductancia del canal, g_D , vendrá dada de forma aproximada por:

$$g_D = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G} \approx \frac{z}{L} \mu_e C'_{ox} (V_G - V_T) \quad [8.25]$$

y la transconductancia, g_m :

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D} \approx \frac{z}{L} \mu_e C'_{ox} V_D \quad [8.26]$$

Al igual que en el caso del JFET, para $V_D = V_{D,sat}$ ocurre el estrangulamiento del canal en el drenador. Por encima de este voltaje, la corriente toma un valor constante, $I_{D,sat}$ (líneas de trazo discontinuo en la fig. 8.17). El valor de la corriente de saturación, $I_{D,sat}$, puede hallarse obteniendo primero el valor de $V_{D,sat}$ a partir de la ec. [8.22] imponiendo la condición que para $x=L$ se cumple que $Q'_{inv} = 0$ y sustituyendo el valor así obtenido en la ec. [8.23] (véase problema 8.9). Se obtiene de este modo para $I_{D,sat}$:

$$I_{D,sat} \approx \frac{z \mu_e \epsilon_{ox}}{2dL} (V_G - V_T)^2 \quad [8.27]$$

donde d y ϵ_{ox} son, respectivamente, el espesor y la constante dieléctrica del óxido y V_T es el voltaje umbral dado por la ec. [7.24] del capítulo anterior. Evidentemente, en la región de saturación la conductancia del canal es prácticamente nula, mientras que la transconductancia g_m viene dada, a partir de ec. [8.26], por:

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D} \approx \frac{z \mu_e \epsilon_{ox}}{dL} (V_G - V_T) \quad [8.28]$$

siendo una función que depende únicamente de la tensión aplicada en la puerta, V_G .

8.8. CIRCUITO EQUIVALENTE DEL MOSFET PARA SEÑALES PEQUEÑAS (*)

En los circuitos amplificadores de señales alternas basados en un MOSFET, el transistor se polariza en la región de saturación utilizando la configuración de fuente común. La señal alterna, v_g , que se pretende amplificar se introduce, al igual que en los otros tipos de transistores estudiados en este capítulo, superpuesta a la tensión de polarización de puerta, V_G . En estos circuitos, las variaciones producidas en la tensión de puerta originan a su vez una variación en la corriente de drenador, i_d , que se superpone a la corriente continua del drenador, I_D . Estas variaciones de corriente provocan también una señal variable, v_d , en la resistencia R_L introducida en el circuito de salida.

En la región de saturación se puede realizar un análisis del comportamiento del MOSFET similar al del transistor bipolar funcionando para la región activa. Las características del

circuito equivalente resultante son muy similares a las obtenidas para el transistor JFET. La fig. 8.18a muestra el circuito equivalente de un MOSFET operando a baja frecuencia. Igual que en el JFET, la puerta G se encuentra separada de los electrodos de la fuente y el sumidero debido a la resistencia prácticamente infinita de la capa de óxido. En este sentido, el MOSFET es el transistor que presenta mejores características en lo que se refiere a la resistencia de entrada, ya que al ser casi infinita, el dispositivo no consume corriente de la fuente de alimentación que proporciona la señal v_g . Nótese en el circuito equivalente que la señal de salida se obtiene a través de un generador de corriente de valor $g_m v_g$. Hay que señalar que, en lo que se refiere al circuito de salida, el MOSFET, al igual que otros transistores, se comporta como una fuente de corriente constante. Este hecho es debido a la horizontalidad de las curvas I_D - V_D en la región de saturación.

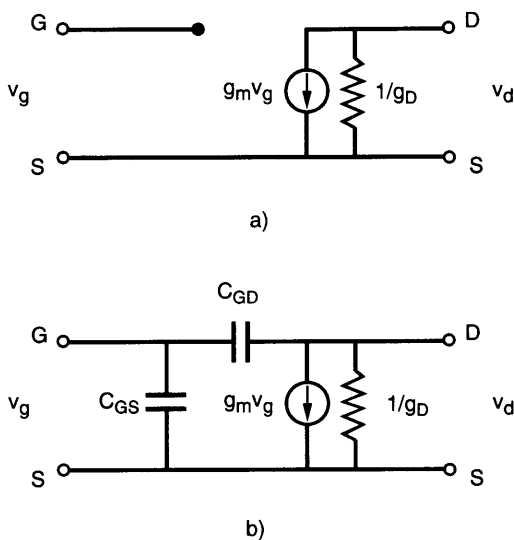
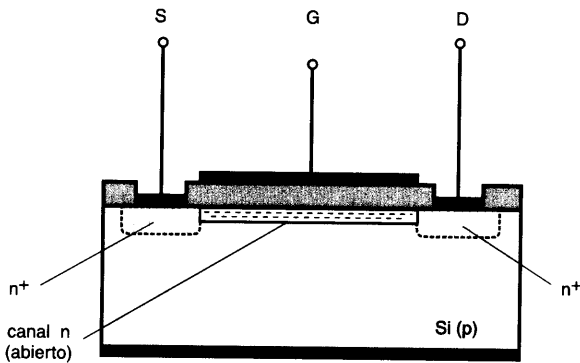


Fig.8.18. a) Circuito amplificador simple de señales pequeñas para un MOSFET, de canal n, polarizado en la región de saturación. b) Circuito equivalente del transistor para baja frecuencia.

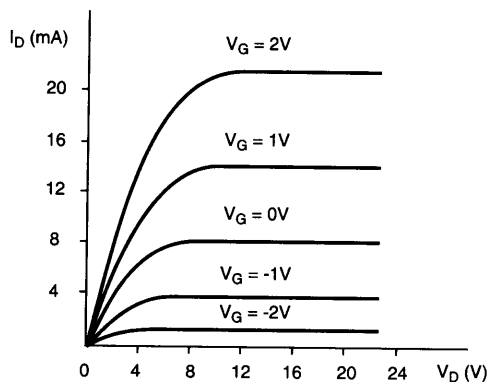
Cuando se trabaja con señales de alta frecuencia es preciso tener en cuenta las capacidades parásitas entre el electrodo de puerta y los de fuente y sumidero (C_{GS} y C_{GD} en la fig. 8.18b). Estas capacidades parásitas pueden tener bastante importancia en el transistor MOSFET, ya que alteran profundamente el tiempo de respuesta del transistor. Se puede demostrar que el tiempo de respuesta es proporcional al cuadrado de la longitud L del canal, por lo que cuando se desea trabajar a frecuencias altas es preciso reducir la longitud del canal al máximo posible.

8.9. OTROS TIPOS DE MOSFET (*)

En las secciones anteriores hemos visto que la conductividad del canal en un MOSFET aumenta sustancialmente al formarse una capa de inversión mediante la aplicación de un voltaje superior al umbral. A este tipo de transistores, bien sean de canal n ó p se les denomina *MOSFET de enriquecimiento* y también se les conoce como transistores de canal "normalmente cerrado".



a)



b)

Fig. 8.19. a) Estructura de un MOSFET de canal n de agotamiento. b) Curvas características I_D - V_D para un MOSFET típico de canal n de agotamiento.

Se puede conseguir que el transistor funcione con el canal «normalmente abierto», si la región del canal se dopa con impurezas de tipo opuesto al resto del semiconductor, formando así una capa conductora entre las islas que forman las regiones de fuente y sumidero. A este tipo de transistores se les denomina *MOSFET de agotamiento*, ya que como veremos después el transistor puede funcionar en la región de agotamiento del canal. En la fig. 8.19a se ha representado un MOSFET de agotamiento con canal n. Obsérvese que el canal conductor, al igual que las regiones de puerta y drenador es de tipo n. La aplicación de voltajes negativos a la puerta da lugar en este caso a una disminución del número de portadores en el canal (región de agotamiento) por lo que la corriente I_D disminuye para un voltaje V_D fijo, pudiendo incluso hacerse cero si V_G es suficientemente negativo. Al contrario, si el voltaje de puerta es positivo, con un valor superior al umbral, el canal se enriquece con los portadores minoritarios de inversión y la corriente aumenta. Lógicamente las características I_D - V_D de un MOSFET de agotamiento son similares a las del MOSFET de enriquecimiento con la diferencia de que la tensión de puerta admite a la vez valores positivos y negativos (fig. 8.19b).

8.10. ASPECTOS TECNOLOGICOS DEL MOSFET

Igual que ocurre en el JFET, el límite de la frecuencia superior de utilización del transistor está relacionado con el tiempo de tránsito de los electrones de la fuente al sumidero, por lo que es conveniente que la longitud L del canal sea la menor posible, siendo el límite actual de L alrededor de media micra. De los dos tipos de MOSFET de silicio, de canal n o de canal p, los primeros son preferidos por la mayor movilidad de los electrones en relación a los huecos.

El voltaje umbral para la estructura MOS ideal, dado por la ecuación [7.24], es alrededor de 1V para los MOSFET de silicio de canal n y -1V para los de canal p. Ahora bien, si tenemos en cuenta que la diferencia entre las funciones de trabajo del metal y el semiconductor es $\phi_{ms} \approx -1V$ y que el cociente Q_f/C_{ox} (Q_f es la carga fija en el óxido) resulta también del orden de -1V, se tendrá que el voltaje umbral real es alrededor de -1V y -3V para los MOSFET de canal n y p, respectivamente. Quizás uno de los mayores avances en la disminución de V_T se consiguió al utilizar el propio silicio en forma policristalina (polisilicio) como contacto de puerta, en lugar del aluminio, ya que de esta forma la diferencia de funciones de trabajo es cero. Para hacer más conductor el silicio policristalino se dopa fuertemente con fósforo durante la deposición, quedando el material como un semiconductor degenerado, es decir con una conductividad elevada.

Para disminuir aún más el valor de V_T se siguen diversos procedimientos. El primero consiste en utilizar para el sustrato de silicio obleas cortadas según la cara [100] de la superficie en lugar de la cara [111]. De este modo, se consigue así que el valor de Q_f disminuya notablemente (véase apartado 7.4). Otro procedimiento consiste en aumentar la capacidad

C_{ox} utilizando una primera capa de SiO_2 para conservar las buenas propiedades de la interfase Si- SiO_2 seguido de una capa de nitruro de silicio (Si_3N_4) que tiene una constante dieléctrica aproximadamente el doble de la del SiO_2 . Otro método muy utilizado para reducir el voltaje umbral consiste en dopar ligeramente la región del canal con impurezas de signo opuesto mediante implantación iónica. Para ello iones de tipo donador, fósforo, p.e., son acelerados hasta unos 300 KeV y con ellos se bombardea el sustrato de tipo p, siendo más fácil entonces formar el canal n. Mediante una dosificación adecuada de los iones donadores, con esta técnica se puede formar en un mismo proceso las regiones o islas de la fuente y el sumidero (de carácter n^+). Incluso, en el mismo sustrato de tipo p se pueden fabricar también otros dispositivos MOSFET de agotamiento simplemente aumentando la dosis de fósforo en la región correspondiente al canal de estos dispositivos. Por último mencionaremos que también se puede disminuir V_T haciendo el aislante de la puerta lo más fino que sea posible. En este sentido, actualmente se han preparado transistores MOS con espesor del óxido aislante de tan sólo unos 100 Å. Para conseguir que un óxido de estas características mantenga sus propiedades aislantes es preciso preparar la capa de óxido con un grado de perfección elevado. Los problemas asociados con la técnica de obtención del SiO_2 vienen descritos en el capítulo XIII.

CUESTIONES Y PROBLEMAS

- 8.1 Señalar las características más destacadas de los transistores de efecto campo, comparándolas con las de los transistores bipolares.
- 8.2 Si un transistor de efecto campo se encuentra en condiciones de estrangulamiento del canal, es decir, con $V_D = V_{D,sat}$, ¿cómo es posible que haya paso de corriente a través de canal?
- 8.3 Hacer un esquema de las bandas de energía a lo largo de una línea vertical en la sección transversal del JFET especificada en la fig. 8.5.
- 8.4 Sea un transistor JFET de silicio de canal n, con una semianchura $a = 2,5 \mu m$ y un dopaje $N_d = 10^{15} cm^{-3}$. Se pide calcular: a) El voltaje de estrangulamiento y b) la semianchura del canal cuando $I_D = 0$ y $V_G = 2V$. Comparar el resultado con la semianchura original.
- 8.5 Hallar la resistencia dinámica r_d correspondiente a las curvas $I_D - V_D$ de un JFET en el origen, y demostrar que viene dada por:

$$r_d = \frac{L}{2azqN_d\mu_e [1 - (V_G / V_p)^{1/2}]}$$

Asimismo, para el transistor de curvas características como las de la fig. 8.4, hallar de forma aproximada el valor de r_d para $V_G = 0$.

- 8.6** Sea un transistor de silicio de efecto campo de unión de dimensiones: $a=0.85 \mu\text{m}$, $L=25 \mu\text{m}$ y $z=120 \mu\text{m}$ para el cual el dopaje del canal y de la puerta es $N_d=10^{16} \text{cm}^{-3}$ y $N_a=10^{19} \text{cm}^{-3}$, respectivamente. Calcular el voltaje de estrangulamiento y la corriente correspondiente para el caso $V_G=0$. (Tómese $\mu_e=1350 \text{cm}^2\text{V}^{-1}\text{s}^{-1}$ y $\epsilon=11.9$).
- 8.7** Dibujar la curva de transferencia de un JFET con $I_{DS}=12 \text{mA}$ y $V_p=-5\text{V}$. Demostrar que la tangente a esta curva en el punto de corte con el eje de ordenadas corta al eje de abscisas en el punto $V_p/2$.
- 8.8** En un transistor de GaAs tipo MESFET de canal n con $N_d=10^{17} \text{cm}^{-3}$ la altura de la barrera metal-semiconductor en el electrodo de puerta es de 0.9eV , y las dimensiones del canal son: $a=0.2 \mu\text{m}$, $L=1 \mu\text{m}$ y $z=10 \mu\text{m}$. a) Averiguar si se trata de un dispositivo con canal normalmente abierto o cerrado, b) calcular el voltaje umbral y la corriente de saturación para $V_G=0$.
- 8.9** A partir de la expresión [8.23] demostrar que para un MOSFET de canal n el voltaje de saturación viene dado por la expresión:

$$V_{D,\text{sat}} = V_G - 2\psi_i + \frac{q\epsilon N_a}{C_{\text{ox}}^2} \left[1 - \left(1 + \frac{2V_G C_{\text{ox}}^2}{q\epsilon N_a} \right)^{1/2} \right]$$

- 8.10** Calcular el campo eléctrico en el óxido de puerta de un MOSFET de silicio de canal n, con espesor $t_{\text{ox}}=0.1 \mu\text{m}$ y longitud $L=10 \mu\text{m}$, cuando se aplica un voltaje de puerta $V_G=5.0 \text{V}$ y un voltaje de drenador $V_D=4.0 \text{V}$, en los siguientes casos: a) en un punto próximo a la fuente ($x=0$) y b) próximo al drenador ($x=L$). Comparar el resultado con el campo eléctrico necesario para la avalancha en una unión p-n.
- 8.11** Sea un transistor MOSFET de silicio de canal n, de longitud $L=1 \mu\text{m}$, anchura $z=20 \mu\text{m}$, capacidad del óxido por unidad de superficie $C'_{\text{ox}}=1.2 \times 10^{-3} \text{Fm}^{-2}$ y voltaje umbral $V_T=1.1 \text{V}$. Se pide calcular la corriente de saturación, $I_{D,\text{sat}}$, y la transconductancia, g_m , cuando el voltaje aplicado a la puerta es $V_G=6 \text{V}$. (Tómese para la movilidad de los electrones, $\mu_e=1000 \text{cm}^2\text{V}^{-1}\text{s}^{-1}$).
- 8.12** En un MOSFET de silicio de canal n, con $z=30 \mu\text{m}$, $L=1 \mu\text{m}$, $\mu_e=750 \text{cm}^2\text{V}^{-1}\text{s}^{-1}$, y $C'_{\text{ox}}=1.5 \times 10^{-3} \text{Fm}^{-2}$, calcular la corriente de saturación y la transconductancia para un voltaje aplicado $V_G=5 \text{V}$.